

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5727963号  
(P5727963)

(45) 発行日 平成27年6月3日 (2015. 6. 3)

(24) 登録日 平成27年4月10日 (2015. 4. 10)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 6 C
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 8 B
	HO 1 L 29/78 6 1 7 S
	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 7 K

請求項の数 2 (全 33 頁)

(21) 出願番号 特願2012-95280 (P2012-95280)	(73) 特許権者 000153878
(22) 出願日 平成24年4月19日 (2012. 4. 19)	株式会社半導体エネルギー研究所
(65) 公開番号 特開2012-235106 (P2012-235106A)	神奈川県厚木市長谷 3 9 8 番地
(43) 公開日 平成24年11月29日 (2012. 11. 29)	(72) 発明者 磯部 敦生
審査請求日 平成26年12月11日 (2014. 12. 11)	神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号 特願2011-95607 (P2011-95607)	半導体エネルギー研究所内
(32) 優先日 平成23年4月22日 (2011. 4. 22)	(72) 発明者 佐々木 俊成
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷 3 9 8 番地 株式会社
早期審査対象出願	半導体エネルギー研究所内
	審査官 鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁層と、酸化物半導体膜と、を有し、  
前記絶縁層は、複数のトレンチを有し、  
前記トレンチは、下端に曲面を有する領域を有し、  
前記酸化物半導体膜は、チャネル形成領域を有し、  
前記チャネル形成領域は、前記絶縁層の曲面に接する第 1 の領域を有し、  
前記第 1 の領域は、前記絶縁層の曲面に概略垂直な c 軸を有する結晶を有し、  
前記結晶は、前記絶縁層の曲面に沿った層状構造を有することを特徴とする半導体装置

。

【請求項 2】

請求項 1 において、  
前記絶縁層の曲面は、2 0 n m 以上 6 0 n m 以下の曲率半径を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

半導体装置及び半導体装置の作製方法に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置

全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、トランジスタの活性層として、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満であるインジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体装置の技術分野では微細化が技術開発のロードマップとなり進展して来た歴史がある。これまでは半導体装置が微細化されるに従って、高速動作が可能となり、低消費電力化が図られてきた。

20

【0007】

しかし、トランジスタを微細化すると、短チャネル効果の問題が生じる。短チャネル効果とは、トランジスタの微細化（チャネル長（L）の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の効果がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにドーピングによるしきい値制御を適用することが難しいため、短チャネル効果が現れやすい傾向にある。

30

【0008】

このような問題に鑑み、微細化及び高集積化を達成した酸化物半導体を用いた半導体装置において、安定した電気的特性を付与し、高信頼性化することを目的の一とする。

【課題を解決するための手段】

【0009】

酸化物半導体膜を含むトランジスタ（半導体装置）において、酸化物半導体膜を、絶縁層に設けられたトレンチ（溝）に設ける。トレンチは曲率半径が20nm以上60nm以下（好ましくは20nm以上30nm以下）の曲面状の下端コーナ部を含み、酸化物半導体膜は、トレンチの底面、下端コーナ部、及び内壁面に接して設けられる。酸化物半導体膜は、少なくとも下端コーナ部において表面に概略垂直なc軸を有している結晶を含む酸化物半導体膜である。

40

【0010】

上記酸化物半導体膜のチャネル長方向の断面形状は、トレンチの断面形状に沿って湾曲した形状となっており、トレンチの深さが深くなればなるほどトランジスタのチャネル長が長くなる構造である。よって、ソース電極層とドレイン電極層との距離を狭くしてもトレンチの深さを適宜設定することで、酸化物半導体膜のチャネル長を制御することができ、短チャネル効果の発現を抑制することができる。

【0011】

表面に概略垂直なc軸を有している結晶を含む酸化物半導体膜（以下、結晶性酸化物半導体膜ともいう）は、完全な単結晶構造ではなく、完全な非晶質構造でもない構造であり、

50

c軸配向を有したCAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜である。結晶性酸化物半導体膜とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

#### 【0012】

酸化物半導体膜はトレンチに沿って形成されるため、トレンチの下端コーナ部は曲面状(好ましくは曲率半径が20nm以上60nm以下(より好ましくは20nm以上30nm以下))とする。下端コーナ部が急峻な角部であると、結晶性酸化物半導体膜において、結晶の配向不良や被覆性低下による形状不良などを招き、安定した結晶構造及び電気導電性が得られにくくなる恐れがある。

10

#### 【0013】

また、酸化物半導体膜が接して形成される領域(少なくとも下端コーナ部)は、表面粗さの低減された表面であることが好ましい。具体的には、表面の平均面粗さは0.1nm以上0.5nm未満であると好ましい。表面粗さの低減された表面に酸化物半導体膜を形成することで、安定及び良好な結晶性を有する酸化物半導体膜を得ることができる。

#### 【0014】

なお、本明細書において、平均面粗さ(Ra)とは、JISB0601:2001(ISO4287:1997)で定義されている中心線平均粗さ(Ra)を、測定面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。

20

#### 【0015】

ここで、中心線平均粗さ(Ra)は、粗さ曲線からその中心線の方に測定長さLの部分抜き取り、この抜き取り部の中心線の方をX軸、縦倍率の方(X軸に垂直な方向)をY軸とし、粗さ曲線を $Y = F(X)$ で表すとき、次の式(1)で与えられる。

#### 【0016】

##### 【数1】

$$Ra = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

#### 【0017】

そして、平均面粗さ(Ra)は、測定データの示す面である測定面を $Z = F(X, Y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式(2)で与えられる。

30

#### 【0018】

##### 【数2】

$$Ra = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |f(X, Y) - Z_0| dXdY \quad (2)$$

#### 【0019】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(X_1, Y_1)$  $(X_1, Y_2)$  $(X_2, Y_1)$  $(X_2, Y_2)$ で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を $S_0$ とする。

40

#### 【0020】

また、基準面とは、指定面の平均の高さにおける、XY平面と平行な面のことである。つまり、指定面の高さの平均値を $Z_0$ とすると、基準面の高さも $Z_0$ で表される。

#### 【0021】

本明細書で開示する発明の構成の一形態は、絶縁層に設けられた曲面状の下端コーナ部を含むトレンチと、トレンチの底面、下端コーナ部、及び内壁面に接する酸化物半導体膜と、酸化物半導体膜上にゲート絶縁層と、ゲート絶縁層上にゲート電極層とを有し、下端コーナ部の曲率半径は20nm以上60nm以下であり、酸化物半導体膜は、少なくとも下

50

端コーナ部において酸化物半導体膜の表面に概略垂直な  $c$  軸を有している結晶を含む半導体装置である。

【0022】

本明細書で開示する発明の構成の一形態は、絶縁層に設けられた曲面状の下端コーナ部を含むトレンチと、トレンチの底面、下端コーナ部、及び内壁面に接する酸化物半導体膜と、酸化物半導体膜上にソース電極層及びドレイン電極層と、酸化物半導体膜、ソース電極層、及びドレイン電極層上にゲート絶縁層と、ゲート絶縁層上にゲート電極層とを有し、下端コーナ部の曲率半径は  $20\text{ nm}$  以上  $60\text{ nm}$  以下であり、酸化物半導体膜は、少なくとも下端コーナ部において酸化物半導体膜の表面に概略垂直な  $c$  軸を有している結晶を含む半導体装置である。

10

【0023】

上記構成において、少なくとも曲面状の下端コーナ部を含む酸化物半導体膜が接する絶縁層において絶縁層の表面の平均面粗さは  $0.1\text{ nm}$  以上  $0.5\text{ nm}$  未満であることが好ましい。

【0024】

また、上記構成において、ゲート電極層は、トレンチ内を充填するように設けることができる。

【発明の効果】

【0025】

酸化物半導体膜を含むトランジスタを有する半導体装置において、酸化物半導体膜を、絶縁層に設けられた曲率半径が  $20\text{ nm}$  以上  $60\text{ nm}$  以下（好ましくは  $20\text{ nm}$  以上  $30\text{ nm}$  以下）の曲面状の下端コーナ部を含むトレンチに設ける。ソース電極層とドレイン電極層との距離を狭くしてもトレンチの深さを適宜設定することで、酸化物半導体膜のチャネル長を制御することができ、微細化による短チャネル効果の発現を抑制することができる。

20

【0026】

また、酸化物半導体膜は、少なくとも下端コーナ部において表面に概略垂直な  $c$  軸を有している結晶を含む酸化物半導体膜である。このような結晶性酸化物半導体膜とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

30

【0027】

よって、本発明の一形態は、微細化及び高集積化を達成し、酸化物半導体を用いた半導体装置、及び半導体装置の作製工程において、安定した電気的特性を付与し、高信頼性化することができる。

【0028】

また、本発明の一形態は、上記半導体装置の作製工程において、不良を抑制し、歩留まりよく作製する技術を提供することができる。

【図面の簡単な説明】

【0029】

【図1】半導体装置を説明する図。

40

【図2】半導体装置の作製方法の一形態を説明する図。

【図3】半導体装置の作製方法の一形態を説明する図。

【図4】半導体装置の一形態を説明する図。

【図5】本発明の一形態の半導体装置を示す断面図、平面図及び回路図。

【図6】本発明の一形態の半導体装置を示す回路図及び斜視図。

【図7】本発明の一形態の半導体装置を示す断面図及び平面図。

【図8】本発明の一形態の半導体装置を示す回路図。

【図9】本発明の一形態の半導体装置を示すブロック図。

【図10】本発明の一形態の半導体装置を示すブロック図。

【図11】本発明の一形態の半導体装置を示すブロック図。

50

【図 1 2】実施例における実施例試料 1 の T E M 像を示す図。

【図 1 3】実施例における実施例試料 2 の T E M 像を示す図。

【発明を実施するための形態】

【 0 0 3 0 】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々な変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

10

【 0 0 3 1 】

(実施の形態 1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図 1、図 2 及び図 4 を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。図 1 ( A ) はトランジスタ 1 6 2 の平面図であり、図 1 ( B ) は、図 1 ( A ) における鎖線 A 1 - A 2 の断面図であり、トランジスタ 1 6 2 のチャンネル長 ( L ) 方向の断面図の一例を示している。

【 0 0 3 2 】

図 1 ( A ) ( B ) に示すように、トランジスタ 1 6 2 は、トレンチ 1 3 1 が設けられた絶縁層 1 3 0、結晶性酸化物半導体膜 1 4 4、ゲート絶縁層 1 4 6、ソース電極層又はドレイン電極層として機能する電極層 1 4 2 a、電極層 1 4 2 b、ゲート電極層 1 4 8 を含む。図示しないが、トランジスタ 1 6 2 は基板上に設けられている。

20

【 0 0 3 3 】

図 2 ( A ) 乃至 ( D ) にトランジスタ 1 6 2 の作製方法の一例を示す。

【 0 0 3 4 】

まず、基板上に酸化膜からなる絶縁層を形成する。そして絶縁層に複数のトレンチ 1 3 1 (溝とも呼ぶ) を形成し、トレンチ 1 3 1 を有する絶縁層 1 3 0 を形成する。トレンチ 1 3 1 の下端コーナ部 3 0 0 は、曲面状であり、曲率半径は 2 0 n m 以上 6 0 n m 以下 (好ましくは 2 0 n m 以上 3 0 n m 以下) である (図 2 ( A ) 参照)。

30

【 0 0 3 5 】

トレンチ 1 3 1 の形成方法はフォトリソグラフィ法を用いたドライエッチング法を好適に用いることができる。

【 0 0 3 6 】

例えば、反応性イオンエッチング ( R I E : R e a c t i v e I o n E t c h i n g ) 法、 I C P ( I n d u c t i v e l y C o u p l e d P l a s m a ) エッチング法、 E C R ( E l e c t r o n C y c l o t r o n R e s o n a n c e ) エッチング法、平行平板型 (容量結合型) エッチング法、マグネトロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いることができる。また、エッチングガスとしては、三フッ化メタン ( C H F <sub>3</sub> )、四フッ化炭素 ( C F <sub>4</sub> )、パーフルオロシクロブタン ( C <sub>4</sub> F <sub>8</sub> ) などのフルオロカーボン系ガス、メタン ( C H <sub>4</sub> )、水素、ヘリウム、又はアルゴンなどの希ガスを、適宜混合して用いることができる。

40

【 0 0 3 7 】

また、トレンチ 1 3 1 は一回のエッチング工程、又は複数回のエッチング工程によって形成する。複数回のエッチング工程を行う場合、ドライエッチング工程とウェットエッチング工程を組み合わせてもよい。

【 0 0 3 8 】

使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミ

50

ノハウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

【0039】

また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板、また、これらの基板上に半導体素子が設けられたもの、例えばMOSFET構造のトランジスタを含む駆動回路が形成された半導体基板、容量が形成された半導体基板などを用いることができる。

【0040】

絶縁層130は、結晶性酸化物半導体膜144と接するため、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましい。例えば、絶縁層130として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 + \text{O}_2$ （ただし、 $\text{O}_2 > 0$ ）とする。このような絶縁層130を用いることで、結晶性酸化物半導体膜144に酸素を供給することができ、特性を良好にすることができる。結晶性酸化物半導体膜144へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

10

【0041】

例えば、酸素の供給源となる酸素を多く（過剰に）含む酸化物絶縁層を結晶性酸化物半導体膜144と接して設けることによって、該酸化物絶縁層から結晶性酸化物半導体膜144へ酸素を供給することができる。結晶性酸化物半導体膜144及び酸化物絶縁層を少なくとも一部が接した状態で加熱工程を行うことによって結晶性酸化物半導体膜144への酸素の供給を行ってもよい。

20

【0042】

また、結晶性酸化物半導体膜144に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。酸素の導入は、露出された結晶性酸化物半導体膜144に直接行ってもよいし、ゲート絶縁層146などを通過させて行ってもよい。

【0043】

結晶性酸化物半導体膜144はトレンチ131に沿って形成されるため、トレンチ131の下端コーナ部300は曲面状（好ましくは曲率半径が20nm以上60nm以下（より好ましくは20nm以上30nm以下））とする。下端コーナ部300が急峻な角部であると、結晶性酸化物半導体膜144において、結晶の配向不良や被覆性低下による形状不良などを招き、安定した結晶構造及び電気導電性が得られにくくなる恐れがある。

30

【0044】

また、絶縁層130において、結晶性酸化物半導体膜144が接して形成される領域（少なくとも下端コーナ部）は、表面粗さの低減された表面であることが好ましい。具体的には、表面の平均面粗さは0.1nm以上0.5nm未満であると好ましい。表面粗さの低減された表面に結晶性酸化物半導体膜144を形成することで、安定及び良好な結晶性を有する結晶性酸化物半導体膜144を得ることができる。

【0045】

よって、絶縁層130において結晶性酸化物半導体膜144が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば化学的機械研磨（Chemical Mechanical Polishing：CMP）法）、ドライエッチング処理、プラズマ処理等を用いることができる。

40

【0046】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

50

## 【0047】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、絶縁層130表面の凹凸状態に合わせて適宜設定すればよい。

## 【0048】

なお、結晶性酸化物半導体膜144を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁層130の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。

## 【0049】

結晶性酸化物半導体膜144の形成工程において、結晶性酸化物半導体膜144に水素、又は水がなるべく含まれないようにするために、結晶性酸化物半導体膜144の成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層130が形成された基板を予備加熱し、基板及び絶縁層130に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

10

## 【0050】

次に、トレンチ131を覆うように結晶性酸化物半導体膜144を形成する（図2（B）参照）。結晶性酸化物半導体膜144は、結晶化した部分を有する酸化物半導体膜であり、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜を用いている。結晶性酸化物半導体膜144は、少なくとも下端コーナ部300において結晶性酸化物半導体膜144の表面に概略垂直なc軸を有している結晶を含む。

20

## 【0051】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

30

## 【0052】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

## 【0053】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

40

## 【0054】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、また

50

は成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0055】

C A A C - O S 膜を構成する酸素の一部は窒素で置換されてもよい。

【0056】

c 軸配向を有した結晶性酸化物半導体を得る方法としては、三つ挙げられる。一つ目は、成膜温度を 200 以上 450 以下として酸化物半導体膜の成膜を行い、表面に概略垂直に c 軸配向させる方法である。二つ目は、膜厚を薄く成膜した後、200 以上 700 以下の加熱処理を行い、表面に概略垂直に c 軸配向させる方法である。三つ目は、一層目の膜厚を薄く成膜した後、200 以上 700 以下の加熱処理を行い、2 層目の成膜を行い、表面に概略垂直に c 軸配向させる方法である。

10

【0057】

本実施の形態では、成膜温度を 200 以上 450 以下として酸化物半導体膜の成膜を行い、表面に概略垂直な c 軸配向を有した結晶性酸化物半導体膜 144 を形成する。

【0058】

結晶性酸化物半導体膜 144 を C A A C - O S 膜とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

【0059】

結晶性酸化物半導体膜 144 の膜厚は、1 nm 以上 100 nm 以下とし、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD 法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法等を適宜用いることができる。また、結晶性酸化物半導体膜 144 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂 CP スパッタ装置 (Columnar Plasma Sputtering system) を用いて成膜してもよい。いずれの方法であっても、酸化物半導体膜の表面の凹凸に対して垂直な方向に結晶成長が行われ、c 軸配向した結晶性酸化物半導体を得ることができる。

20

【0060】

結晶性酸化物半導体膜 144 の材料としては、少なくとも In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属の酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体、Hf - In - Zn - O 系酸化物半導体や、二元系金属の酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体や、In - Ga - O 系酸化物半導体、一元系金属の酸化物である In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO<sub>2</sub> を含ませてもよい。

30

40

【0061】

例えば、In - Ga - Zn - O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物半導体、という意味であり、その組成比は問わない。

【0062】

また、結晶性酸化物半導体膜 144 は、化学式  $InMO_3(ZnO)_m$  ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、M は、Zn、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。

【0063】

また、酸化物半導体として In - Sn - Zn - O 系酸化物半導体の材料を用いる場合、用

50



いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 2 : 2$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ などとすればよい。

【0064】

また、酸化物半導体として $\text{In} - \text{Zn} - \text{O}$ 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 : 5$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ ）とする。例えば、 $\text{In} - \text{Zn} - \text{O}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

10

【0065】

なお、結晶性酸化物半導体膜144は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0066】

また、結晶性酸化物半導体膜144に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300 以上700 以下、または基板の歪み点未満とする。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下450 において1時間の加熱工程を行う。

20

【0067】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0068】

例えば、加熱工程として、650 ～700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0069】

なお、脱水化又は脱水素化のための加熱処理は、結晶性酸化物半導体膜144の形成後、水素や水分などの不純物をブロックする機能を有する膜（例えば酸化アルミニウム膜）を結晶性酸化物半導体膜144上に形成する前であれば、トランジスタ162の作製工程においてどのタイミングで行ってもよい。

40

【0070】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0071】

また、加熱処理で結晶性酸化物半導体膜144を加熱した後、同じ炉に高純度の酸素ガス、高純度の二酸化酸素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55

50

以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気)を導入してもよい。酸素ガスまたは二室化酸素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは二室化酸素ガスの純度を、6 N以上好ましくは7 N以上(即ち、酸素ガスまたは二室化酸素ガス中の不純物濃度を1 ppm以下、好ましくは0.1 ppm以下)とすることが好ましい。酸素ガス又は二室化酸素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった結晶性酸化物半導体を構成する主成分材料である酸素を供給することによって、結晶性酸化物半導体膜144を高純度化及び電氣的にI型(真性)化することができる。

【0072】

なお、結晶性酸化物半導体膜144は、島状に加工してもよいし、形状を加工せず、膜状のままでもよい。また、結晶性酸化物半導体膜を素子ごとに分離する絶縁層からなる素子分離領域を設けてもよい。素子分離領域にもトレンチ構造を用いることができる。

【0073】

なお、結晶性酸化物半導体膜144を島状に加工する場合、結晶性酸化物半導体膜144のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、結晶性酸化物半導体膜144のウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0074】

次いで、結晶性酸化物半導体膜144上に、ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。該導電膜は後の加熱処理に耐えられる材料を用いる。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。また、ソース電極層、及びドレイン電極層に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、インジウムスズ酸化物( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ )、インジウム亜鉛酸化物( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0075】

フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層として機能する電極層142a、電極層142bを形成した後、レジストマスクを除去する。

【0076】

本実施の形態では、導電膜としてTi膜を用い、結晶性酸化物半導体膜144にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチング液としてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0077】

次いで、結晶性酸化物半導体膜144の一部、及びソース電極またはドレイン電極として機能する電極層142a、142bを覆うゲート絶縁層146を形成する。また、チャネル幅方向のトレンチの内壁及び底面にもゲート絶縁層146を成膜する(図2(C)参照)。

【0078】

ゲート絶縁層146の膜厚は、1 nm以上100 nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁層146は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPSパッタ装置を用いて成膜して

10

20

30

40

50

もよい。

【0079】

ゲート絶縁層146の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁層146は、結晶性酸化物半導体膜144と接する部分において酸素を含むことが好ましい。特に、酸化物絶縁膜は、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層146として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 $> 0$ ）とする。本実施の形態では、ゲート絶縁層146として、 $\text{SiO}_2 +$ （ただし、 $> 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層146として用いることで、結晶性酸化物半導体膜144に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁層146は、作製するトランジスタのサイズやゲート絶縁層146の段差被覆性を考慮して形成することが好ましい。

10

【0080】

また、ゲート絶縁層146の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート、ハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。

【0081】

そして、ゲート電極層用の導電材料がトレンチ内に充填されるように、ゲート電極層148をゲート絶縁層146上に形成する（図2（D）参照）。ゲート電極層148の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層148としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層148は、単層構造としてもよいし、積層構造としてもよい。

20

【0082】

また、ゲート電極層148の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

30

【0083】

また、ゲート絶縁層146と接するゲート電極層148の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、SnNなど）を用いることができる。これらの膜は5電子ボルト、好ましくは5.5電子ボルト以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

40

【0084】

トレンチ内にゲート電極層148を形成した段階で、トレンチ構造のトランジスタ162が形成される。

【0085】

高純度化された結晶性酸化物半導体膜144は、水素、水などの不純物が十分に除去されており、結晶性酸化物半導体膜144中の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下である。なお、結晶性酸化物半導体膜144中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で測定されるものである。

50

## 【0086】

高純度化された結晶性酸化物半導体膜144中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

## 【0087】

図示しないが、トレンチ構造のトランジスタ162上に絶縁層を設けてもよい。

## 【0088】

絶縁層としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜、酸化ガリウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜の単層又は積層を用いることができる。

10

## 【0089】

絶縁層上にさらに絶縁層を積層してもよい。特に絶縁層として酸化物絶縁層を用いた場合、絶縁層上にさらに水分や水素などの不純物が結晶性酸化物半導体膜144に再混入しないように、これらが外部から侵入することをブロックする保護絶縁層を形成することが好ましい。保護絶縁層としては、無機絶縁膜を用い、窒化シリコン膜、酸化アルミニウム膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いればよい。例えば、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高い酸化アルミニウム膜を用いることができる。

## 【0090】

20

絶縁層の形成後、さらに加熱工程を行ってもよい。例えば、大気中、100 以上200 以下、1時間以上30時間以下での加熱工程を行ってもよい。この加熱工程は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

## 【0091】

また、トランジスタ162起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

30

## 【0092】

トランジスタ上に絶縁層を設ける例を図4（A）（B）に示す。

## 【0093】

図4（A）に示すトランジスタ320はトランジスタ320のゲート電極層148を覆って絶縁層306が形成され、さらに絶縁層306上に平坦化絶縁膜308が形成されている例である。また、ゲート絶縁層146、絶縁層306、及び平坦化絶縁膜308に電極層142a、電極層142bに達する開口をそれぞれ形成し、開口に電極層142aと電氣的に接続する配線層304a、電極層142bと電氣的に接続する配線層304bが形成されている。

## 【0094】

40

図4（B）に示すトランジスタ330は、トレンチ内に形成されたゲート電極層348の凹部を充填するように平坦化絶縁膜308が形成される例である。

## 【0095】

本実施の形態を用いて作製した、高純度化された結晶性酸化物半導体膜144を用いたトランジスタ162は、オフ状態における電流値（オフ電流値。ここでは室温（25 ）における単位チャネル幅（1  $\mu\text{m}$ ）あたりの値）を、 $100 \text{ zA} / \mu\text{m}$ （1 zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、より好ましくは $1 \text{ zA} / \mu\text{m}$ 以下、さらに好ましくは $100 \text{ yA} / \mu\text{m}$ 以下レベルにまで低くすることができる。

## 【0096】

50

トランジスタ 1 6 2 において、結晶性酸化物半導体膜 1 4 4 を、絶縁層 1 3 0 に設けられた曲率半径が 2 0 n m 以上 6 0 n m 以下（好ましくは 2 0 n m 以上 3 0 n m 以下）の曲面状の下端コーナ部 3 0 0 を含むトレンチ 1 3 1 に設ける。電極層 1 4 2 a と電極層 1 4 2 b との距離を狭くしてもトレンチ 1 3 1 の深さを適宜設定することで、結晶性酸化物半導体膜 1 4 4 のチャネル長を制御することができ、微細化による短チャネル効果の発現を抑制することができる。

【 0 0 9 7 】

また、結晶性酸化物半導体膜 1 4 4 は、少なくとも下端コーナ部 3 0 0 において表面に概略垂直な c 軸を有している結晶を含む酸化物半導体膜である。このような結晶性酸化物半導体膜とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

10

【 0 0 9 8 】

トランジスタ 1 6 2 のチャネルはトレンチの内壁に沿って形成され、チャネル形成領域が平板状でなくともキャリアの流れが、結晶性酸化物半導体膜 1 4 4 ( C A A C - O S 膜 ) の I n - O - I n - O とスムーズに流れる。本実施の形態では、トランジスタ 1 6 2 において、トレンチ内壁、底部に接して結晶性酸化物半導体膜 1 4 4 を形成するため、チャネル長は、トレンチの側面（内壁）の長さ（図 1 ( B ) におけるトレンチの深さ d ）の 2 倍とトレンチの底部の長さ（図 1 ( B ) における長さ L ）との合計となり、トレンチの底部の長さ（図 1 ( B ) における長さ L ）より長くすることができる。このようなチャネル長とすることで、ノーマリーオフのトランジスタとすることができ、短チャネル効果も生じないようにすることができる。また、トレンチ構造を採用することで、トランジスタの平面面積を縮小できるため、微細化及び高集積化が可能である。

20

【 0 0 9 9 】

以上のように、微細化及び高集積化を達成した酸化物半導体を用いた半導体装置において、安定した電気的特性を付与し、高信頼性化することができる。

【 0 1 0 0 】

（実施の形態 2 ）

本実施の形態では、半導体装置の作製方法の他の一形態を、図 3 を用いて説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

30

【 0 1 0 1 】

本実施の形態では、開示する発明に係る半導体装置の作製方法において、非晶質酸化物半導体膜に加熱処理を行い、少なくとも一部を結晶化させて、表面に概略垂直な c 軸を有している結晶を含む結晶性酸化物半導体膜を形成する例を示す。

【 0 1 0 2 】

図 3 ( A ) 乃至 ( D ) に本実施の形態におけるトランジスタ 1 6 2 の作製方法の一例を示す。

【 0 1 0 3 】

まず、基板上に酸化膜からなる絶縁層を形成する。そして絶縁層に複数のトレンチ 1 3 1 （溝とも呼ぶ）を形成し、トレンチ 1 3 1 を有する絶縁層 1 3 0 を形成する。トレンチ 1 3 1 の下端コーナ部 3 0 0 は、曲面状であり、曲率半径は 2 0 n m 以上 6 0 n m 以下（好ましくは 2 0 n m 以上 3 0 n m 以下）である。

40

【 0 1 0 4 】

次に、トレンチ 1 3 1 を覆うように非晶質酸化物半導体膜 3 0 2 を形成する（図 3 ( A ) 参照）。非晶質酸化物半導体膜 3 0 2 は実施の形態 1 で示した結晶性酸化物半導体膜 1 4 4 と同様の材料及び作製方法を用いることができるが、基板温度は成膜時に結晶化が生じない温度（好ましくは 2 0 0 以下）とする。

【 0 1 0 5 】

また、非晶質酸化物半導体膜 3 0 2 の過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、非晶質酸化物半

50

導体膜が結晶化しない温度とし、代表的には250 以上400 以下、好ましくは300 以下とする。

【0106】

脱水化又は脱水素化のための加熱処理は、非晶質酸化物半導体膜302が島状に加工される前に行うと、絶縁層130に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

【0107】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0108】

また、加熱処理で非晶質酸化物半導体膜302を加熱した後、同じ炉に高純度の酸素ガス、高純度の二窒化酸素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは二窒化酸素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは二窒化酸素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは二窒化酸素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は二窒化酸素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった非晶質酸化物半導体を構成する主成分材料である酸素を供給することによって、非晶質酸化物半導体膜を高純度化及び電氣的にI型(真性)化することができる。

【0109】

次に非晶質酸化物半導体膜302に加熱処理を行い、該非晶質酸化物半導体膜302の少なくとも一部を結晶化させて、表面に概略垂直なc軸を有している結晶を含む結晶性酸化物半導体膜144を形成する(図3(B)参照)。

【0110】

非晶質酸化物半導体膜302の少なくとも一部を結晶化させる加熱処理の温度は、250 以上700 以下、好ましくは400 以上、より好ましくは500 以上、さらに好ましくは550 以上とする。

【0111】

例えば、加熱処理装置の一つである電気炉に基板を導入し、非晶質酸化物半導体膜302に対して減圧下450 において1時間の加熱処理を行う。

【0112】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0113】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0114】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気で行えばよいが、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気には水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

#### 【0115】

次いで、結晶性酸化物半導体膜144の一部、及びソース電極またはドレイン電極として機能する電極層142a、142bを形成した後、電極層142a、142bを覆うゲート絶縁層146を形成する。また、チャネル幅方向のトレンチの内壁及び底面にもゲート絶縁層146を成膜する（図3（C）参照）。

10

#### 【0116】

そして、ゲート電極層用の導電材料がトレンチ内に充填されるように、ゲート電極層148をゲート絶縁層146上に形成する（図3（D）参照）。

#### 【0117】

トレンチ内にゲート電極層148を形成した段階で、トレンチ構造のトランジスタ162が形成される。

#### 【0118】

トランジスタ162において、結晶性酸化物半導体膜144は、絶縁層130に設けられた曲率半径が20nm以上60nm以下（好ましくは20nm以上30nm以下）の曲面状の下端コーナ部300を含むトレンチ131に設ける。電極層142aと電極層142bとの距離を狭くしてもトレンチ131の深さを適宜設定することで、結晶性酸化物半導体膜144のチャネル長を制御することができ、微細化による短チャネル効果の発現を抑制することができる。

20

#### 【0119】

また、結晶性酸化物半導体膜144は、少なくとも下端コーナ部300において表面に概略垂直なc軸を有している結晶を含む酸化物半導体膜である。このような結晶性酸化物半導体膜とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

30

#### 【0120】

トランジスタ162のチャネルがトレンチ131の内壁に沿って形成され、チャネル形成領域が平板状でなくとも、キャリアの流れは結晶性酸化物半導体膜144（CAAC-OS膜）のIn-O-In-Oとスムーズに流れる。本実施の形態では、トランジスタ162において、トレンチ131内壁、底部に接して結晶性酸化物半導体膜144を形成するため、チャネル長は、トレンチの側面（内壁）の長さ（図1（B）におけるトレンチの深さd）の2倍とトレンチの底部の長さ（図1（B）における長さL）との合計となり、トレンチの底部の長さ（図1（B）における長さL）より長くすることができる。このようなチャネルとすることで、ノーマリーオフのトランジスタとすることができ、短チャネル効果も生じないようにすることができる。また、トレンチ構造を採用することで、トランジスタの平面面積を縮小できるため、微細化及び高集積化が可能である。

40

#### 【0121】

以上のように、微細化及び高集積化を達成した酸化物半導体を用いた半導体装置において、安定した電気的特性を付与し、高信頼性化することができる。

#### 【0122】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

#### 【0123】

（実施の形態3）

本実施の形態では、実施の形態1又は実施の形態2に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無

50

い半導体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、実施の形態 1 又は 2 で示すトランジスタ 3 2 0、又はトランジスタ 3 3 0 を用いることもできる。

【0124】

トランジスタ 1 6 2 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0125】

図 5 は、半導体装置の構成の一例である。図 5 ( A ) に、半導体装置の断面図を、図 5 ( B ) に半導体装置の平面図を、図 5 ( C ) に半導体装置の回路図をそれぞれ示す。ここで、図 5 ( A ) は、図 5 ( B ) の C 1 - C 2、及び D 1 - D 2 における断面に相当する。

10

【0126】

図 5 ( A ) 及び図 5 ( B ) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 1 6 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 1 6 2 を有するものである。トランジスタ 1 6 2 は、実施の形態 1 又は実施の形態 2 で示した構成と同一であるため、図 5 ( A )、( B ) において図 1 と同じ箇所は、同じ符号を用いて説明する。

【0127】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料 ( シリコンなど ) とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の記憶内容の保持を可能とする。

20

【0128】

なお、上記トランジスタは、いずれも n チャンネル型トランジスタであるものとして説明するが、p チャンネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために結晶性酸化物半導体 ( C A A C - O S ) をトランジスタ 1 6 2 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0129】

図 5 ( A ) におけるトランジスタ 1 6 0 は、半導体材料 ( 例えば、シリコンなど ) を含む基板 1 0 0 に設けられたチャネル形成領域 1 1 6 と、チャネル形成領域 1 1 6 を挟むように設けられた不純物領域 1 2 0 と、不純物領域 1 2 0 に接する金属化合物領域 1 2 4 と、チャネル形成領域 1 1 6 上に設けられたゲート絶縁層 1 0 8 と、ゲート絶縁層 1 0 8 上に設けられたゲート電極 1 1 0 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

30

【0130】

また、基板 1 0 0 上にはトランジスタ 1 6 0 を囲むように素子分離絶縁層 1 0 6 が設けられており、トランジスタ 1 6 0 を覆うように絶縁層 1 2 8、絶縁層 1 3 0 が設けられている。なお、高集積化を実現するためには、図 5 ( A ) に示すようにトランジスタ 1 6 0 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 1 6 0 の特性を重視する場合には、ゲート電極 1 1 0 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 1 2 0 としてもよい。

40

【0131】

図 5 ( A ) に示すようにトランジスタ 1 6 2 は、結晶性酸化物半導体 ( C A A C - O S ) を用いた結晶性酸化物半導体膜 1 4 4 を有するトレンチ構造のトランジスタである。ここで、結晶性酸化物半導体膜 1 4 4 は、高純度化されたものであることが望ましい。高純度

50



化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ 162 を得ることができる。

【0132】

トランジスタ 162 上には、絶縁層 150 が単層または積層で設けられている。また、絶縁層 150 を介して、トランジスタ 162 の電極層 142a と重畳する領域には、導電層 148b が設けられており、電極層 142a と、絶縁層 150 と、導電層 148b とによって、容量素子 164 が構成される。すなわち、トランジスタ 162 の電極層 142a は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 164 を設けない構成とすることもできる。また、容量素子 164 は、別途、トランジスタ 162 の上方に設けてもよい。例えば、トレンチ型のキャパシタやスタック型の容量素子を別途、トランジスタ 162 の上方、或いは、トランジスタ 160 の下方に形成し、3 次元的に積み重ねることにより高集積化を図ってもよい。

10

【0133】

トランジスタ 162 および容量素子 164 の上には絶縁層 152 が設けられている。そして、絶縁層 152 上にはトランジスタ 162 と、他のトランジスタを接続するための配線 156 が設けられている。図 5 (A) には図示しないが、配線 156 は、絶縁層 150 及び絶縁層 152 などに形成された開口に形成された電極を介して電極層 142b と電氣的に接続される。ここで、該電極は、少なくともトランジスタ 162 の結晶性酸化物半導体膜 144 の一部と重畳するように設けられることが好ましい。

20

【0134】

なお、電極層 142b 及び配線 156 の電氣的接続は、電極層 142b 及び配線 156 を直接接触させて行ってもよいし、本実施の形態に示すように間の絶縁層に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

【0135】

図 5 (A) 及び図 5 (B) において、トランジスタ 160 と、トランジスタ 162 とは、少なくとも一部が重畳するように設けられており、トランジスタ 160 のソース領域またはドレイン領域と結晶性酸化物半導体膜 144 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 162 及び容量素子 164 が、トランジスタ 160 の少なくとも一部と重畳するように設けられている。例えば、容量素子 164 の導電層 148b は、トランジスタ 160 のゲート電極 110 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

30

【0136】

次に、図 5 (A) 及び図 5 (B) に対応する回路構成の一例を図 5 (C) に示す。

【0137】

図 5 (C) において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極とは、電氣的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3rd Line) とトランジスタ 162 のソース電極またはドレイン電極の一方とは、電氣的に接続され、第 4 の配線 (4th Line) と、トランジスタ 162 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の他方は、容量素子 164 の電極の一方と電氣的に接続され、第 5 の配線 (5th Line) と、容量素子 164 の電極の他方は電氣的に接続されている。

40

【0138】

図 5 (C) に示す半導体装置では、トランジスタ 160 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0139】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ

50

162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

#### 【0140】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

10

#### 【0141】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $> V_{th\_H}$ ）となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $< V_{th\_L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

#### 【0142】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このような場合、情報を読み出さないメモリセルは、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

30

#### 【0143】

本実施の形態に示す半導体装置では、チャネル形成領域に結晶性酸化物半導体（CAAC-OS）を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

40

#### 【0144】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

50

## 【 0 1 4 5 】

また、トランジスタ 1 6 2 にトレンチ構造を採用することで、トランジスタ 1 6 2 の平面面積を縮小できるため、高集積化が可能である。

## 【 0 1 4 6 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

## 【 0 1 4 7 】

( 実施の形態 4 )

本実施の形態においては、実施の形態 1 又は実施の形態 2 に示すトランジスタ 1 6 2 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 3 に示した構成と異なる構成について、図 6 及び図 7 を用いて説明を行う。なお、本実施の形態の半導体装置は、実施の形態 1 又は 2 で示すトランジスタ 3 2 0、又はトランジスタ 3 3 0 を用いることもできる。

10

## 【 0 1 4 8 】

図 6 ( A ) は、半導体装置の回路構成の一例を示し、図 6 ( B ) は半導体装置の一例を示す概念図である。まず、図 6 ( A ) に示す半導体装置について説明を行い、続けて図 6 ( B ) に示す半導体装置について、以下説明を行う。

## 【 0 1 4 9 】

図 6 ( A ) に示す半導体装置において、ビット線 B L とトランジスタ 1 6 2 のソース電極又はドレイン電極とは電氣的に接続され、ワード線 W L とトランジスタ 1 6 2 のゲート電極とは電氣的に接続され、トランジスタ 1 6 2 のソース電極又はドレイン電極と容量素子 2 5 4 の第 1 の端子とは電氣的に接続されている。

20

## 【 0 1 5 0 】

結晶性酸化物半導体 ( C A A C - O S ) を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、容量素子 2 5 4 の第 1 の端子の電位 (あるいは、容量素子 2 5 4 に蓄積された電荷) を極めて長時間にわたって保持することが可能である。また、結晶性酸化物半導体 ( C A A C - O S ) を用いたトランジスタ 1 6 2 では、短チャネル効果が現れにくいというメリットもある。

## 【 0 1 5 1 】

次に、図 6 ( A ) に示す半導体装置 ( メモリセル 2 5 0 ) に、情報の書き込みおよび保持を行う場合について説明する。

30

## 【 0 1 5 2 】

まず、ワード線 W L の電位を、トランジスタ 1 6 2 がオン状態となる電位として、トランジスタ 1 6 2 をオン状態とする。これにより、ビット線 B L の電位が、容量素子 2 5 4 の第 1 の端子に与えられる (書き込み)。その後、ワード線 W L の電位を、トランジスタ 1 6 2 がオフ状態となる電位として、トランジスタ 1 6 2 をオフ状態とすることにより、容量素子 2 5 4 の第 1 の端子の電位が保持される (保持)。

## 【 0 1 5 3 】

トランジスタ 1 6 2 のオフ電流は極めて小さいから、容量素子 2 5 4 の第 1 の端子の電位 (あるいは容量素子に蓄積された電荷) は長時間にわたって保持することができる。

40

## 【 0 1 5 4 】

次に、情報の読み出しについて説明する。トランジスタ 1 6 2 がオン状態となると、浮遊状態であるビット線 B L と容量素子 2 5 4 とが導通し、ビット線 B L と容量素子 2 5 4 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、容量素子 2 5 4 の第 1 の端子の電位 (あるいは容量素子 2 5 4 に蓄積された電荷) によって、異なる値をとる。

## 【 0 1 5 5 】

例えば、容量素子 2 5 4 の第 1 の端子の電位を V、容量素子 2 5 4 の容量を C、ビット線 B L が有する容量成分 (以下、ビット線容量とも呼ぶ) を C B、電荷が再分配される前の

50

ビット線 B L の電位を  $V_{B0}$  とすると、電荷が再分配された後のビット線 B L の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$  となる。従って、メモリセル 250 の状態として、容量素子 254 の第 1 の端子の電位が  $V_1$  と  $V_0$  ( $V_1 > V_0$ ) の 2 状態をとるとすると、電位  $V_1$  を保持している場合のビット線 B L の電位 ( $= C_B \times V_{B0} + C \times V_1$ ) /  $(C_B + C)$  ) は、電位  $V_0$  を保持している場合のビット線 B L の電位 ( $= C_B \times V_{B0} + C \times V_0$ ) /  $(C_B + C)$  ) よりも高くなることがわかる。

【0156】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【0157】

このように、図 6 (A) に示す半導体装置は、トランジスタ 162 のオフ電流が極めて小さいという特徴から、容量素子 254 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0158】

次に、図 6 (B) に示す半導体装置について、説明を行う。

【0159】

図 6 (B) に示す半導体装置は、上部に記憶回路として図 6 (A) に示したメモリセル 250 を複数有するメモリセルアレイ 251 (メモリセルアレイ 251 a 及び 251 b) を有し、下部に、メモリセルアレイ 251 (メモリセルアレイ 251 a 及び 251 b) を動作させるために必要な周辺回路 253 を有する。なお、周辺回路 253 は、メモリセルアレイ 251 と電気的に接続されている。

【0160】

図 6 (B) に示した構成とすることにより、周辺回路 253 をメモリセルアレイ 251 (メモリセルアレイ 251 a 及び 251 b) の直下に設けることができるため半導体装置の小型化を図ることができる。

【0161】

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路 (論理回路、駆動回路など) を好適に実現することが可能である。

【0162】

なお、図 6 (B) に示した半導体装置では、2 つのメモリセルアレイ 251 (メモリセルアレイ 251 a と、メモリセルアレイ 251 b) が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3 つ以上のメモリセルアレイを積層する構成としても良い。

【0163】

次に、図 6 (A) に示したメモリセル 250 の具体的な構成について図 7 を用いて説明を行う。

【0164】

図 7 は、メモリセル 250 の構成の一例である。図 7 (A) に、メモリセル 250 の断面図を、図 7 (B) にメモリセル 250 の平面図をそれぞれ示す。ここで、図 7 (A) は、図 7 (B) の F1 - F2、及び G1 - G2 における断面に相当する。

【0165】

図 7 (A) 及び図 7 (B) に示すトランジスタ 162 は、実施の形態 1 又は実施の形態 2

10

20

30

40

50

で示した構成と同一であるため、図 7 ( A )、( B )において図 1 と同じ箇所は、同じ符号を用いて説明する。

【 0 1 6 6 】

トランジスタ 1 6 2 上には、絶縁層 2 5 6 が単層または積層で設けられている。また、絶縁層 2 5 6 を介して、トランジスタ 1 6 2 の電極層 1 4 2 a と重畳する領域には、導電層 2 6 2 が設けられており、電極層 1 4 2 a と、絶縁層 2 5 6 と、導電層 2 6 2 とによって、容量素子 2 5 4 が構成される。すなわち、トランジスタ 1 6 2 の電極層 1 4 2 a は、容量素子 2 5 4 の一方の電極として機能し、導電層 2 6 2 は、容量素子 2 5 4 の他方の電極として機能する。

【 0 1 6 7 】

トランジスタ 1 6 2 および容量素子 2 5 4 の上には絶縁層 2 5 8 が設けられている。そして、絶縁層 2 5 8 上にはメモリセル 2 5 0 と、隣接するメモリセル 2 5 0 を接続するための配線 2 6 0 が設けられている。図示しないが、配線 2 6 0 は、絶縁層 2 5 6 及び絶縁層 2 5 8 などに形成された開口を介してトランジスタ 1 6 2 の電極層 1 4 2 b と電氣的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線 2 6 0 と電極層 1 4 2 b とを電氣的に接続してもよい。なお、配線 2 6 0 は、図 6 ( A )の回路図におけるビット線 B L に相当する。

【 0 1 6 8 】

図 7 ( A ) 及び図 7 ( B ) において、トランジスタ 1 6 2 の電極層 1 4 2 b は、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 1 6 9 】

以上のように、上部に多層に形成された複数のメモリセルは、結晶性酸化物半導体 ( C A A C - O S ) を用いたトランジスタにより形成されている。結晶性酸化物半導体 ( C A A C - O S ) を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【 0 1 7 0 】

このように、酸化物半導体以外の材料を用いたトランジスタ ( 換言すると、十分な高速動作が可能なトランジスタ ) を用いた周辺回路と、酸化物半導体を用いたトランジスタ ( より広義には、十分にオフ電流が小さいトランジスタ ) を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 1 7 1 】

また、トランジスタ 1 6 2 にトレンチ構造を採用することで、トランジスタ 1 6 2 の平面面積を縮小できるため、高集積化が可能である。

【 0 1 7 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 7 3 】

( 実施の形態 5 )

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 8 乃至図 1 1 を用いて説明する。

【 0 1 7 4 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

10

20

30

40

50

## 【 0 1 7 5 】

通常の S R A M は、図 8 ( A ) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を  $F$  としたときに S R A M のメモリセル面積は通常  $100 \sim 150 F^2$  である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

## 【 0 1 7 6 】

それに対して、D R A M はメモリセルが図 8 ( B ) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常  $10 F^2$  以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

## 【 0 1 7 7 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$  前後であり、且つ頻繁なりフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

## 【 0 1 7 8 】

図 9 に携帯機器のブロック図を示す。図 9 に示す携帯機器は R F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディスプレイコントローラ 9 1 1、メモリ回路 9 1 2、ディスプレイ 9 1 3、タッチセンサ 9 1 9、音声回路 9 1 7、キーボード 9 1 8 などより構成されている。ディスプレイ 9 1 3 は表示部 9 1 4、ソースドライバ 9 1 5、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 は C P U 9 0 7、D S P 9 0 8、インターフェイス ( I F ) 9 0 9 を有している。一般にメモリ回路 9 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

## 【 0 1 7 9 】

図 10 に、ディスプレイのメモリ回路 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 10 に示すメモリ回路 9 5 0 は、メモリ 9 5 2、メモリ 9 5 3、スイッチ 9 5 4、スイッチ 9 5 5 およびメモリコントローラ 9 5 1 により構成されている。また、メモリ回路 9 5 0 は、信号線から入力された画像データ ( 入力画像データ )、メモリ 9 5 2、及びメモリ 9 5 3 に記憶されたデータ ( 記憶画像データ ) を読み出し、及び制御を行うディスプレイコントローラ 9 5 6 と、ディスプレイコントローラ 9 5 6 からの信号により表示するディスプレイ 9 5 7 が接続されている。

## 【 0 1 8 0 】

まず、ある画像データがアプリケーションプロセッサ ( 図示しない ) によって、形成される ( 入力画像データ A )。入力画像データ A は、スイッチ 9 5 4 を介してメモリ 9 5 2 に記憶される。そしてメモリ 9 5 2 に記憶された画像データ ( 記憶画像データ A ) は、スイッチ 9 5 5、及びディスプレイコントローラ 9 5 6 を介してディスプレイ 9 5 7 に送られ、表示される。

## 【 0 1 8 1 】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常  $30 \sim 60 \text{ Hz}$  程度の周期でメモリ 9 5 2 からスイッチ 9 5 5 を介して、ディスプレイコントローラ 9 5 6 により読み出される。

## 【 0 1 8 2 】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）を記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0183】

10

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0184】

図11に電子書籍のブロック図を示す。図11はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

20

【0185】

ここでは、図11のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。例えば、ユーザーがハイライト機能を使用する場合、メモリ回路1007は、ユーザーが指定した箇所の情報を記憶し、保持する。なおハイライト機能とは、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキング、例えば表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

【0186】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0187】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例】

40

【0188】

本実施例では、トレンチを含む絶縁層を形成し、該トレンチに酸化物半導体膜を形成した試料を作製し、酸化物半導体膜の結晶状態について観察を行った。

【0189】

まず、試料として作製工程が異なる、実施例試料1、及び実施例試料2の2種類を作製した。

【0190】

実施例試料1、及び実施例試料2において、絶縁層としてシリコン基板上にスパッタリング法による酸化シリコン膜を膜厚500nm形成した。

【0191】

50

酸化シリコン膜の成膜条件は、ターゲットとして酸化シリコン ( $\text{SiO}_2$ ) ターゲットを用い、シリコン基板とターゲットの間との距離を 60 mm、圧力 0.4 Pa、電源 2 kW、アルゴン及び酸素 (アルゴン流量 25 sccm : 酸素流量 25 sccm) 雰囲気下、基板温度 100 °C とした。

#### 【0192】

酸化シリコン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いて酸化シリコン膜をエッチングしてレンチを形成した。エッチング工程としては、ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法により、エッチングガスとして三フッ化メタン ( $\text{CHF}_3$ )、ヘリウム ( $\text{He}$ )、及びメタン ( $\text{CH}_4$ ) ( $\text{CHF}_3 : \text{He} : \text{CH}_4 = 22.5 \text{ sccm} : 127.5 \text{ sccm} : 5 \text{ sccm}$ ) を用い、電源電力 475 W、バイアス電力 300 W、圧力 3.5 Pa で、96 秒間行った。なお、エッチング工程の後に、酸素によるアッシング (電源電力 200 W、圧力 67 Pa (0.5 Torr)、300 秒間) を行った。レンチの断面における側面 (内壁) の長さ (図 1 (B) におけるレンチの深さ  $d$ ) の 2 倍と底部の長さ (図 1 (B) における長さ  $L$ ) の合計は約 350 nm とした。

#### 【0193】

酸化シリコン膜上から剥離液を用いてレジストマスクを除去し、レンチの底面、下端コーナ部、及び内壁面に接して酸化シリコン膜上に酸化物半導体膜を形成した。酸化物半導体膜として、スパッタリング法により In - Ga - Zn - O 膜を膜厚 40 nm で形成した。

#### 【0194】

実施例試料 1 では、基板を 400 °C に加熱しながら酸化物半導体膜の成膜を行った。なお、実施例試料 1 の In - Ga - Zn - O 膜の成膜条件は、組成比として In : Ga : Zn = 1 : 1 : 1 [atom 比] の酸化物ターゲットを用い、シリコン基板とターゲットとの間の距離を 60 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、アルゴン及び酸素 (アルゴン流量 30 sccm : 酸素流量 15 sccm) 雰囲気下、基板温度 400 °C とした。酸化物半導体膜の成膜に用いるアルゴン及び酸素は、水、水素などが含まれないことが好ましい。例えば、アルゴンの純度を 9 N、露点 - 12 °C、水 0.1 ppb、水素 0.5 ppb、酸素の純度を 8 N、露点 - 11 °C、水 1 ppb、水素 1 ppb が好ましい。

#### 【0195】

一方、実施例試料 2 では、基板を 200 °C に加熱しながら酸化物半導体膜の成膜を行い、成膜後窒素雰囲気下、600 °C で 1 時間加熱処理を行った。なお、実施例試料 2 の In - Ga - Zn - O 膜の成膜条件は、組成比として In : Ga : Zn = 1 : 1 : 1 [atom 比] の酸化物ターゲットを用い、シリコン基板とターゲットとの間の距離を 60 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、アルゴン及び酸素 (アルゴン流量 30 sccm : 酸素流量 15 sccm) 雰囲気下、基板温度 200 °C とした。

#### 【0196】

以上の工程で得られた実施例試料 1 及び実施例試料 2 において、端面を切り出し、高分解能透過電子顕微鏡 (日立ハイテクノロジーズ製「H9000 - NAR」 : TEM) で加速電圧を 300 kV とし、下端コーナ部の断面観察を行った。図 12 (A) に実施例試料 1 の倍率 200 万倍の TEM 像、図 12 (B) に実施例試料 1 の倍率 800 万倍の TEM 像、図 13 (A) に実施例試料 2 の倍率 200 万倍の TEM 像、図 13 (B) に実施例試料 2 の倍率 800 万倍の TEM 像をそれぞれ示す。

#### 【0197】

図 12 (A)、図 13 (A) に示すように、レンチにおける下端コーナ部は曲面状であり、該曲率半径は 20 nm 以上 30 nm 以下であった。そして曲面状の下端コーナ部には、表面に概略垂直な  $c$  軸を有している結晶を含む In - Ga - Zn - O 膜 (CAAC - OS 膜) が確認できる。表面に概略垂直な  $c$  軸を有している結晶は高倍率の図 12 (B)、図 13 (B) でより顕著であり、In - Ga - Zn - O 膜中に下端コーナ部の曲面に沿っ

10

20

30

40

50



て幾層に重なる層状の  $\text{In} - \text{Ga} - \text{Zn} - \text{O}$  の結晶状態が確認できた。

【0198】

このことから、実施例試料1及び実施例試料2において、トレンチの下端コーナ部に接して成膜された酸化物半導体膜は、表面に概略垂直な  $c$  軸を有している結晶を含む結晶性酸化物半導体膜 ( $\text{CAAC} - \text{OS}$  膜) であり、その  $\text{CAAC} - \text{OS}$  膜の成長面は曲面状の下端コーナ部において連続性を有することが確認できた。

【0199】

以上のような、表面に概略垂直な  $c$  軸を有している結晶を含む結晶性酸化物半導体膜 ( $\text{CAAC} - \text{OS}$  膜) をトレンチに設けたトランジスタは、可視光や紫外光の照射によるトランジスタの電気的特性変化、及び短チャネル効果がより抑制できる。従って、信頼性の高い微細化された半導体装置を提供することができる。

10

【符号の説明】

【0200】

100 基板  
 106 素子分離絶縁層  
 108 ゲート絶縁層  
 110 ゲート電極  
 116 チャネル形成領域  
 120 不純物領域  
 124 金属化合物領域  
 128 絶縁層  
 130 絶縁層  
 131 トレンチ  
 142 a 電極層  
 142 b 電極層  
 144 結晶性酸化物半導体膜  
 146 ゲート絶縁層  
 148 ゲート電極層  
 148 b 導電層  
 150 絶縁層  
 152 絶縁層  
 156 配線  
 160 トランジスタ  
 162 トランジスタ  
 164 容量素子  
 250 メモリセル  
 251 メモリセルアレイ  
 251 a メモリセルアレイ  
 251 b メモリセルアレイ  
 253 周辺回路  
 254 容量素子  
 256 絶縁層  
 258 絶縁層  
 260 配線  
 262 導電層  
 300 下端コーナ部  
 302 非晶質酸化物半導体膜  
 304 a 配線層  
 304 b 配線層  
 306 絶縁層

20

30

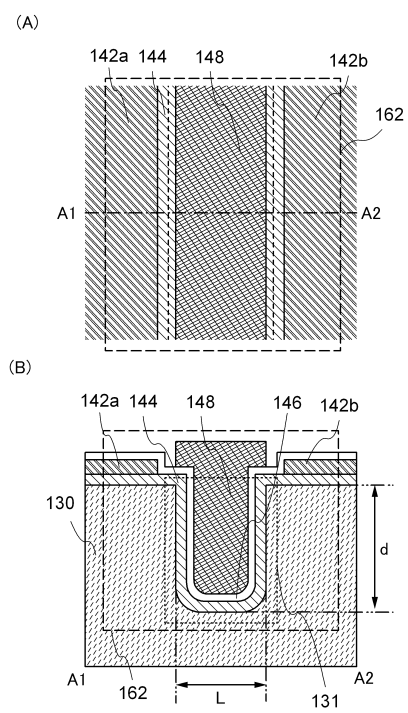
40

50

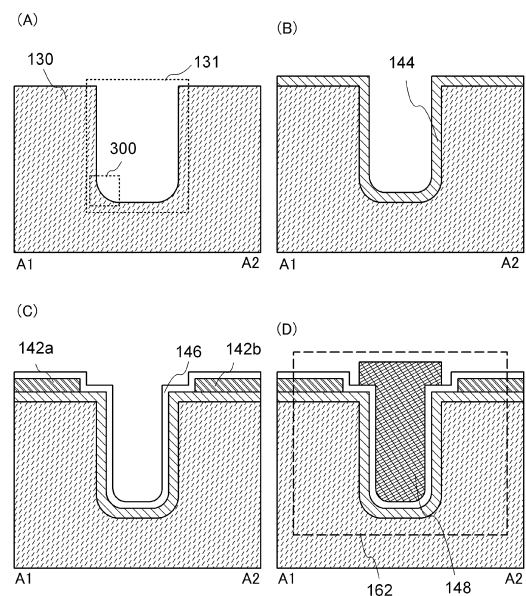
3 0 8	平坦化絶縁膜	
3 2 0	トランジスタ	
3 3 0	トランジスタ	
3 4 8	ゲート電極層	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	10
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	20
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス ( I F )	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	30
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	40
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	50

1 0 0 9      ディスプレイ  
1 0 1 0      ディスプレイコントローラ

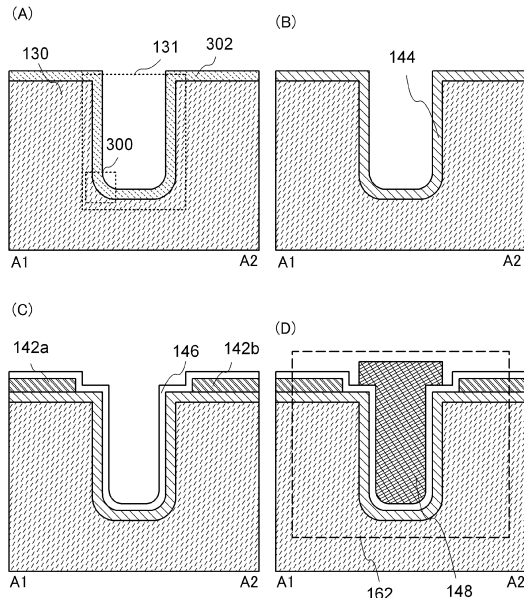
【図 1】



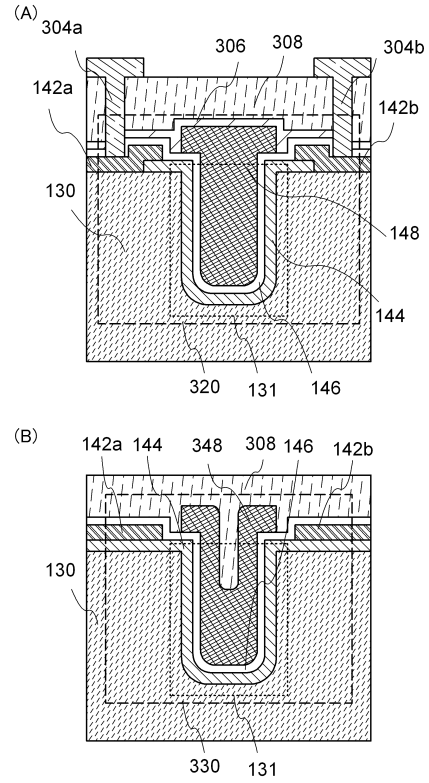
【図 2】



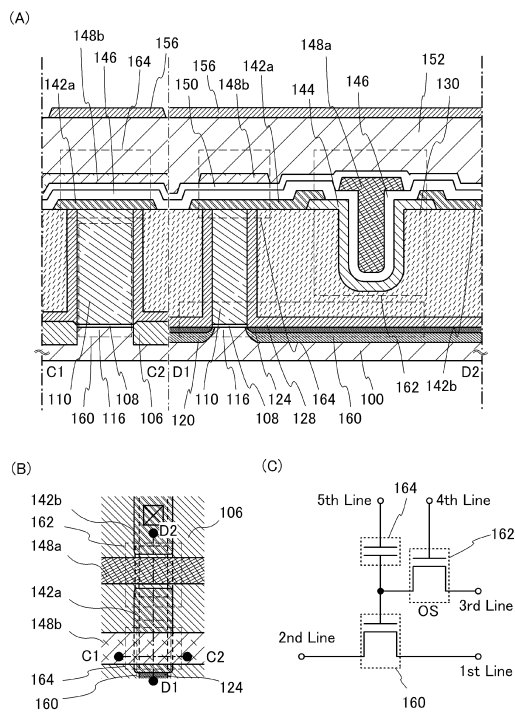
【図 3】



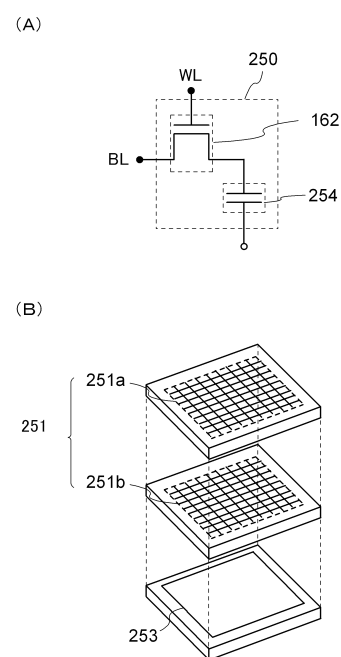
【図 4】



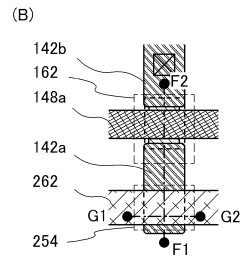
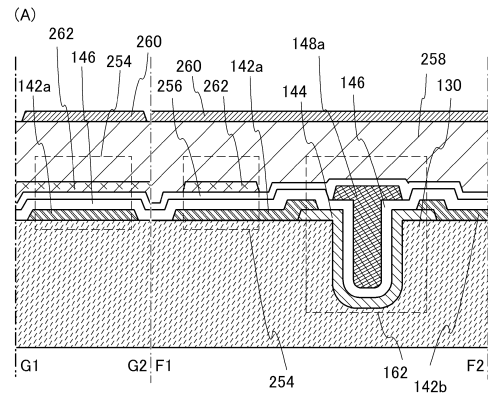
【図 5】



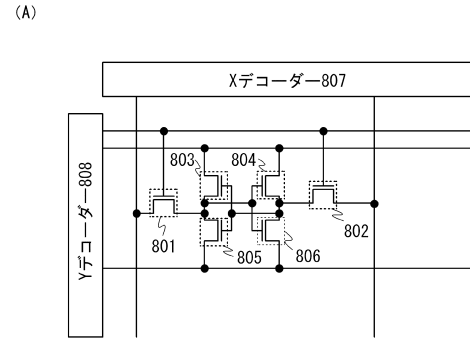
【図 6】



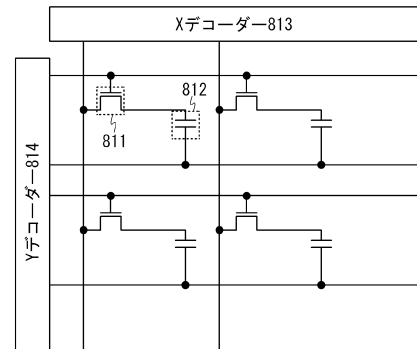
【図 7】



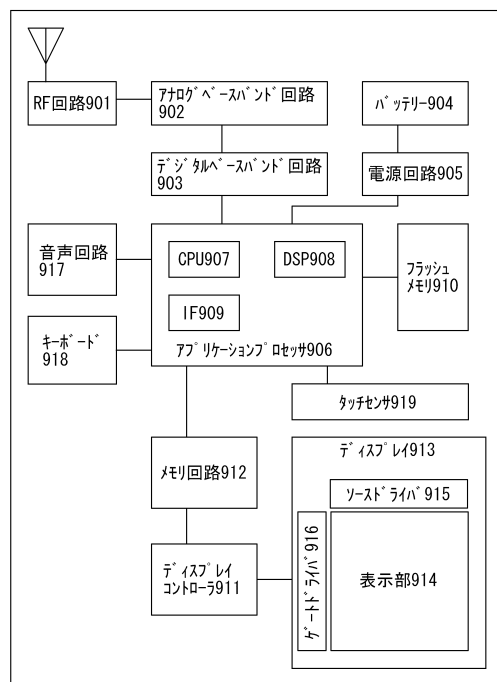
【図 8】



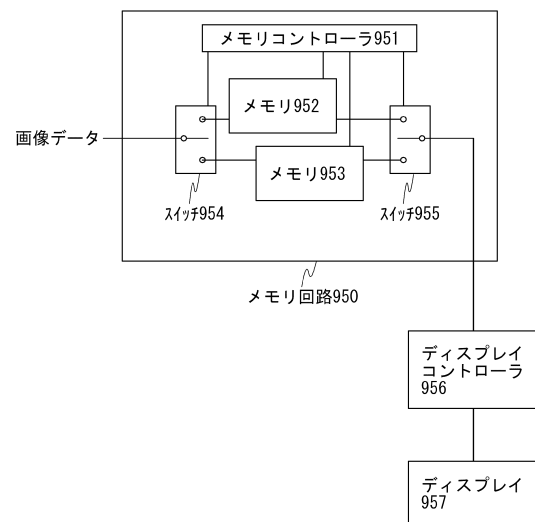
(B)



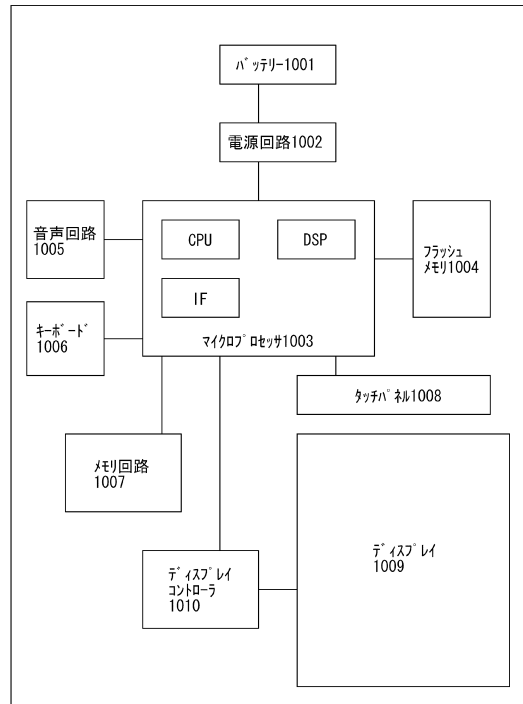
【図 9】



【図 10】

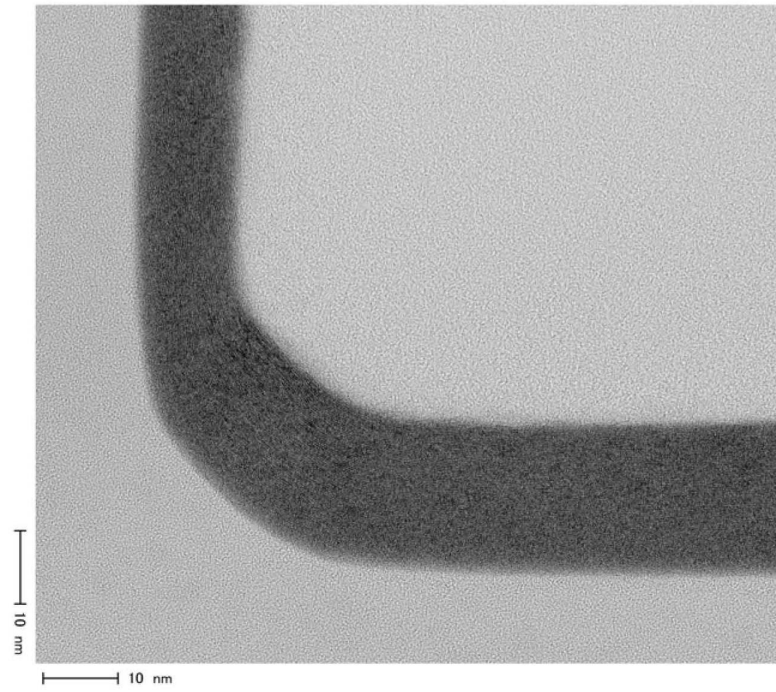


【図 11】

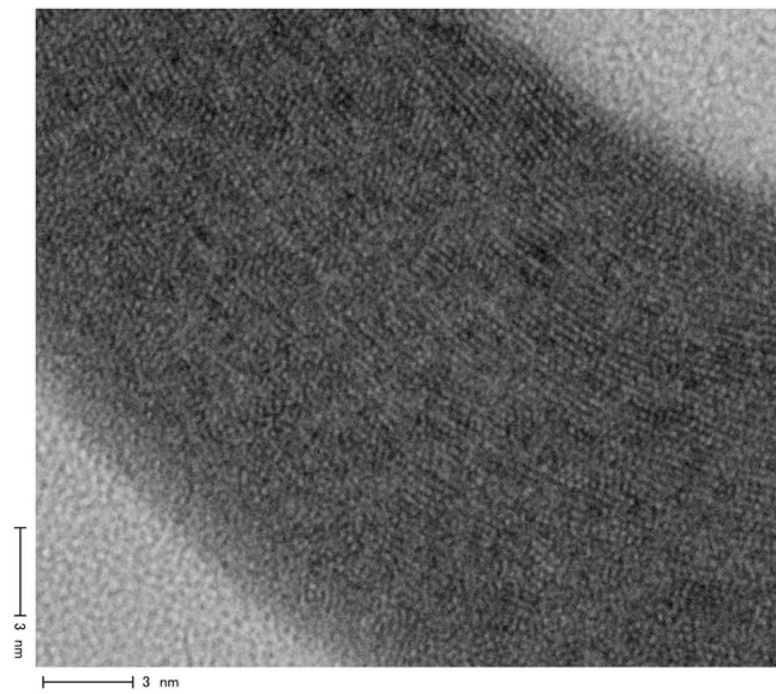


【図 12】

(A)

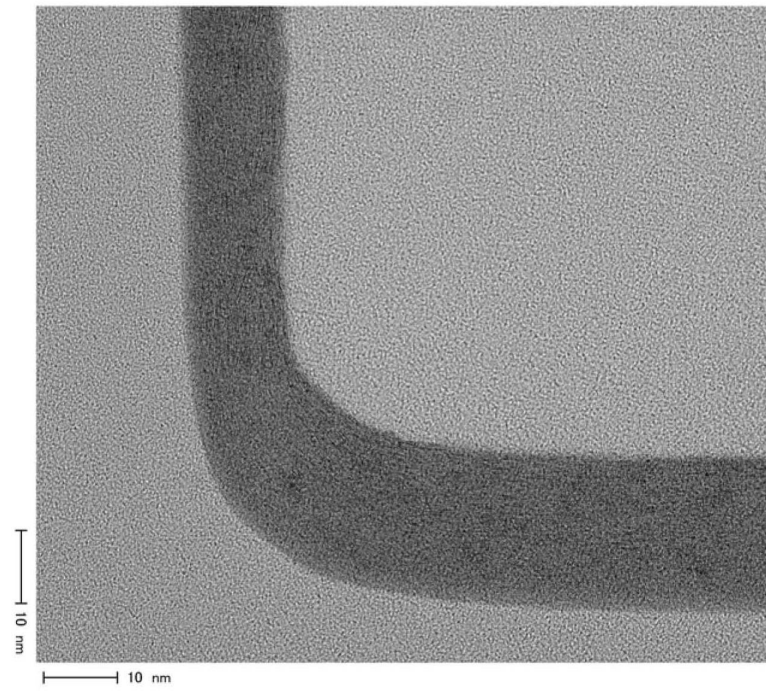


(B)

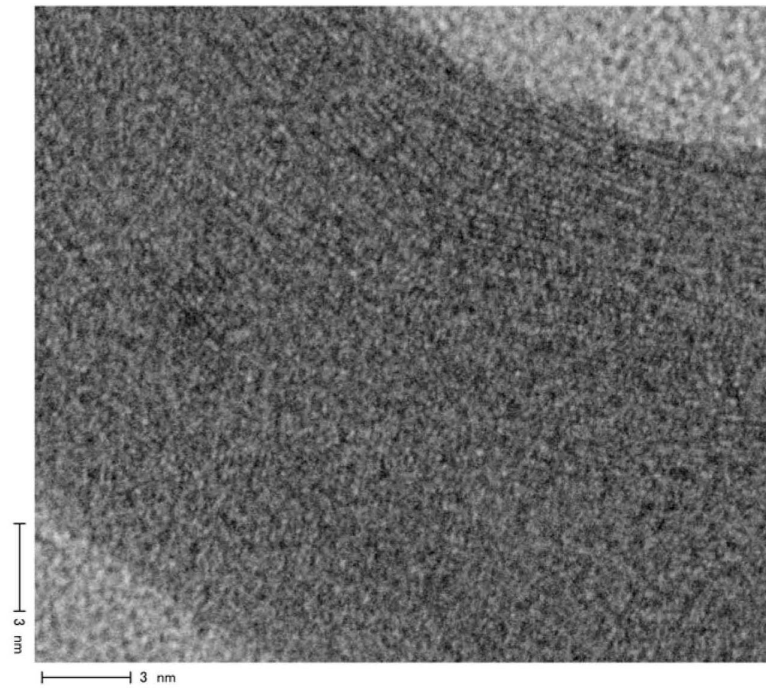


【図 13】

(A)



(B)





---

フロントページの続き

- (56)参考文献 特開2009-167087(JP,A)  
特開2009-283862(JP,A)  
特表2007-506286(JP,A)  
米国特許出願公開第2010/0301337(US,A1)  
特開2010-040815(JP,A)  
特開平04-032276(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/786