



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I539609 B

(45)公告日：中華民國 105 (2016) 年 06 月 21 日

(21)申請案號：100129959

(22)申請日：中華民國 100 (2011) 年 08 月 22 日

(51)Int. Cl. : *H01L29/788 (2006.01)**H01L27/115 (2006.01)**H01L21/8247(2006.01)*

(30)優先權：2010/08/26 日本

2010-189587

2011/01/14 日本

2011-005766

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：井上廣樹 INOUE, HIROKI (JP)；加藤清 KATO, KIYOSHI (JP)；松崎隆德

MATSUZAKI, TAKANORI (JP)；長塚修平 NAGATSUKA, SHUHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6016268

US 6737695B2

US 7088606B2

審查人員：董柏昌

申請專利範圍項數：8 項 圖式數：17 共 99 頁

(54)名稱

半導體裝置的驅動方法

DRIVING METHOD OF SEMICONDUCTOR DEVICE

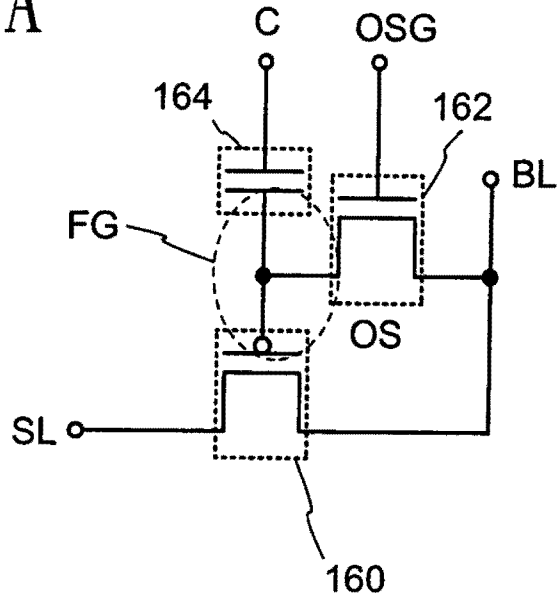
(57)摘要

提供一種新的半導體裝置及其驅動方法。一種具有非揮發性儲存單元的半導體裝置，該儲存單元包括使用氧化物半導體的寫入用電晶體、使用與該電晶體不同的半導體材料的讀出用 p 通道型電晶體以及電容元件。在使寫入用電晶體成為導通狀態而將電位供應到寫入用電晶體的源極、電容元件的一方電極以及讀出用電晶體的閘極彼此電連接的節點之後，使寫入用電晶體成為截止狀態，以使節點保持預定量的電荷，以對儲存單元寫入資訊。在保持期間中，使儲存單元成為選擇狀態並將讀出用電晶體的源極及汲極設定為同一電位，以保持累積在節點中的電荷。

A semiconductor device with a novel structure and a driving method thereof are provided. A semiconductor device includes a non-volatile memory cell including a writing transistor including an oxide semiconductor, a reading p-channel transistor including a semiconductor material different from that of the writing transistor, and a capacitor. Data is written to the memory cell by turning on the writing transistor so that a potential is supplied to a node where a source electrode of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined amount of electric charge is held in the node. In a holding period, the memory cell is brought into a selected state and a source electrode and a drain electrode of the reading transistor are set to the same potential, whereby the electric charge stored in the node is held.

指定代表圖：

圖 1A



符號簡單說明：

160 . . . 電晶體

162 . . . 電晶體

164 . . . 電容元件

OSG . . . 寫入字線

C . . . 讀出字線

FG . . . 節點

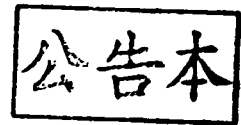
BL . . . 位元線

SL . . . 源極線

OS . . . 使用氧化物
半導體的電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)



※申請案號：100129959

※申請日：100 年 08 月 22 日

※IPC 分類：H61L 29/188 (2006.01)

一、發明名稱：(中文／英文)

29/115 (2006.01)

半導體裝置的驅動方法

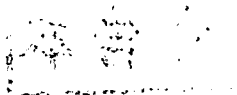
21/8247 (2006.01)

Driving method of semiconductor device

二、中文發明摘要：

提供一種新的半導體裝置及其驅動方法。一種具有非揮發性儲存單元的半導體裝置，該儲存單元包括使用氧化物半導體的寫入用電晶體、使用與該電晶體不同的半導體材料的讀出用 p 通道型電晶體以及電容元件。在使寫入用電晶體成為導通狀態而將電位供應到寫入用電晶體的源極、電容元件的一方電極以及讀出用電晶體的閘極彼此電連接的節點之後，使寫入用電晶體成為截止狀態，以使節點保持預定量的電荷，以對儲存單元寫入資訊。在保持期間中，使儲存單元成為選擇狀態並將讀出用電晶體的源極及汲極設定為同一電位，以保持累積在節點中的電荷。

三、英文發明摘要：



A semiconductor device with a novel structure and a driving method thereof are provided. A semiconductor device includes a non-volatile memory cell including a writing transistor including an oxide semiconductor, a reading p-channel transistor including a semiconductor material different from that of the writing transistor, and a capacitor. Data is written to the memory cell by turning on the writing transistor so that a potential is supplied to a node where a source electrode of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined amount of electric charge is held in the node. In a holding period, the memory cell is brought into a selected state and a source electrode and a drain electrode of the reading transistor are set to the same potential, whereby the electric charge stored in the node is held.

四、指定代表圖：

(一) 本案指定代表圖為：第 1A 圖。

(二) 本代表圖之元件符號簡單說明：

160：電晶體

162：電晶體

164：電容元件

OSG：寫入字線

C：讀出字線

FG：節點

BL：位元線

SL：源極線

OS：使用氧化物半導體的電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明係關於一種利用半導體元件的半導體裝置及該半導體裝置的驅動方法。

【先前技術】

利用半導體元件的儲存裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性儲存裝置和即使沒有電力供給也保持儲存內容的非揮發性儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資訊。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中因截止狀態下的源極和汲極之間的洩漏電流（截止電流）等而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按預定的週期再次進行寫入工作（刷新工作），由此，難以充分降低耗電量。另外，因為如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以實現較長期間的儲存保持。

作為揮發性儲存裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM

使用正反器等電路保持儲存內容，而不需要進行刷新工作，在這一點上SRAM優越於DRAM。但是，因為SRAM使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM和DRAM相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區域之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）、不需要進行揮發性儲存裝置所需要的刷新工作的優點（例如，參照專利文獻1）。

但是：由於當進行寫入時產生的穿隧電流會引起構成記憶元件的閘極絕緣層的退化，因此發生因預定次數的寫入而使記憶元件不能工作的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，為了使用該方法，需要具有複雜的週邊電路。另外，即使使用上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資訊的改寫頻率高的用途。

另外，為了對浮動閘極注入電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的注入或去除需要較長時間而難以實現寫入或擦除的高速化的問題。

[專利文獻1] 日本專利申請公開 昭57-105889號公報

【發明內容】

鑒於上述問題，所公開的發明的一個方式的目的之一在於：提供一種即使沒有電力供給也能夠保持儲存內容且對寫入次數也沒有限制的具有新的結構的半導體裝置。

在所公開的發明中，藉由使用可以使電晶體的截止電流充分小的材料如作為寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用可以使電晶體的截止電流充分小的半導體材料，可以長期保持資訊。

另外，所公開的發明提供一種具有非揮發性儲存單元的半導體裝置，該非揮發性儲存單元包括：使用氧化物半導體的寫入用電晶體；使用與該寫入用電晶體不同的半導體材料的讀出用電晶體；以及電容元件。對該儲存單元的資訊的寫入及改寫藉由如下步驟來進行：藉由使寫入用電晶體成為導通狀態，將電位供應到寫入用電晶體的源極電極及汲極電極中的一方、電容元件的電極中的一方以及讀出用電晶體的閘極電極彼此電連接的節點，然後，藉由使寫入用電晶體成為截止狀態，使節點保持預定量的電荷。另外，在保持期間中，藉由使儲存單元成為選擇狀態且將讀出用電晶體的源極電極及汲極電極設定為同一電位，保持儲存在節點中的電荷。另外，作為讀出用電晶體，使用p通道型電晶體，而以不使用負電位的方式進行讀出。

更明確地說，例如，可以使用如下結構。

所公開的發明的一個方式是一種半導體裝置的驅動方

法，在該半導體裝置中，位元線與第一電晶體的源極電極及第二電晶體的源極電極電連接，寫入字線與第二電晶體的閘極電極電連接，源極線與第一電晶體的汲極電極電連接，寫入及讀出字線與電容元件的一方電極電連接，第一電晶體的閘極電極、第二電晶體的汲極電極以及電容元件的另一方電極彼此電連接而構成保持電荷的節點，上述驅動方法包括如下步驟：在寫入期間中，將使第二電晶體成為導通狀態的電位供應到寫入字線，並且將接地電位供應到源極線，以使電荷累積在節點中；以及在寫入期間後的保持期間中，將接地電位供應到寫入字線和寫入及讀出字線，並且將同一電位供應到源極線及位元線，以保持累積在節點中的電荷。

另外，所公開的發明的一個方式是一種半導體裝置的驅動方法，該半導體裝置包括位元線、源極線、多個寫入字線、多個寫入及讀出字線以及包含多個儲存單元的儲存單元陣列，在儲存單元之一中，位元線與第一電晶體的源極電極及第二電晶體的源極電極電連接，寫入字線與第二電晶體的閘極電極電連接，源極線與第一電晶體的汲極電極電連接，寫入及讀出字線與電容元件的一方電極電連接，第一電晶體的閘極電極、第二電晶體的汲極電極以及電容元件的另一方電極彼此電連接而構成保持電荷的節點，上述驅動方法包括如下步驟：在寫入期間中，將使分別包含在多個儲存單元中的第二電晶體成為導通狀態的電位供應到多個寫入字線，並且將接地電位供應到源極線，以使

電荷累積在分別包含在多個儲存單元中的節點；在寫入期間後的保持期間中，將接地電位分別供應到多個寫入字線和多個寫入及讀出字線，並且將同一電位供應到位元線及源極線，以保持累積在分別包含在多個儲存單元中的節點中的電荷；以及在讀出期間中，將電源電位供應到與非選擇的儲存單元之一連接的寫入及讀出字線之一，並且將接地電位供應到與選擇的儲存單元之一連接的寫入及讀出字線之一，以讀出保持在包含在選擇的儲存單元之一中的節點中的電荷。

另外，在上述半導體裝置的驅動方法中，也可以在保持期間中將接地電位供應到源極線及位元線。

另外，所公開的發明的一個方式是一種半導體裝置的驅動方法，該半導體裝置包括多個位元線、源極線、多個寫入字線、多個寫入及讀出字線以及包含多個儲存單元的儲存單元陣列，在儲存單元之一中，位元線與第一電晶體的源極電極及第二電晶體的源極電極電連接，寫入字線與第二電晶體的閘極電極電連接，源極線與第一電晶體的汲極電極電連接，寫入及讀出字線與電容元件的一方電極電連接，第一電晶體的閘極電極、第二電晶體的汲極電極以及電容元件的另一方電極彼此電連接而構成保持電荷的節點，上述驅動方法包括如下步驟：在寫入期間中，將使分別包含在多個儲存單元中的第二電晶體成為導通狀態的電位供應到多個寫入字線，並且將接地電位供應到源極線，以使電荷累積在分別包含在多個儲存單元中的節點中；在

寫入期間後的保持期間中，將接地電位分別供應到多個寫入字線和多個寫入及讀出字線，並且將同一電位供應到多個位元線及源極線，以保持累積在分別包含在多個儲存單元中的節點中的電荷；以及在讀出期間中，將電源電位供應到與非選擇的儲存單元之一連接的寫入及讀出字線之一，並且將接地電位供應到與選擇的儲存單元之一連接的寫入及讀出字線之一，以讀出保持在包含在選擇的儲存單元之一中的節點中的電荷。

另外，在上述半導體裝置的驅動方法中，也可以在保持期間中將接地電位供應到源極線及多個位元線。

另外，在上述半導體裝置的驅動方法中，第二電晶體的通道形成區較佳包含氧化物半導體。

另外，在本說明書等中，“上”或“下”的用語不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。

另外，在本說明書等中，“電極”或“佈線”的用語不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”的用語還意味著多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”彼此連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接元件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

使用氧化物半導體的電晶體的截止電流極小，因此藉由使用該電晶體可以在極長期間中保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給（較佳的是，電位被固定），也可以在較長期間內保持儲存內容。

另外，在根據所公開的發明的半導體裝置中，在寫入資訊時不需要高電壓，而且也沒有元件退化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的退化等的問題。就是說，根據所公開的發明的半導體裝置對能夠改寫的次數沒有限制，這限制是現有的非揮發性記憶體所具有的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資訊的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資訊的工作的優點。

此外，藉由作為讀出用電晶體應用使用氧化物半導體

以外的材料而能夠進行足夠的高速工作的電晶體，並將該電晶體與作為寫入用電晶體的使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以合適地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如上所述，藉由一體地具備使用氧化物半導體以外的材料的能夠進行足夠的高速工作的電晶體和使用氧化物半導體的電晶體（作更廣義解釋，截止電流十分小的電晶體），可以實現具有新穎的特徵的半導體裝置。

【實施方式】

以下，參照圖式說明所公開的發明的實施方式的一個例子。但是，所公開的發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，所公開的發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

為了便於理解，圖式等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞是為了避免結構要素的混同，而不是為了在數目

方面上限定。

實施方式 1

在本實施方式中，參照圖 1A 及 1B 和圖 2A 及 2B 對根據所公開的發明的一個方式的半導體裝置的基本電路結構及其工作進行說明。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

<基本電路 1>

首先，參照圖 1A 和圖 1B 對最基本的電路結構及其工作進行說明。在圖 1A 所示的半導體裝置中，位元線 BL、電晶體 160 的源極電極（或汲極電極）以及電晶體 162 的源極電極（或汲極電極）彼此電連接，並且，源極線 SL 與電晶體 160 的汲極電極（或源極電極）電連接。另外，寫入字線 OSG 與電晶體 162 的閘極電極電連接。再者，電晶體 160 的閘極電極及電晶體 162 的汲極電極（或源極電極）與電容元件 164 的一方電極電連接，寫入及讀出字線 C 與電容元件 164 的另一方電極電連接。另外，電晶體 160 的源極電極（或汲極電極）及電晶體 162 的源極電極（或汲極電極）也可以彼此不電連接而分別與不同的佈線電連接。

在此，例如，將使用氧化物半導體的電晶體用於電晶體 162。使用氧化物半導體的電晶體具有截止電流極小的特徵。因此，藉由使電晶體 162 成爲截止狀態，可以極長時間地保持電晶體 160 的閘極電極的電位。再者，藉由具

有電容元件 164，容易保持施加到電晶體 160 的閘極電極的電荷，另外，也容易讀出所保持的資訊。

另外，對電晶體 160 的半導體材料沒有特別的限制。從提高資訊的讀出速度的觀點來看，例如，較佳使用利用單晶矽的電晶體等的開關速度快的電晶體。作為電晶體 160，使用 p 通道型電晶體。

在圖 1A 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入及保持進行說明。首先，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 162 的汲極電極（或源極電極）、電晶體 160 的閘極電極以及電容元件 164 的一方電極彼此電連接的節點（也稱為節點 FG）施加位元線 BL 的電位。也就是說，對節點 FG 施加預定的電荷（寫入）。這裏，賦予兩個不同的電位的電荷（以下，賦予低電位的電荷稱為電荷 Q_L ，而賦予高電位的電荷稱為電荷 Q_H ）中的任何一種被施加。另外，也可以利用賦予三個以上的不同的電位的電荷提高儲存容量。然後，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對節點 FG 施加的電荷（保持）。

因為電晶體 162 的截止電流極小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對源極線 SL 施加預定的電位（定電位）的狀態下對寫入及讀出字線 C 施加適當的電位（讀出電位）時，根據保持在節點 FG 中的電荷量，位元線 BL 取不同的電位。就是說，電晶體 160 的導電率被保持在電晶體 160 的閘極電極（也稱為節點 FG）中的電荷控制。

一般來說，在電晶體 160 為 p 通道型電晶體時，對電晶體 160 的閘極電極施加 Q_H 時的外觀上的閾值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Q_L 時的外觀上的閾值 V_{th_L} 。例如，在寫入時施加 Q_L 的情況下，當寫入及讀出字線 C 的電位成為 V_0 （ V_{th_H} 與 V_{th_L} 之間的中間電位）時，電晶體 160 成為“導通狀態”。在寫入時施加 Q_H 的情況下，即使寫入及讀出字線 C 的電位成為 V_0 ，電晶體 160 也處於“截止狀態”。因此，藉由辨別位元線 BL 的電位，可以讀出所保持的資訊。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入及保持同樣進行。也就是說，將寫入字線 OSG 的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，對節點 FG 施加位元線 BL 的電位（有關新的資訊的電位）。然後，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而使節點 FG 成為施加有有關新的資訊的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置藉由再次進

行資訊的寫入，可以直接改寫資訊。因此，不需要快閃記憶體等所需要的利用高電壓從浮動閘極抽出電荷的工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實現了半導體裝置的高速工作。

以下，作為一個例子，明確地說明對節點FG施加電源電位VDD和接地電位GND中的任何一種時的寫入、保持以及讀出的方法。以下，將對節點FG施加電源電位VDD時保持的資料稱為資料“1”，並且將對節點FG施加接地電位GND時保持的資料稱為資料“0”。另外，對節點FG施加的電位的關係不侷限於此。

在寫入資訊時（寫入期間），藉由將源極線SL、寫入及讀出字線C以及寫入字線OSG分別設定為GND、GND以及VDD，使電晶體162成為導通狀態。在將資料“0”寫入到節點FG時將GND施加到位元線BL。另外，在將資料“1”寫入到節點FG時，較佳的是，將位元線BL的電位設定為VDD，並將寫入字線OSG的電位設定為 $VDD + V_{th_os}$ ，以不使下降電晶體162的閾值電壓（ V_{th_os} ）。

在保持資訊時（保持期間），或者，在使儲存單元成為準備狀態時（準備期間），藉由將寫入字線OSG設定為GND，使電晶體162成為截止狀態。另外，將寫入及讀出字線C設定為GND，以降低電晶體162的汲極與源極之間的電壓（以下稱為 V_{ds_os} ）。另外，藉由將寫入及讀出字線C設定為GND，有時會隔著p通道型電晶體的電晶體160在位元線BL與源極線SL之間產生電流。鑒於這個問題，藉

由將位元線 BL 和源極線 SL 設定為同一電位，將電晶體 160 的汲極與源極之間的電壓（以下稱為 V_{ds_p} ）設定為 0V，以抑制位元線 BL 與源極線 SL 之間的電流。

另外，上述“同一電位”包括“大致同一電位”。就是說，如上所述，因為以藉由充分降低位元線 BL 和源極線 SL 之間的電壓而抑制產生在位元線 BL 和源極線 SL 之間的電流為目的，所以包括一種“大致同一電位”，該電位是與將源極線 SL 的電位固定為 GND 等的情況相比能夠充分（例如，百分之一以下）降低耗電量的電位等。另外，例如，充分允許一種偏差，即由佈線電阻等導致的電位偏差。

更佳的是，在保持期間及準備期間中，將位元線 BL 及源極線 SL 設定為 GND，以抑制對電晶體 162 的電壓應力。

在保持期間及準備期間中，藉由將寫入及讀出字線 C 設定為 GND，可以降低 V_{ds_os} 。例如，在寫入期間中將資料“1”（即 VDD）寫入到節點 FG 且保持期間中將寫入及讀出字線 C 設定為 VDD 的情況下，節點 FG 因電容耦合而增加 VDD，而成為 2VDD。在此情況下，在位元線 BL 為 GND 時， V_{ds_os} 成為 2VDD（=2VDD-GND）。另一方面，在以同樣條件保持期間中將寫入及讀出字線 C 設定為 GND 的情況下，節點 FG 成為 VDD，並且在位元線 BL 為 GND 時， V_{ds_os} 成為 VDD（=VDD-GND）。因此，與將寫入及讀出字線 C 設定為 VDD 的情況相比，可以降低 V_{ds_os} 。藉由降

低 V_{ds_os} ，可以進一步降低電晶體 162 的截止電流，而可以進一步提高儲存單元的保持特性。

在讀出資訊時（讀出期間），將寫入字線 OSG 設定為 GND，將寫入及讀出字線 C 設定為 GND，並且將源極線 SL 設定為 VDD 或比 VDD 低一點的電位（以下稱為 VR）。這裏，在節點 FG 寫入有資料“1”的情況下，p 通道型電晶體的電晶體 160 成為截止狀態，從而位元線 BL 的電位維持讀出開始時的電位或者下降。另外，位元線 BL 的電位的維持或下降依賴於連接於位元線 BL 的讀出電路。在節點 FG 寫入有資料“0”的情況下，電晶體 160 成為導通狀態，從而位元線 BL 的電位成為與源極線 SL 的電位相同的電位，即 VDD 或 VR。因此，藉由辨別位元線 BL 的電位，可以讀出保持在節點 FG 中的資料“1”或資料“0”。

另外，在節點 FG 保持電位 VDD（即，寫入資料“1”）的情況下，藉由在讀出時將源極線 SL 的電位設定為 VDD，電晶體 160 的閘極與源極之間的電壓（以下稱為 V_{gs_p} ）成為 0V（ $=VDD-VDD$ ）， V_{gs_p} 大於電晶體 160 的閾值電壓（以下稱為 V_{th_p} ），由此，p 通道型電晶體的電晶體 160 成為截止狀態。這裏，即使在保持在節點 FG 中的電位小於 VDD 的情況如寫入到節點 FG 的電位不到達 VDD 的情況下，只要節點 FG 的電位為 $VDD-|V_{th_p}|$ 以上就成為 $V_{gs_p}=(VDD-|V_{th_p}|)-VDD=-|V_{th_p}|=V_{th_p}$ ，電晶體 160 也成為截止狀態，而能夠正常地讀出資料“1”。但是，在節點 FG 的電位小於 $VDD-|V_{th_p}|$ 時， V_{gs_p} 小於 V_{th_p}

，由此電晶體 160 成爲導通狀態，讀出資料 “0” 而不讀出資料 “1”，這是不正常的讀出。就是說，在寫入資料 “1” 的情況下，能夠讀出的電位的下限值爲比源極線 SL 的電位 V_{DD} 低 $|V_{th_p}|$ 的 $V_{DD} - |V_{th_p}|$ 。另一方面，在讀出時將源極線 SL 的電位設定爲 V_R 時，如上所述，能夠讀出資料 “1” 的電位的下限值爲比源極線 SL 的電位 V_R 低 $|V_{th_p}|$ 的 $V_R - |V_{th_p}|$ 。這裏，因爲 V_R 是低於 V_{DD} 的電位，所以 $V_R - |V_{th_p}|$ 小於 $V_{DD} - |V_{th_p}|$ 。就是說，在將源極線 SL 的電位設定爲 V_R 時，能夠讀出的電位的下限值更低。因此，較佳將源極線 SL 的電位設定爲 V_R 代替 V_{DD} ，這是因爲能夠讀出資料 “1” 的電位的範圍更寬的緣故。另外，至於上限值，在將源極線 SL 的電位設定爲 V_R 時，節點 FG 寫入有 V_{DD} 時的 V_{gsp} 成爲 $V_{DD} - V_R > V_{th_p}$ ($\because V_{DD} > V_R$)，可以沒有問題地使電晶體 160 成爲截止狀態。

這裏，藉由將電晶體 162 的汲極電極（或源極電極）、電晶體 160 的閘極電極以及電容元件 164 的一方電極彼此電連接的節點（節點 FG）起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。當電晶體 162 處於截止狀態時，該節點 FG 可以被認爲埋設在絕緣體中，在節點 FG 中保持電荷。因爲使用氧化物半導體的電晶體 162 的截止電流爲使用矽半導體等而形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的漏泄導致的儲存在節點 FG 中的電荷的消失。也就是

說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也能夠保持資訊的非揮發性儲存裝置。

例如，當室溫（25°C）下的電晶體 162 的截止電流為 10 zA（1 zA（仄普托安培）等於 1×10^{-21} A）以下，並且電容元件 164 的電容值為 10 fF 左右時，至少可以保持資料 10^4 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在所公開的發明的半導體裝置中，不存在在現有的浮動閘型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的退化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣膜的退化的問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要再在現有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

圖 1A 所示的半導體裝置可以被認為如圖 1B 所示的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻器及電容器。就是說，在圖 1B 中，電晶體 160 及電容元件 164 分別包括電阻器及電容器而構成。R1 和 C1 分別是電容元件 164 的電阻值和電容值，電阻值 R1 相當於構成電容元件 164 的絕緣層的電阻值。此外，R2 和 C2 分別是電晶體 160 的電阻值和電容值，其中電阻值 R2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極與源極電極或汲極電極之間的電容以及形成在閘極電極與通道形成區之間的

電容)的電容值。

在以電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值(也稱為有效電阻)為 R_{OS} 的情況下，在電晶體 162 的閘極洩漏電流充分小的條件下，當 R_1 及 R_2 滿足 $R_1 \geq R_{OS}$ 、 $R_2 \geq R_{OS}$ 時，主要根據電晶體 162 的截止電流來決定電荷的保持期間(也可以稱為資訊的保持期間)。

反之，在不滿足上述條件的情況下，即使電晶體 162 的截止電流足夠小，也難以充分確保保持期間。這是因為電晶體 162 的截止電流以外的洩漏電流(例如，發生在源極電極與閘極電極之間的洩漏電流等)大的緣故。由此，可以說本實施方式所公開的半導體裝置較佳滿足 $R_1 \geq R_{OS}$ 及 $R_2 \geq R_{OS}$ 的關係。

另一方面， C_1 和 C_2 較佳滿足 $C_1 \geq C_2$ 的關係。這是因為如下緣故：藉由增大 C_1 ，當由寫入及讀出字線 C 控制節點 FG 的電位時，可以高效地將寫入及讀出字線 C 的電位供應到節點 FG，從而可以將施加到寫入及讀出字線 C 的電位間(例如，讀出電位和非讀出電位)的電位差抑制為低的緣故。

如上所述，藉由滿足上述關係，可以實現更佳的半導體裝置。另外， R_1 和 R_2 由電晶體 160 的閘極絕緣層和電容元件 164 的絕緣層來控制。 C_1 和 C_2 也是同樣的。因此，較佳適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

在本實施方式所示的半導體裝置中，節點 FG 起到與

快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施方式的節點FG具有與快閃記憶體等的浮動閘極根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高集成化的主要原因之一。並且，該主要原因起因於藉由施加高電場來發生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施方式的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，而不使用如上所述的利用穿隧電流注入電荷的原理。就是說，不需要如快閃記憶體那樣的用來注入電荷的高電場。由此，因為不需要考慮到控制閘極給相鄰的單元帶來的高電場的影響，所以容易實現高集成化。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也優越於快閃記憶體。例如，在寫入兩個階段（1位元）的資訊的情況下，在一個儲存單元中，可以使施加到根據本實施方式的儲存單元的電壓（同時施加到儲存單元的各端子的最大電位與最小電位之間的差異）的最大值為5V以下，較佳為3V以下。

再者，在使構成電容元件164的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體160的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，容易在構成電容元件164的絕緣層的面積S1和在電晶體160中構成閘極電容的絕緣層的面積S2滿足

2. $S2 \geq S1$ (較佳滿足 $S2 \geq S1$) 的同時，實現 $C1 \geq C2$ 。換言之，容易在使構成電容元件 164 的絕緣層的面積縮小的同時實現 $C1 \geq C2$ 。明確地說，例如，在構成電容元件 164 的絕緣層中，可以採用由氧化鈣等的 high-k 材料構成的膜或由氧化鈣等的 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，而將 ϵ_{r1} 設定為 10 以上，較佳設定為 15 以上，並且在構成電晶體 160 的閘極電容的絕緣層中，可以採用氧化矽，而將 ϵ_{r2} 設定為 3 至 4。

藉由採用這種結構的組合，可以使根據所公開的發明的半導體裝置進一步高集成化。

<基本電路 2>

圖 2A 和 2B 是將圖 1A 所示的儲存單元配置為 2 行 $\times$ 2 列的矩陣狀的儲存單元陣列的電路圖。圖 2A 和圖 2B 中的儲存單元 170 的結構與圖 1A 相同。但是，在圖 2A 中，兩列儲存單元共同使用源極線 SL。另外，在圖 2B 中，兩行儲存單元共同使用源極線 SL。

如圖 2A 和 2B 所示，藉由採用在兩列或兩行中共同使用源極線 SL 的結構，可以將與儲存單元 170 連接的信號線的個數從未共同使用時的四個減少到 3.5 個 (3 個 + 1/2 個)。

另外，共同使用源極線 SL 的列數 (或行數) 不侷限於兩列 (兩行)，也可以採用三列 (或三行) 以上的多列 (或多行) 儲存單元共同使用源極線 SL 的結構。作為共同使

用源極線 SL 的列數（或行數），可以根據共同使用源極線 SL 時的寄生電阻及寄生電容而適當地選擇合適的值。另外，共同使用源極線 SL 的列數（或行數）越多，連接於儲存單元 170 的信號線個數越少，因此是較佳的。

在圖 2A 和 2B 中，源極線 SL 連接於源極線轉換電路 194。這裏，源極線轉換電路 194 除了連接於源極線 SL 以外還連接於源極線轉換信號線 SLC。

在圖 2A 和 2B 所示的半導體裝置中，資料的寫入、保持及讀出與圖 1A 和圖 1B 的情況相同，而可以參照如上所述的內容。例如，在將電源電位 VDD 和接地電位 GND 中的任何一個施加到節點 FG 的情況下，將對節點 FG 施加電源電位 VDD 時保持的資料稱為資料“1”，並且將對節點 FG 施加接地電位 GND 時保持的資料稱為資料“0”。以下，描述具體的寫入工作。首先，將連接於儲存單元 170 的寫入及讀出字線 C 的電位設定為 GND，將寫入字線 OSG 的電位設定為 VDD，而選擇儲存單元 170。由此，將位元線 BL 的電位供應到所選擇的儲存單元 170 的節點 FG。

這裏，在將接地電位 GND 施加到節點 FG 時（即，在保持資料“0”時），將使 p 通道型電晶體的電晶體 160 成為導通狀態的電位施加到電晶體 160 的閘極電極。在此情況下，為了抑制由在位元線 BL 和源極線 SL 之間產生的電流導致的寫入到節點 FG 的電位上升，需要將源極線 SL 的電位設定為接地電位 GND。

由此，藉由利用源極線轉換信號線 SLC 的信號轉換源

極線轉換電路 194 的信號路徑，將接地電位 GND 供應到源極線 SL。

上述工作的特徵在於：在寫入期間中，將源極線 SL 的電位設定為接地電位 GND。由此，即使在將使電晶體 160 成為導通狀態的電位施加到節點 FG 的情況下，也可以抑制在位元線 BL 和源極線 SL 之間產生電流。

另外，如圖 2A 和 2B 所示，在將儲存單元 170 配置為陣列狀而使用的情況下，在讀出期間中，需要只有所希望的儲存單元 170 的資訊被讀出。像這樣，為了讀出預定的儲存單元 170 的資訊，且不讀出除此以外的儲存單元 170 的資訊，需要使讀出資訊之外的儲存單元 170 成為非選擇狀態。

例如，如基本電路 1 所示，在將電源電位 VDD 和接地電位 GND 中的任何一種施加到節點 FG 且將對節點 FG 施加電源電位 VDD 時保持的資料稱為資料“1”，並且將對節點 FG 施加接地電位 GND 時保持的資料稱為資料“0”的情況下，藉由將源極線 SL 設定為 GND，將寫入及讀出字線 C 設定為 VDD，並且將寫入字線 OSG 設定為 GND，可以使儲存單元 170 成為非選擇狀態。

藉由將寫入及讀出字線 C 設定為 VDD，節點 FG 的電位因與電容元件 164 的電容耦合而上升 VDD。因為在節點 FG 寫入有資料“1”的 VDD 的情況下節點 FG 的電位上升 VDD 而成為 $VDD + VDD = 2VDD$ ， V_{gs_p} 成為大於 V_{th_p} ，所以 p 通道型電晶體的電晶體 160 成為截止狀態。另一方面，因為在

節點 FG 寫入有資料“0”的 GND 的情況下，節點 FG 的電位上升 V_{DD} 而成為 $GND + V_{DD} = V_{DD}$ ， V_{gs_p} 成為大於 V_{th_p} ，所以 p 通道型電晶體的電晶體 160 成為截止狀態。就是說，藉由將寫入及讀出字線 C 設定為 V_{DD} ，無論保持在節點 FG 中的資料如何都可以使電晶體 160 成為截止狀態，就是說，可以使儲存單元 170 成為非選擇狀態。

另外，假設使用 n 通道型電晶體作為讀出用電晶體 160 的情況。即使將寫入及讀出字線 C 設定為 0V，也在 n 通道型電晶體的閘極電極的電位高於該電晶體的閾值時不一定能夠使所有儲存單元成為截止狀態。因此，需要將負電位供應到非選擇的行的寫入及讀出字線 C，以使儲存單元成為非選擇狀態。但是，因為本實施方式所示的半導體裝置使用 p 通道型電晶體作為讀出用電晶體，所以藉由將非選擇的行的寫入及讀出字線 C 設定為正電位，可以使儲存單元成為截止狀態。因此，在儲存單元中不需要設置產生負電位的電路，而可以減少耗電量，並可以實現半導體裝置的小型化。

如上所述，在本實施方式所示的半導體裝置中，在保持期間及準備期間中，將寫入及讀出字線 C 設定為 GND，並且將位元線 BL 和源極線 SL 設定為同一電位，較佳均設定為 GND。藉由將寫入及讀出字線 C 設定為 GND，與該寫入及讀出字線 C 連接的所有儲存單元成為選擇狀態，但是，因為位元線 BL 和源極線 SL 為同一電位，所以 V_{ds_p} 成為 0V，而可以抑制位元線 BL 和源極線 SL 之間的電流。像這

樣，在保持期間中，藉由將寫入及讀出字線 C 設定為 GND，可以降低 V_{ds_os} ，並可以進一步降低電晶體 162 的截止電流，由此可以進一步提高儲存單元的保持特性。

圖 3 示出根據圖 2A 和 2B 的半導體裝置的寫入、保持以及讀出工作的時序圖的一個例子。時序圖中的 OSG、C 等的名稱表示被施加時序圖所示的電位的佈線，並且當有多個具有同樣的功能的佈線時，藉由對佈線的名稱的末尾附上 $_1$ 、 $_m$ 、 $_n$ 等來進行區別。另外，所公開的發明不侷限於以下所示的排列。

圖 3 的時序圖示出如下情況下的各佈線之間的電位關係：具有 $m \times n$ 個 (m 及 n 分別是 2 以上的整數) 儲存單元；將資料 “1” 寫入到第 1 行 1 列的儲存單元；將資料 “0” 寫入到第 1 行 n 列的儲存單元；將資料 “0” 寫入到第 m 行 1 列的儲存單元；將資料 “1” 寫入到第 m 行 n 列的儲存單元；經過保持期間，讀出被寫入的所有資料。

在準備期間中，將寫入字線 OSG 設定為 GND，並且將寫入及讀出字線 C 設定為 GND。另外，將所有位元線 BL 和源極線 SL 設定為同一電位。在圖 3 中，將位元線 BL 及源極線 SL 設定為 GND。

在寫入期間中，首先，將所選擇的行的寫入字線 OSG 設定為高於電源電位 VDD 的電位（高電位：VH），將所選擇的寫入及讀出字線 C 設定為 GND，將非選擇的行的寫入字線 OSG 設定為 GND，並且將非選擇的行的寫入及讀出字線 C 設定為 VDD，以選擇所寫入的行。

另外，爲了不使寫入到儲存單元170的節點FG的電位下降電晶體的閾值電壓（ V_{th_os} ），需要將寫入字線OSG的電位設定爲高於位元線BL的電位 $+V_{th_os}$ 。因此，例如，在對節點FG寫入VDD（即，寫入資料“1”）時，將VH設定爲 $VDD+V_{th_os}$ 以上。但是，在即使寫入到節點FG的電位下降 V_{th_os} 也沒有問題的情況下，可以將所選擇的行的寫入字線OSG的電位設定爲VDD。

接著，比選擇所寫入的行的時序遲來將資料從位元線BL輸入到儲存單元。例如，在寫入資料“1”時將VDD供應到位元線BL，而在寫入資料“0”時將GND供應到位元線BL。

在本實施方式所示的半導體裝置中，因爲在保持期間及準備期間中連接到儲存單元的所有寫入及讀出字線C處於選擇狀態的GND，所以在比選擇所寫入的行的時序早來將資料從位元線BL輸入到儲存單元的情況下，電流有可能會藉由電晶體160流過位元線BL與源極線SL之間。例如，在將資料“1”重新寫入到在節點FG中保持資料“0”的儲存單元時，在保持期間中，因爲寫入及讀出字線C爲GND，所以節點FG爲GND。這裏，在比選擇所寫入的行的時序早來將位元線BL設定爲VDD的情況下， V_{gs_p} 成爲 $-VDD$ ，從而p通道型電晶體的電晶體160成爲導通狀態。另外，因爲源極線SL爲GND，所以 V_{ds_p} 成爲VDD，而在電晶體160的汲極與源極之間（位元線BL與源極線SL之間）產生電流。鑒於上述問題，藉由比選擇所寫入的行的時序

（即，寫入字線 OSG 上升到 VH 的時序）遲來將資料從位元線 BL 輸入到儲存單元（即，位元線 BL 上升到 VDD），可以抑制產生在位元線 BL 與源極線 SL 之間的電流。

接著，將寫入字線 OSG 設定為 GND，比將寫入字線 OSG 設定為 GND 的時序遲來將位元線 BL 設定為 GND。這是因為如下緣故：如果位元線 BL 成為 GND 的時序早，則對儲存單元的資料寫入有時會不正常。

最後，比將位元線 BL 設定為 GND 的時序遲來將所有行的寫入及讀出字線 C 設定為 GND，以使所有儲存單元成為選擇狀態。這是因為如下緣故：如果比將位元線 BL 設定為 GND 的時序早來將寫入及讀出字線 C 設定為 GND，則如上所述電流有可能會流過電晶體 160 的汲極與源極之間。

另外，在寫入期間中，在將接地電位 GND 施加到節點 FG 時，將源極線 SL 的電位設定為接地電位 GND，以抑制產生在位元線 BL 與源極線 SL 之間的電流。藉由利用源極線轉換信號線 SLC 的信號轉換源極線轉換電路 194 的信號路徑，進行上述驅動。

在保持期間中，將所有佈線設定為與準備期間同樣的電位。

在讀出期間中，首先，將所選擇的行的寫入及讀出字線 C 設定為 GND，並且將非選擇的行的寫入及讀出字線 C 設定為 VDD，以選擇所讀出的行。無論是選擇還是非選擇，寫入字線 OSG 都是 GND。

接著，比選擇所讀出的行的時序遲來將源極線 SL 設定為 VDD 或 VR。如上所述，在本實施方式所示的半導體裝置中，在保持期間及準備期間中，連接到儲存單元的所有寫入及讀出字線 C 處於選擇狀態的 GND，因此，如果比選擇所讀出的行的時序早來使源極線 SL 上升到 VDD 或 VR，則電流有可能會藉由電晶體 160 流過位元線 BL 與源極線 SL 之間。例如，在節點 FG 保持資料“0”時，在保持期間中，因為寫入及讀出字線 C 為 GND，所以節點 FG 為 GND。這裏，如果比選擇所讀出的行的時序早來將源極線 SL 設定為 VDD，則 V_{gs_p} 成為 $-VDD$ ，從而 p 通道型電晶體的電晶體 160 成為導通狀態。另外，因為位元線 BL 為 GND，所以 V_{ds_p} 成為 VDD，而在電晶體 160 的汲極與源極之間（位元線 BL 與源極線 SL 之間）產生電流。鑒於上述問題，藉由比選擇所讀出的行的時序遲來使源極線 SL 上升到 VDD 或 VR，可以抑制產生在位元線 BL 與源極線 SL 之間的電流。

最後，比將源極線 SL 設定為 GND 的時序遲來將寫入及讀出字線 C 設定為 GND。這是因為如下緣故：如果比將源極線 SL 設定為 GND 的時序早來將寫入及讀出字線 C 設定為 GND，則如上所述電流有可能會流過電晶體 160 的汲極與源極之間。

如上所述，在圖 2A 和 2B 所示的電路結構的半導體裝置中，藉由使多列（或多行）共同使用源極線 SL，可以縮小儲存單元陣列的面積，而實現模頭尺寸的縮小。另外，藉由縮小模頭尺寸，可以降低半導體裝置製造的成本，或

者，可以提高良率。

另外，藉由使用本實施方式所示的半導體裝置的驅動方法，可以在準備期間及保持期間中減小電晶體 162 的汲極與源極之間的電壓。因此，可以進一步減少電晶體 162 的洩漏電流（截止電流），而可以提高保持特性。另外，藉由在準備期間及保持期間中減小電晶體 162 的汲極與源極之間的電壓，可以減輕電晶體 162 的電壓應力，而可以提高半導體裝置的可靠性。

<應用例子 1>

接著，參照圖 4 及圖 5A 至 5D 說明應用圖 1A 和 1B 所示的電路的更具體電路結構及工作。另外，在以下說明中，以使用 n 通道型電晶體作為寫入用電晶體（電晶體 162）並使用 p 通道型電晶體作為讀出用電晶體（電晶體 160）的情況為例子進行說明。在圖 4 的電路圖中，畫上斜線的佈線是包含多個信號線的佈線。

圖 4 示出具有 $m \times n$ 個儲存單元 170 的半導體裝置的電路圖的一個例子。在圖 4 中，儲存單元 170 的結構與圖 1A 相同。

圖 4 所示的半導體裝置包括： m 個（ m 為 2 以上的整數）寫入字線 OSG； m 個寫入及讀出字線 C； n 個（ n 為 2 以上的整數）位元線 BL；源極線 SL；將儲存單元 170 配置為縱 m 個（行） $\times$ 橫 n 個（列）的矩陣狀的儲存單元陣列；升壓電路 180；包含位址解碼器的第一驅動電路 182；包含行驅

動器的第二驅動電路192；包含頁緩衝器的第三驅動電路190；包含控制器的第四驅動電路184；包含輸入輸出控制電路的第五驅動電路186；以及源極線轉換電路194。另外，驅動電路的個數不侷限於圖4，既可組合具有各功能的驅動電路，又可分割各驅動電路所包含的功能。

在圖4所示的半導體裝置中，第一驅動電路182包含位址解碼器。位址解碼器對位址選擇信號線A進行解碼，並將所解碼的位址選擇信號輸出到行選擇信號線RADR和頁緩衝器位址選擇信號線PBADR。位址選擇信號線A是被輸入儲存單元170的行方向的位址選擇信號和頁緩衝器的位址選擇信號的端子，其個數根據儲存單元170的行數、列數或頁緩衝器的結構而成為一個至多個。行選擇信號線RADR是指定儲存單元的行方向的位址的信號線。頁緩衝器位址選擇信號線PBADR是指定頁緩衝器的位址的信號線。

第二驅動電路192包含行驅動器。行驅動器根據來自行選擇信號線RADR的信號而輸出儲存單元170的行方向的選擇信號、向寫入字線OSG的信號以及向寫入及讀出字線C的信號，該來自行選擇信號線RADR的信號是從包含在第一驅動電路182中的位址解碼器輸出的。

升壓電路180藉由佈線VH-L與第二驅動電路192連接，而將輸入到升壓電路180的固定電位（如電源電位VDD）升壓來將該高於固定電位的電位（VH）輸出到第二驅動電路192。為了不使寫入到儲存單元170的節點FG的電

位下降作為寫入用電晶體的電晶體 162 的閾值電壓（以下稱為 V_{th_OS} ），需要將寫入字線 OSG 的電位設定為高於位元線 BL 的電位 $+V_{th_OS}$ 。因此，例如，在將電源電位 VDD 寫入到節點 FG 時，將 VH 設定為 $VDD + V_{th_OS}$ 以上。但是，在即使寫入到節點 FG 的電位下降 V_{th_OS} 也沒有問題的情況下，也可以不設置升壓電路 180。

第三驅動電路 190 包含頁緩衝器。頁緩衝器具有資料鎖存器和讀出放大器的功能。資料鎖存器具有如下功能：暫時保存從內部資料輸入輸出信號線 INTDIO 或位元線 BL 輸出的資料，並將該保存的資料輸出到內部資料輸入輸出信號線 INTDIO 或位元線 BL。讀出放大器具有如下功能：在讀出時，測量從儲存單元輸出資料的位元線 BL。

第四驅動電路 184 包含控制器，並利用來自晶片使能信號線 CEB、寫使能信號線 WEB 或讀使能信號線 REB 的信號產生控制第一驅動電路 182、第二驅動電路 192、第三驅動電路 190、第五驅動電路 186、源極線轉換電路 194 以及升壓電路 180 的信號。

晶片使能信號線 CEB 是輸出整個電路的選擇信號的信號線，只在處於活動狀態時進行輸入信號的接收及輸出信號的輸出。另外，寫使能信號線 WEB 是輸出一種信號的信號線，該信號允許將第三驅動電路 190 內的頁緩衝器的鎖存資料寫入到儲存單元陣列。另外，讀使能信號線 REB 是輸出一種信號的信號線，該信號允許儲存單元陣列的資料的讀出。另外，第四驅動電路 184 藉由升壓電路控制信號

線 BCC 與升壓電路 180 連接。升壓電路控制信號線 BCC 是傳送從第四驅動電路 184 內的控制器輸出的升壓電路的控制信號的佈線，其個數根據電路結構而成為 0 個至多個。另外，第四驅動電路 184 藉由頁緩衝器控制信號線 PBC 與第三驅動電路 190 連接。頁緩衝器控制信號線 PBC 是傳送從第四驅動電路 184 內的控制器輸出的頁緩衝器的控制信號的佈線，其個數根據電路結構而成為 0 個至多個。另外，第四驅動電路 184 藉由行驅動器控制信號線 RDRVC 與第二驅動電路 192 連接。另外，第四驅動電路 184 藉由源極線轉換信號線 SLC 與源極線轉換電路 194 連接。

另外，較佳的是，在第四驅動電路 184 內設置延遲電路，並將該延遲電路連接到頁緩衝器控制信號線 PBC、行驅動器控制信號線 RDRVC 以及源極線轉換信號線 SLC。例如，藉由將延遲電路連接到頁緩衝器控制信號線 PBC 來將延遲信號供應到頁緩衝器控制信號線 PBC，可以使位元線 BL 的電位變化延遲。另外，藉由將延遲電路連接到行驅動器控制信號線 RDRVC 來將延遲信號供應到行驅動器控制信號線 RDRVC，可以使寫入及讀出字線 C 的電位變化延遲。另外，藉由將延遲電路連接到源極線轉換信號線 SLC 來將延遲信號供應到源極線轉換信號線 SLC，可以使源極線 SL 的電位變化延遲。由此，可以抑制對儲存單元 170 的誤寫入。

源極線轉換電路 194 是根據來自第四驅動電路 184 內的控制器的源極線轉換信號而轉換源極線 SL 的電位的電路。

源極線轉換電路 194 只要具有轉換源極線 SL 的電位的功能即可，也可以使用多工器、反相等。源極線轉換信號線 SLC 是傳送從第四驅動電路 184 內的控制器輸出的轉換源極線 SL 的電位的信號的佈線，其個數根據電路結構而成為一個至多個。

第五驅動電路 186 包含輸入輸出控制電路。輸入輸出控制電路是如下電路：將來自資料輸入及輸出信號線 DIO 的輸入信號輸出到內部資料輸入輸出信號線 INTDIO，或者將來自內部資料輸入輸出信號線 INTDIO 的信號輸出到資料輸入及輸出信號線 DIO。資料輸入及輸出信號線 DIO 端子是被輸入來自外部的資料或者將儲存資料輸出到外部的端子，其個數根據電路結構而成為一個至多個。內部資料輸入及輸出信號線 INTDIO 是如下信號線：將輸入輸出控制電路的輸出信號輸入到頁緩衝器，或者，將頁緩衝器的輸出信號輸入到輸入輸出控制電路，其個數根據電路結構而成為一個至多個。另外，資料輸入及輸出信號線 DIO 也可以分成資料輸入用信號線和資料輸出用信號線。

另外，作為設置在第四驅動電路 184 內的延遲電路，可以使用圖 5A 所示的串聯有偶數個反相器的電路。或者，也可以採用圖 5B 所示的對串聯的偶數個反相器附加電容元件的結構或圖 5C 所示的對串聯的偶數個反相器附加電阻器的結構。或者，也可以採用圖 5D 所示的對串聯的偶數個反相電路附加電阻器及電容元件的結構。另外，延遲電路的結構不侷限於此。

如上所述，在圖 4 所示的電路結構的半導體裝置中，藉由在多列中共同使用源極線 SL，可以縮小儲存單元陣列的面積，而實現模頭尺寸的縮小。另外，藉由縮小模頭尺寸，可以降低半導體裝置製造的成本，或者，可以提高良率。

另外，有關所公開的發明的半導體裝置的工作方法、工作電壓等不侷限於上述結構，可以在能夠實現半導體裝置的工作的條件下適當地進行改變。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中，參照圖 6A 至圖 11C 說明根據所公開的發明的一個方式的半導體裝置的結構及其製造方法。

<半導體裝置的剖面結構及平面結構>

圖 6A 和 6B 是半導體裝置的結構的一例。圖 6A 示出半導體裝置的剖面，圖 6B 示出半導體裝置的平面。圖 6A 相當於沿著圖 6B 的 A1-A2 及 B1-B2 的剖面。圖 6A 和圖 6B 所示的半導體裝置在下部具有使用第一半導體材料的電晶體 160 並在上部具有使用第二半導體材料的電晶體 162。第一半導體材料和第二半導體材料較佳是不同的材料。例如，可以使用氧化物半導體以外的半導體材料作為第一半導體材料，並且使用氧化物半導體作為第二半導體材料。作為

氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽或砷化鎵等，較佳使用單晶半導體。除此之外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長時間地保持電荷。圖 6A 和圖 6B 所示的半導體裝置可以用作儲存單元。

另外，所公開的發明的技術本質在於：爲了保持資訊而將如氧化物半導體的能夠充分地降低截止電流的半導體材料用於電晶體 162，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 6A 和圖 6B 中的電晶體 160 包括：設置在半導體基板 500 上的半導體層中的通道形成區 134；夾著通道形成區 134 地設置的雜質區 132（也稱爲源極區及汲極區）；設置在通道形成區 134 上的閘極絕緣層 122a；以及在閘極絕緣層 122a 上且與通道形成區 134 重疊地設置的閘極電極 128a。注意，雖然有時在圖式中不明顯地具有源極電極或汲極電極，但是爲了方便起見有時將這種結構也稱爲電晶體。另外，此時，爲了對電晶體的連接關係進行說明，有時將源極區或汲極區也稱爲源極電極或汲極電極。也就是說，在本說明書中，源極電極的記載會包括源極區。

另外，設置在半導體基板 500 上的半導體層中的雜質區 126 與導電層 128b 連接。在此，導電層 128b 也用作電晶體 160 的源極電極或汲極電極。另外，在雜質區 132 和雜質

區 126 之間設置有雜質區 130。另外，覆蓋電晶體 160 設置有絕緣層 136、絕緣層 138 及絕緣層 140。另外，爲了實現高集成化，如圖 6A 和 6B 所示，較佳採用電晶體 160 不具有側壁絕緣層的結構。另一方面，在重視電晶體 160 的特性的情況下，也可以在閘極電極 128a 的側面設置側壁絕緣層，並設置包括不同雜質濃度的區域的雜質區 132。

圖 6A 和圖 6B 中的電晶體 162 包括：設置在絕緣層 140 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；覆蓋氧化物半導體層 144、源極電極 142a 以及汲極電極 142b 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148a。

在此，氧化物半導體層 144 較佳藉由被充分地去除氫等的雜質，並被供給充分的氧，而被高純度化。明確地說，例如，氧化物半導體層 144 的氫濃度爲 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳爲 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）來測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，載子濃度爲低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳爲低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳爲低於 $1.45 \times 10^{10} / \text{cm}^3$ 。另外，例如，室溫（ 25°C ）下的截止電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ）的值）爲 100 zA （

1 zA (仄 普 托 安 培) 等 於 $1 \times 10^{-21} \text{A}$) 以 下 , 較 佳 為 10 zA 以 下 。 如 此 , 藉 由 使 用 被 i 型 化 (本 質 化) 或 實 質 上 被 i 型 化 的 氧 化 物 半 導 體 , 可 以 得 到 截 止 電 流 特 性 極 為 優 良 的 電 晶 體 162 。

另 外 , 氧 化 物 半 導 體 層 144 較 佳 為 充 分 去 除 了 鹼 金 屬 及 鹼 土 金 屬 等 雜 質 的 氧 化 物 半 導 體 層 。 例 如 , 氧 化 物 半 導 體 層 144 的 鈉 濃 度 為 $5 \times 10^{16} \text{cm}^{-3}$ 以 下 , 較 佳 為 $1 \times 10^{16} \text{cm}^{-3}$ 以 下 , 更 佳 為 $1 \times 10^{15} \text{cm}^{-3}$ 以 下 , 鋰 濃 度 為 $5 \times 10^{15} \text{cm}^{-3}$ 以 下 , 較 佳 為 $1 \times 10^{15} \text{cm}^{-3}$ 以 下 , 並 且 鉀 濃 度 為 $5 \times 10^{15} \text{cm}^{-3}$ 以 下 , 較 佳 為 $1 \times 10^{15} \text{cm}^{-3}$ 以 下 。 另 外 , 藉 由 二 次 離 子 質 譜 測 定 技 術 (SIMS) 來 測 量 上 述 氧 化 物 半 導 體 層 144 中 的 鈉 濃 度 、 鋰 濃 度 以 及 鉀 濃 度 。

因 為 對 於 氧 化 物 半 導 體 來 說 鹼 金 屬 及 鹼 土 金 屬 是 惡 性 的 雜 質 , 所 以 較 佳 氧 化 物 半 導 體 所 含 有 的 鹼 金 屬 及 鹼 土 金 屬 量 少 。 尤 其 是 , 鹼 金 屬 中 的 Na 當 與 氧 化 物 半 導 體 層 接 觸 的 絕 緣 層 是 氧 化 物 時 擴 散 到 該 絕 緣 層 中 而 成 為 Na^+ 。 另 外 , 在 氧 化 物 半 導 體 層 內 , Na 斷 裂 金 屬 與 氧 的 鍵 或 者 擠 進 鍵 之 中 。 其 結 果 是 , 導 致 電 晶 體 特 性 的 退 化 (例 如 , 常 開 啓 化 (閾 值 向 負 一 側 偏 移) 、 遷 移 率 的 降 低 等) 。 並 且 , 還 成 為 特 性 偏 差 的 原 因 。 特 別 在 氧 化 物 半 導 體 層 中 的 氫 濃 度 充 分 低 時 , 這 些 問 題 變 得 明 顯 。 由 此 , 當 氧 化 物 半 導 體 層 中 的 氫 濃 度 是 $5 \times 10^{19} \text{cm}^{-3}$ 以 下 , 特 別 是 $5 \times 10^{18} \text{cm}^{-3}$ 以 下 時 , 強 烈 要 求 將 鹼 金 屬 的 濃 度 設 定 為 上 述 值 。

另 外 , 雖 然 在 圖 6A 和 圖 6B 的 電 晶 體 162 中 , 為 了 抑 制

起因於微型化而產生在元件之間的洩漏，使用被加工為島狀的氧化物半導體層144，但是也可以採用不被加工為島狀的結構。在不將氧化物半導體層加工為島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層144的污染。

圖6A和圖6B所示的電容元件164包括：汲極電極142b；閘極絕緣層146；以及導電層148b。換言之，汲極電極142b用作電容元件164的一方的電極，導電層148b用作電容元件164的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層144和閘極絕緣層146時，可以充分確保汲極電極142b和導電層148b之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件164的結構。

在本實施方式中，以與電晶體160至少部分重疊的方式設置有電晶體162及電容元件164。藉由採用這種平面佈局，可以實現高集成化。例如，可以以最小加工尺寸為F，將儲存單元所占的面積設定為 $15F^2$ 至 $25F^2$ 。

在電晶體162和電容元件164上設置有絕緣層150。並且，在形成於閘極絕緣層146及絕緣層150中的開口中設置有佈線154。佈線154是連接儲存單元之一與其他儲存單元的佈線，該佈線相當於圖2A和2B的電路圖中的位元線BL。佈線154藉由源極電極142a及導電層128b連接到雜質區126。由此，與將電晶體160中的源極區或汲極區和電晶體162中的源極電極142a分別連接到不同佈線的情況相比可

以減少佈線數目，從而可以提高半導體裝置的集成度。

另外，藉由設置導電層 128b，可以重疊設置如下兩種位置：一是雜質區 126 與源極電極 142a 連接的位置；二是源極電極 142a 與佈線 154 連接的位置。藉由採用這種平面佈局，可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集成度。

<SOI基板的製造方法>

接著，參照圖 7A 至 7G 對用於製造上述半導體裝置的 SOI 基板的製造方法的一個例子進行說明。

首先，準備作為支撐基板的半導體基板 500（參照圖 7A）。作為半導體基板 500，可以使用如單晶矽基板、單晶鍺基板等半導體基板。另外，作為半導體基板，可以使用太陽能電池級矽（SOG-Si：Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

除了半導體基板 500 以外，還可以舉出如下：鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的用於電子工業的各種玻璃基板；石英基板；陶瓷基板；藍寶石基板。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

較佳預先對半導體基板 500 的表面進行清洗。明確而言，較佳使用鹽酸和過氧化氫水的混合液（HPM）、硫酸

和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）等對半導體基板500進行清洗。

接著，準備接合基板。這裏，作為接合基板使用單晶半導體基板510（參照圖7B）。另外，雖然在這裏使用單晶體的基板作為接合基板，但是接合基板的結晶性不侷限於單晶。

作為單晶半導體基板510，例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第14族元素構成的單晶半導體基板。此外，也可以使用諸如砷化鎵、磷化銦等的化合物半導體基板。作為市場上出售的矽基板，典型的是直徑為5英寸（125mm）、直徑為6英寸（150mm）、直徑為8英寸（200mm）、直徑為12英寸（300mm）、直徑為16英寸（400mm）的圓形的矽基板。另外，單晶半導體基板510的形狀不侷限於圓形，例如，還可以使用被加工為矩形的基板。另外，單晶半導體基板510可以利用CZ（提拉）法及FZ（浮區）法製造。

在單晶半導體基板510的表面形成氧化膜512（參照圖7C）。另外，從去除污染物的觀點來看，較佳在形成氧化膜512之前預先使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫以及純水的混合液）等對單晶半導體基板510的表面進行清洗。也可以藉由交替噴出稀氫氟酸和臭氧水

來進行清洗。

例如，氧化膜 512 可以由氧化矽膜、氮化矽膜等的單層或疊層形成。作為上述氧化膜 512 的製造方法，有熱氧化法、CVD 法或濺射法等。此外，當使用 CVD 法形成氧化膜 512 時，較佳使用四乙氧基矽烷（簡稱 TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等的有機矽烷形成氧化矽膜，以實現良好的貼合。

在本實施方式中，藉由對單晶半導體基板 510 進行熱氧化處理來形成氧化膜 512（這裏為 SiO_x 膜）。較佳在氧化氣圈中添加鹵素進行熱氧化處理。

例如，可以藉由在添加有氯（Cl）的氧化氣圈中對單晶半導體基板 510 進行熱氧化處理，形成被氯氧化的氧化膜 512。在這種情況下，氧化膜 512 成為含有氯原子的膜。藉由利用該氯氧化俘獲外來雜質的重金屬（例如，Fe、Cr、Ni、Mo 等）形成金屬氯化物，而將該金屬氯化物去除到外部，可以降低單晶半導體基板 510 的污染。

另外，氧化膜 512 所包含的鹵素原子不侷限於氯原子。也可以使氧化膜 512 包含氟原子。作為使單晶半導體基板 510 表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板 510 浸漬在 HF 溶液中之後在氧化氣圈中進行熱氧化處理；或者將 NF_3 添加到氧化氣圈中進行熱氧化處理；等等。

接著，藉由對單晶半導體基板 510 照射由電場加速的離子並進行添加，在單晶半導體基板 510 的預定的深度中

形成結晶結構受到損傷的脆化區 514（參照圖 7D）。

可以藉由離子的動能、離子的質量和電荷、離子的入射角等來調節形成脆化區 514 的區域的深度。此外，脆化區 514 被形成在與離子的平均侵入深度基本相同的深度的區域中。由此，可以藉由離子的添加深度來調節從單晶半導體基板 510 分離的單晶半導體層的厚度。例如，以單晶半導體層的厚度成為 10nm 以上 500nm 以下，較佳為 50nm 以上 200nm 以下左右的方式調節平均侵入深度，即可。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作為離子摻雜裝置的典型例子，有將使製程氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型裝置。在該裝置中，不對電漿中的離子種進行質量分離而將它照射到被處理體。另一方面，離子植入裝置是質量分離型裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體。

在本實施方式中，對使用離子摻雜裝置將氫添加到單晶半導體基板 510 的例子進行說明。作為源氣體，使用包含氫的氣體。至於照射的離子，較佳提高 H_3^+ 的比率。明確而言，相對於 H^+ 、 H_2^+ 、 H_3^+ 的總量， H_3^+ 的比率為 50% 以上（更佳為 80% 以上）。藉由提高 H_3^+ 的比率，可以提高離子照射的效率。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離

子。例如，當使用離子摻雜裝置同時照射氫和氮時，與在不同的製程中進行照射的情況相比可以減少製程數，並且可以抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 514 時，雖然有與此同時添加重金屬的憂慮，但是藉由隔著含有鹵素原子的氧化膜 512 進行離子照射，可以防止這些重金屬對單晶半導體基板 510 的污染。

接著，使半導體基板 500 和單晶半導體基板 510 對置，並使它們藉由氧化膜 512 貼合。由此，貼合半導體基板 500 和單晶半導體基板 510（參照圖 7E）。另外，也可以在與單晶半導體基板 510 貼合的半導體基板 500 的表面形成氧化膜或氮化膜。

在進行貼合時，較佳對半導體基板 500 或單晶半導體基板 510 的一處施加 $0.001\text{N}/\text{cm}^2$ 以上 $100\text{N}/\text{cm}^2$ 以下，例如 $1\text{N}/\text{cm}^2$ 以上 $20\text{N}/\text{cm}^2$ 以下的壓力。藉由施加壓力使接合平面接近而貼合，在被貼合的部分中半導體基板 500 與氧化膜 512 接合，並以該部分為起點開始自發性的接合而擴展至幾乎整個面。該接合利用范德華力和氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 510 與半導體基板 500 之前，較佳對進行貼合的表面進行表面處理。藉由進行表面處理，可以提高單晶半導體基板 510 和半導體基板 500 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與

乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 514 發生分離的溫度（例如，室溫以上且低於 400°C ）。另外，也可以邊在該溫度範圍內加熱邊接合半導體基板 500 和氧化膜 512。作為上述熱處理，可以使用擴散爐、電阻加熱爐等加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的發明的一個方式不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板 510 在脆化區中進行分離，而在半導體基板 500 上隔著氧化膜 512 形成單晶半導體層 516（參照圖 7F）。

另外，較佳使進行上述分離時的熱處理的溫度盡可能地低。這是因為進行分離時的溫度越低單晶半導體層 516 的表面粗糙度越低的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為 300°C 以上 600°C 以下，當將該溫度設定為 400°C 以上 500°C 以下時更有效。

另外，也可以在使單晶半導體基板 510 分離之後，以 500°C 以上的溫度對單晶半導體層 516 進行熱處理以降低殘留在單晶半導體層 516 中的氫的濃度。

接著，藉由對單晶半導體層 516 的表面照射雷射，形成表面平坦性提高了且缺陷減少了的單晶半導體層 518（參照圖 7G）。另外，還可以進行熱處理來替代雷射照射

處理。

另外，在本實施方式中，雖然在進行了用來分離單晶半導體層516的熱處理之後立即進行了雷射照射處理，但是所公開的發明的一個方式不應被解釋為限定於此。既可以在用來分離單晶半導體層516的熱處理之後先進行蝕刻處理來去除單晶半導體層516表面缺陷多的區域，再進行雷射照射處理，又可以在提高單晶半導體層516表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施方式中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層516的厚度的薄膜化製程。至於單晶半導體層516的薄膜化，既可使用乾蝕刻和濕蝕刻中的任一種，又可使用其兩者。

藉由上述製程，可以形成具有特性良好的單晶半導體層518的SOI基板（參照圖7G）。

<半導體裝置的製造方法>

接著，參照圖8A至圖11C而說明使用上述SOI基板的半導體裝置的製造方法。

<下部電晶體的製造方法>

首先，參照圖8A至圖9D說明下部電晶體160的製造方法。圖8A至圖9D是示出根據圖7A至7G所示的方法形成的SOI基板的一部分，且相當於圖6A所示的下部電晶體的剖面製程圖。

首先，將單晶半導體層 518 加工為島狀以形成半導體層 120（參照圖 8A）。另外，在該製程的前後，為了控制電晶體的閾值電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到半導體層。在半導體材料為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接著，覆蓋半導體層 120 形成絕緣層 122（參照圖 8B）。絕緣層 122 是後面成為閘極絕緣層的層。絕緣層 122 例如可以藉由對半導體層 120 表面進行熱處理（熱氧化處理或熱氮化處理等）而形成。也可以使用高密度電漿處理代替熱處理。高密度電漿處理例如可以使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氫等的混合氣體來進行。當然，也可以使用 CVD 法或濺射法等形成絕緣層。該絕緣層 122 較佳採用包含氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鉭、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈺（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的單層結構或疊層結構。另外，至於絕緣層 122 的厚度，例如可以設定為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。在本實施方式中，使用電漿 CVD 法形成包含氧化矽的絕緣層的單層。

接著，在絕緣層 122 上形成掩模 124，將賦予一導電性的雜質元素添加到半導體層 120，來形成雜質區 126（參照

圖 8C)。這裏，在添加雜質元素之後，去除掩模 124。

接著，藉由在絕緣層 122 上形成掩模，去除絕緣層 122 的與雜質區 126 重疊的區域的一部分，來形成閘極絕緣層 122a（參照圖 8D）。作為絕緣層 122 的去除方法，可以使用濕蝕刻或乾蝕刻等的蝕刻處理。

接著，在閘極絕緣層 122a 上形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 128a 及導電層 128b（參照圖 8E）。

作為用於閘極電極 128a 及導電層 128b 的導電層，可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。另外，也可以藉由使用如多晶矽等的半導體材料形成導電層。其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，可以藉由使用抗蝕劑掩模的蝕刻進行導電層的加工。

接著，以閘極電極 128a 及導電層 128b 為掩模，將賦予一種導電型的雜質元素添加到半導體層，來形成通道形成區 134、雜質區 132 及雜質區 130（參照圖 9A）。這裏，添加硼（B）或鋁（Al）等雜質元素，以形成 p 型電晶體。這裏，可以適當地設定所添加的雜質元素的濃度。另外，在添加雜質元素之後，進行用於活化的熱處理。在此，雜質區的濃度按雜質區 126、雜質區 132、雜質區 130 的順序依次高。

接著，以覆蓋閘極絕緣層 122a、閘極電極 128a、導電

層 128b 的方式形成絕緣層 136、絕緣層 138 及絕緣層 140（參照圖 9B）。

絕緣層 136、絕緣層 138、絕緣層 140 可以使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是較佳將低介電常數（low-k）材料用於絕緣層 136、絕緣層 138、絕緣層 140，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 136、絕緣層 138、絕緣層 140。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 136、絕緣層 138、絕緣層 140。在本實施方式中，對作為絕緣層 136 使用氧氮化矽，作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽的情況進行說明。另外，雖然在此採用絕緣層 136、絕緣層 138 及絕緣層 140 的疊層結構，但是所公開的發明的一個方式不侷限於此。作為上述絕緣層既可以採用單層或兩層結構，又可以採用四層以上的疊層結構。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣層 138 及絕緣層 140 平坦化（參照圖 9C）。在此，進行 CMP 處理直到露出絕緣層 138 的一部分為止。當作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽時，將絕緣層 138 用作蝕刻停止層。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP 處理或

蝕刻處理，使閘極電極 128a 及導電層 128b 的上面露出（參照圖 9D）。在此，進行蝕刻處理直到露出閘極電極 128a 及導電層 128b 的一部分為止。作為該蝕刻處理較佳使用乾蝕刻，但是也可以使用濕蝕刻。在使閘極電極 128a 及導電層 128b 的一部分露出的製程中，為了提高後面形成的電晶體 162 的特性，較佳使絕緣層 136、絕緣層 138、絕緣層 140 的表面盡可能地為平坦。

藉由上述製程，可以形成下部的電晶體 160（參照圖 9D）。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高集成化的半導體裝置。

<上部電晶體的製造方法>

接著，參照圖 10A 至 11C 說明上部電晶體 162 的製造方法。

首先，在閘極電極 128a、導電層 128b、絕緣層 136、絕緣層 138、絕緣層 140 等上形成氧化物半導體層，並加工該氧化物半導體層來形成氧化物半導體層 144（參照圖 10A）。另外，在形成氧化物半導體層之前，可以在絕緣層 136、絕緣層 138、絕緣層 140 上設置用作基底的絕緣層。該絕緣層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法等來形成。

另外，作為用於氧化物半導體層的材料，可以使用：四元金屬氧化物如 In-Sn-Ga-Zn-O 材料；三元金屬氧化物如 In-Ga-Zn-O 材料、In-Sn-Zn-O 材料、In-Al-Zn-O 材料、Sn-Ga-Zn-O 材料、Al-Ga-Zn-O 材料、Sn-Al-Zn-O 材料；二元金屬氧化物如 In-Zn-O 材料、Sn-Zn-O 材料、Al-Zn-O 材料、Zn-Mg-O 材料、Sn-Mg-O 材料、In-Mg-O 材料、In-Ga-O 材料；以及 In-O 材料、Sn-O 材料、Zn-O 材料等。此外，也可以使上述材料包含 SiO_2 。這裏，例如，In-Ga-Zn-O 材料是指含有銦（In）、鎵（Ga）以及鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，可以將使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料的薄膜用作氧化物半導體層。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，可以使用 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

此外，較佳將氧化物半導體層的厚度設定為 3nm 以上 30nm 以下。這是因為若使氧化物半導體層的厚度過厚（例如，厚度為 50nm 以上），則有電晶體成為常導通狀態的擔憂。

氧化物半導體層較佳使用氫、水、羥基或氫化物等的雜質不容易混入的方式製造。例如，可以藉由濺射法等製造氧化物半導體層。

在本實施方式中，藉由使用 In-Ga-Zn-O 類氧化物靶材的濺射法形成氧化物半導體層。

作為 In-Ga-Zn-O 類氧化物靶材，例如可以使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳數比] 的組成比的氧化物靶材。另外，靶材的材料及組成不侷限於上述記載。例如還可以使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比] 的組成比的氧化物靶材。

另外，當作為氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比以原子數比設定為 $\text{In} : \text{Zn} = 50 : 1$ 至 $1 : 2$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 至 $1 : 4$ ），較佳為 $\text{In} : \text{Zn} = 20 : 1$ 至 $1 : 1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 至 $1 : 2$ ），更佳為 $\text{In} : \text{Zn} = 15 : 1$ 至 $1.5 : 1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 至 $3 : 4$ ）。例如，作為用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 時，滿足 $Z > 1.5X + Y$ 的關係。

氧化物靶材的填充率為 90% 以上 100% 以下，較佳為 95% 以上 99.9% 以下。這是因為如下緣故：藉由使用高填充率的金屬氧化物靶材，所形成的氧化物半導體層可以成為緻密的膜。

作為成膜時的氣圍，採用稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等，即可。另外，為了防止氫、水、羥基、氫化物等混入到氧化物半導體層中，較佳採用使用充分地去除氫、水、羥基、氫化物等的雜質的高純度氣體的氣圍。

例如，可以採用如下方法形成氧化物半導體層。

首先，在被保持為減壓狀態的沉積室內保持基板，並對基板進行加熱以使基板溫度超過 200°C 且 500°C 以下，較佳超過 300°C 且 500°C 以下，更佳為 350°C 以上 450°C 以下。

接著，一邊去除沉積室中的殘留水分，一邊引入充分地去除了氫、水、羥基、氫化物等的雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體層。為了去除沉積室中的殘留水分，作為排氣單元，較佳使用低溫泵、離子泵、鈦昇華泵等的吸附型真空泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。由於在利用低溫泵進行了排氣的沉積室中，例如氫、水、羥基或氫化物等的雜質（更佳還包括包含碳原子的化合物）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。

當成膜時的基板溫度低（例如， 100°C 以下）時，含有氫原子的物質混入到氧化物半導體中的憂慮，所以較佳在上述溫度下加熱基板。藉由在上述溫度下加熱基板形成氧化物半導體層，基板溫度變高，從而氫鍵被熱切斷，含有氫原子的物質不容易被引入到氧化物半導體層中。因此，藉由在上述溫度下加熱基板的狀態下形成氧化物半導體層，可以充分地降低氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。另外，可以減輕由濺射導致的損傷。

作為成膜條件的一個例子，採用如下條件：基板與靶

材之間的距離是 60 mm；壓力是 0.4 Pa；直流（DC）電源是 0.5 kW；基板溫度是 400°C；成膜氣圍是氧（氧流量比率 100%）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時發生的粉狀物質（也稱為微粒或塵屑），並且膜厚度分佈也變得均勻，所以較佳採用脈衝直流電源。

另外，較佳的是，在藉由濺射法形成氧化物半導體層之前，進行引入氬氣體產生電漿的反濺射，來去除附著於氧化物半導體層的被形成表面上的粉狀物質（也稱為微粒或塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，來對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氬。

作為氧化物半導體層的加工，可以在氧化物半導體層上形成所希望的形狀的掩模之後對該氧化物半導體層進行蝕刻。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。此外，氧化物半導體層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，可以對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧化物半導體層 144 中的含有氬原子的物質，調整氧化物半導體層 144 的結構，並降低能隙中的缺陷能階。在惰性氣體氣圍下，熱處理的溫度為 250°C 以上 700°C 以下，較佳為 450°C 以上 600°C 以下或者低於基板的應變點。作為惰性氣體氣圍，較佳應用以氮或稀有氣體（氮、氬或氬等）為主

要成分且不包含水或氫等的氣圍。例如，引入到熱處理裝置中的氮或氮、氖、氬等的稀有氣體的純度為6N（99.9999%）以上，較佳為7N（99.99999%）以上（即，雜質濃度為1ppm以下，較佳為0.1ppm以下）。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以450°C加熱1個小時。在此期間，不使氧化物半導體層144接觸大氣以防止水或氫的混入。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。例如，該熱處理也可以在將氧化物半導體層加工為島狀之前或在形成閘極絕緣膜之後等進行。另外，上述脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，在氧化物半導體層144等上形成用來形成源極電極及汲極電極（包括使用與該源極電極及汲極電極相同的層形成的佈線）的導電層，加工該導電層來形成源極電極142a、汲極電極142b（參照圖10B）。

作為導電層，可以利用PVD法或CVD法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、銦、銻、釷、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；

在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極 142a 及汲極電極 142b 加工爲具有傾斜度的形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作爲導電性的金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫爲 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或含有矽或氧化矽的上述任何一種金屬氧化物材料。

較佳以形成的源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式對導電層進行蝕刻。這裏，傾斜角例如較佳爲 30° 以上 60° 以下。藉由以源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷開。

上部電晶體的通道長度（ L ）由源極電極 142a 的下端部與汲極電極 142b 的下端部之間的間隔決定。另外，在形成通道長度（ L ）短於 25nm 的電晶體的情況下，當進行用來形成掩模的曝光時，較佳使用短波長即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）。利用超紫外線的曝光的解析度高且景深大。由此，後面形成的電晶體的通道長度（ L ）可以爲 10nm 以上 1000nm（ $1\mu\text{m}$ ）以下，而可以提高電路的工作速度。再者，藉由微型化可以降低半導體

裝置的耗電量。

接著，以覆蓋源極電極 142a、汲極電極 142b 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 10C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，閘極絕緣層 146 較佳以含有氧化矽、氮化矽、氧氮化矽、氧化鎳、氧化鋁、氧化鉭、氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈣（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的方式形成。閘極絕緣層 146 既可以採用單層結構，又可以採用組合上述材料的疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，較佳減薄其厚度，以確保電晶體的工作。例如，當使用氧化矽時，其厚度可以為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。

當如上述那樣將閘極絕緣層形成為較薄時，存在由於隧道效應等而發生閘極洩漏的問題。為了解決閘極洩漏的問題，可以使用如氧化鈣、氧化鉭、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈣（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的高介電常數（high-k）材料作為閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以增大膜厚度，以抑制閘極洩漏電流。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮

化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

另外，與氧化物半導體層144接觸的絕緣層（在本實施方式中，相當於閘極絕緣層146）也可以使用包含第13族元素及氧的絕緣材料。較多氧化物半導體材料包含第13族元素，包含第13族元素的絕緣材料與氧化物半導體搭配良好，並且藉由將它用於與氧化物半導體層接觸的絕緣層，可以保持與氧化物半導體層之間的介面的良好狀態。

包含第13族元素的絕緣材料是指包含一種或多種第13族元素的絕緣材料。作為包含第13族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量（at.%）多於含鎵量（at.%）的物質，氧化鎵鋁是指含鎵量（at.%）等於或多於含鋁量（at.%）的物質。

例如，當以與包含鎵的氧化物半導體層接觸的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以保持氧化物半導體層和閘極絕緣層之間的良好界面特性。另外，藉由使氧化物半導體層與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體層與絕緣層的界面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣層是有效的。另外，由於氧化鋁具有不容易滲透水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，作為與氧化物半導體層144接觸的絕緣層，較佳藉由進行氧氣圍下的熱處理或氧摻雜等使絕緣材料處於其氧含量超過化學計量組成比的狀態。氧摻雜是指對塊體添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以藉由離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體層144接觸的絕緣層使用氧化鎵時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定為 Ga_2O_x （ $X=3+\alpha$ ， $0<\alpha<1$ ）。此外，作為與氧化物半導體層144接觸的絕緣層使用氧化鋁時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為 Al_2O_x （ $X=3+\alpha$ ， $0<\alpha<1$ ）。或者，作為與氧化物半導體層144接觸的絕緣層使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定為 $Ga_xAl_{2-x}O_{3+\alpha}$ （ $0<X<2$ ， $0<\alpha<1$ ）。

藉由進行氧摻雜處理等，可以形成包含其氧含量超過化學計量組成比的區域的絕緣層。藉由使具備這種區域的絕緣層和氧化物半導體層接觸，絕緣層中的過剩的氧被供應到氧化物半導體層中，從而可以減少氧化物半導體層中或氧化物半導體層和絕緣層之間的介面中的氧不足缺陷。

另外，具有其氧含量超過化學計量組成比的區域絕緣層既可應用於作為氧化物半導體層144的基底膜形成的絕

緣層代替閘極絕緣層 146 又可應用於閘極絕緣層 146 及基底絕緣層的兩者。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為 200°C 以上 450°C 以下，較佳為 250°C 以上 350°C 以下。例如，可以在氮氣圍下以 250°C 進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，向脫水化或脫氫化處理後的氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施方式中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行第二熱處理。

如上所述那樣，藉由採用第一熱處理和第二熱處理，可以使氧化物半導體層 144 高純度化以使該氧化物半導體層 144 儘量不包含其主要成分以外的雜質。

接著，形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 148a 及導電層 148b（參照圖 10D）。

作為閘極電極 148a 及導電層 148b，可以使用鉬、鈦、鉭、鎢、鋁、銅、鈳、鈳等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘極電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150（參照圖 11A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣層 150 較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用絕緣層 150 的單層結構，但是，所公開的發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 中形成到達源極電極 142a 的開口。然後，在絕緣層 150 上形成與源極電極 142a 接觸的佈線 154（參照圖 11B）。另外，藉由使用掩模等選擇性地進行蝕刻來形成該開口。

在使用 PVD 法或 CVD 法形成導電層之後，對該導電層進行構圖來形成佈線 154。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鎳、鈹、鈳、釷中的一種或多種材料。

更明確而言，例如，可以在包括絕緣層 150 的開口的區域中藉由 PVD 法形成薄（5nm 左右）的鈦膜之後埋入開口形成鋁膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在

此為源極電極 142a) 的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

形成在絕緣層 150 中的開口較佳形成在與導電層 128b 重疊的區域中。藉由在這種區域中形成開口，可以抑制起因於接觸區域的元件面積的增大。

在此，對不使用導電層 128b 而使如下兩種連接結構重疊的情況進行說明，該兩種連接結構：一是雜質區 126 與源極電極 142a 的連接結構；二是源極電極 142a 與佈線 154 的連接結構。此時，在形成在雜質區 126 上的絕緣層 136、絕緣層 138 及絕緣層 140 中形成開口（稱為下部的接觸），在下部的接觸中形成源極電極 142a，然後，在閘極絕緣層 146 及絕緣層 150 中，在與下部的接觸重疊的區域中形成開口（稱為上部的接觸），並且形成佈線 154。當在與下部的接觸重疊的區域中形成上部的接觸時，有如下憂慮：即，由於蝕刻，形成在下部的接觸中的源極電極 142a 斷開。當為了避免該斷開，以不使下部的接觸與上部的接觸重疊的方式形成結構時，發生元件面積的增大的問題。

如本實施方式所示那樣，藉由使用導電層 128b，可以形成上部的接觸而不使源極電極 142a 斷開。由此，可以使下部的接觸與上部的接觸重疊地設置，從而可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集成度。

接著，以覆蓋佈線 154 的方式形成絕緣層 156（參照圖

11C)。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162 以及電容元件 164 (參照圖 11C)。

另外，在電晶體 162 中，也可以作為緩衝層在氧化物半導體層 144 與源極電極 142a 及汲極電極 142b 之間設置用作源極區及汲極區的氧化物導電層。圖 13A 和 13B 示出在圖 6A 的電晶體 162 中設置氧化物導電層的電晶體 162A 及 162B。

在圖 13A 和 13B 的電晶體 162A 及 162B 中，在氧化物半導體層 144 與源極電極 142a 及汲極電極 142b 之間形成有用作源極區及汲極區的氧化物導電層 404a 及 404b。圖 13A 和 13B 的電晶體 162A 及 162B 示出根據製造製程而使氧化物導電層 404a 及 404b 的形狀不同的例子。

在圖 13A 的電晶體 162A 中，形成氧化物半導體膜及氧化物導電膜的疊層，並且利用同一光刻製程加工氧化物半導體膜及氧化物導電膜的疊層的形狀，以形成島狀的氧化物半導體層 144 及氧化物導電膜。在氧化物半導體層及氧化物導電膜上形成源極電極 142a 及汲極電極 142b，然後，以源極電極 142a 及汲極電極 142b 為掩模蝕刻島狀的氧化物導電膜，以形成用作源極區及汲極區的氧化物導電層 404a 及 404b。

在圖 13B 的電晶體 162B 中，在氧化物半導體層 144 上形成氧化物導電膜，在該氧化物導電膜上形成金屬導電膜，並且利用同一光刻製程加工氧化物導電膜及金屬導電膜

，以形成用作源極區及汲極區的氧化物導電層 404a 及 404b、源極電極 142a 及汲極電極 142b。

另外，在進行用來加工氧化物導電層的形狀的蝕刻處理時，為了防止氧化物半導體層受到過剩的蝕刻，而適當地調整蝕刻條件（蝕刻劑的種類、濃度以及蝕刻時間等）。

作為氧化物導電層 404a 及 404b 的形成方法，使用濺射法、真空蒸鍍法（電子束蒸鍍法等）、電弧放電離子電鍍法或噴射法。作為氧化物導電層的材料，可以應用氧化鋅、氧化矽和氧化銦錫的化合物、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。另外，也可以使上述材料包含氧化矽。

藉由作為源極區及汲極區在氧化物半導體層 144 與源極電極 142a 及汲極電極 142b 之間設置氧化物導電層，可以實現源極區及汲極區的低電阻化，並且可以實現電晶體 162A 及 162B 的高速工作。

另外，藉由採用氧化物半導體層 144、氧化物導電層 404a 及 404b、源極電極 142a 及汲極電極 142b 的結構，可以提高電晶體 162A 及 162B 的耐壓性。

在本實施方式所示的電晶體 162 中，由於氧化物半導體層 144 被高純度化，其氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。另外，氧化物半導體層 144 的載子密度與通常的矽晶片中的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）相比是足夠小的值（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ ）。另

外，截止電流也十分小。例如，電晶體 162 的室溫（ 25°C ）下的截止電流（這裏，每單位通道寬度（ $1\mu\text{m}$ ）的值）為 100zA （ 1zA （仄普托安培）為 $1\times 10^{-21}\text{A}$ ）以下，較佳為 10zA 以下。

如此，藉由使用被高純度化而被本質化的氧化物半導體層 144，容易充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

另外，在本實施方式所示的半導體裝置中，可以共同使用佈線，而可以實現集成度充分得到提高的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 3

在本實施方式中，參照圖 14A 至 14C 說明在上述實施方式 2 中可以用於電晶體 162 的半導體層的氧化物半導體層的一個方式。

本實施方式的氧化物半導體層採用如下疊層結構：在第一晶體氧化物半導體層上形成有其厚度厚於第一晶體氧化物半導體層的第二晶體氧化物半導體層。

在絕緣層 400 上形成絕緣層 437。圖 14A 至 14C 中的絕緣層 437 相當於上述實施方式 2 中的絕緣層 140。在本實施方式中，作為絕緣層 437，利用 PCVD 法或濺射法形成

50nm以上600nm以下厚的氧化物絕緣層。例如，可以使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氮化鋁膜以及氮氧化矽膜中的單層或疊層。

接著，在絕緣層437上形成1nm以上10nm以下厚的第一氧化物半導體膜。第一氧化物半導體膜藉由利用濺射法而形成，利用該濺射法的成膜時的基板溫度為200°C以上400°C以下。

在本實施方式中，在以下條件下形成5nm厚的第一氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn-O類氧化物半導體用靶材（ In_2O_3 ： Ga_2O_3 ： ZnO = 1：1：2[莫耳數比]））；基板與靶材之間的距離是170mm；基板溫度為250°C；壓力是0.4Pa；直流（DC）電源是0.5kW；並且在只有氧、只有氬或氬及氧的氣圍下形成。

接著，藉由將配置有基板的處理室內的氣圍設定為氮或乾燥空氣，進行第一加熱處理。將第一加熱處理的溫度設定為400°C以上750°C以下。藉由進行第一加熱處理，形成第一晶體氧化物半導體層450a（參照圖14A）。

雖然根據第一加熱處理的溫度而不同，但是，藉由進行第一加熱處理，從膜表面引起晶化，而從膜表面向內部進行晶體生長，以得到c軸配向的晶體。藉由進行第一加熱處理，較多鋅及氧聚集在膜表面，在其最外表面形成單層或多層的其上平面呈六角形的由鋅及氧構成的石墨烯的二維晶體，該晶體在膜厚度方向上生長並重疊而成爲疊層。在提高加熱處理的溫度時，先從表面向內部再從內部向

底部進行晶體生長。

藉由進行第一加熱處理，將氧化物絕緣層的絕緣層437中的氧擴散到絕緣層437與第一晶體氧化物半導體層450a之間的介面或其附近（離介面有 $\pm 5\text{nm}$ ），以降低第一晶體氧化物半導體層的氧缺損。因此，較佳的是，用作基底絕緣層的絕緣層437的氧含量至少在膜中（塊體中）或第一晶體氧化物半導體層450a與絕緣層437的介面超過化學計量比。

接著，在第一晶體氧化物半導體層450a上形成厚於 10nm 的第二氧化物半導體膜。第二氧化物半導體膜藉由利用濺射法而形成，利用該濺射法的成膜時的基板溫度為 200°C 以上 400°C 以下。藉由將成膜時的基板溫度設定為 200°C 以上 400°C 以下，在接觸於第一晶體氧化物半導體層的表面上形成的氧化物半導體層中發生前體的排列，而可以得到所謂的秩序性。

在本實施方式中，在以下條件下形成 25nm 厚的第二氧化物半導體膜：使用氧化物半導體用靶材（ In-Ga-Zn-O 類氧化物半導體用靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比]））；基板與靶材之間的距離是 170mm ；基板溫度為 400°C ；壓力是 0.4Pa ；直流（DC）電源是 0.5kW ；並且在只有氧、只有氬或氬及氧的氣圍下形成。

接著，藉由將配置有基板的處理室內的氣圍設定為氮或乾燥空氣，進行第二加熱處理。將第二加熱處理的溫度設定為 400°C 以上 750°C 以下。藉由進行第二加熱處理，形

成第二晶體氧化物半導體層450b（參照圖14B）。藉由在氮氣圍、氧氣圍或氮及氧的混合氣圍中進行第二加熱處理，實現第二晶體氧化物半導體層的高密度化及缺陷數的減少。藉由進行第二加熱處理，以第一晶體氧化物半導體層450a為晶核在膜厚度方向上，即從底部向內部進行晶體生長，以形成第二晶體氧化物半導體層450b。

另外，較佳以不接觸大氣的方式連續進行從絕緣層437的形成至第二加熱處理的製程。較佳在控制為幾乎不包含氫及水分的氣圍（惰性氣圍、減壓氣圍以及乾燥空氣氣圍等）中進行從絕緣層437的形成至第二加熱處理的製程，例如，至於水分，採用露點為 -40°C 以下，較佳為 -50°C 以下的乾燥氮氣圍。

接著，加工由第一晶體氧化物半導體層450a及第二晶體氧化物半導體層450b構成的氧化物半導體疊層，以形成由島狀的氧化物半導體疊層構成的氧化物半導體層453（參照圖14C）。在圖式中，雖然以虛線表示第一晶體氧化物半導體層450a與第二晶體氧化物半導體層450b之間的介面來說明氧化物半導體疊層，但是這只是為了便於說明的，而並不意味著存在著明確的介面。

作為氧化物半導體疊層的加工，可以在氧化物半導體疊層上形成所希望的形狀的掩模之後對該氧化物半導體疊層進行蝕刻。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。

此外，氧化物半導體疊層的蝕刻可以採用乾蝕刻或濕

蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

另外，根據上述製造方法而得到的第一晶體氧化物半導體層及第二晶體氧化物半導體層的特徵之一在於：具有c軸配向。但是，第一晶體氧化物半導體層及第二晶體氧化物半導體層的結構既不是單晶結構又不是非晶結構，而是具有包含具有c軸配向的晶體(C Axis Aligned Crystal；也稱為CAAC)的氧化物。另外，第一晶體氧化物半導體層及第二晶體氧化物半導體層的一部分具有晶界。

另外，第一及第二晶體氧化物半導體層為至少具有Zn的氧化物材料，有如下材料：四元金屬氧化物如In-Al-Ga-Zn-O類材料、In-Sn-Ga-Zn-O類材料；三元金屬氧化物如In-Ga-Zn-O類材料、In-Al-Zn-O類材料、In-Sn-Zn-O類材料、Sn-Ga-Zn-O類材料、Al-Ga-Zn-O類材料以及Sn-Al-Zn-O類材料；二元金屬氧化物如In-Zn-O類材料、Sn-Zn-O類材料、Al-Zn-O類材料以及Zn-Mg-O類材料；Zn-O類材料等。另外，也可以使用In-Si-Ga-Zn-O類材料、In-Ga-B-Zn-O類材料、In-B-Zn-O類材料。此外，也可以使上述材料包含SiO₂。在此，例如，In-Ga-Zn-O類材料是指含有銦(In)、鎵(Ga)、鋅(Zn)的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含In、Ga及Zn以外的元素。

另外，所公開的發明不侷限於在第一晶體氧化物半導體層上形成第二晶體氧化物半導體層的兩層結構，也可以藉由在形成第二晶體氧化物半導體層之後反復進行用來形

成第三晶體氧化物半導體層的成膜及加熱處理的製程而採用三層以上的疊層結構。

由利用上述製造方法而形成的氧化物半導體疊層構成的氧化物半導體層453可以應用於電晶體162，該電晶體162可以應用於本說明書所公開的半導體裝置。

另外，在使用本實施方式的氧化物半導體疊層作為氧化物半導體層的電晶體中，不從氧化物半導體層的一方面到另一方面施加電場，而不是電流在氧化物半導體疊層的厚度方向（從一方面到另一方面流動的方向，明確地說，在圖6A中，相當於上下方向）上流動的結構。因為採用電流主要流過氧化物半導體疊層的介面的電晶體結構，所以即使對電晶體照射光或施加BT應力，也可以抑制或降低電晶體特性的退化。

藉由作為電晶體使用由第一晶體氧化物半導體層及第二晶體氧化物半導體層構成的疊層如本實施方式所示的氧化物半導體層453，可以實現電特性穩定且可靠性高的電晶體。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式4

在本實施方式中，使用圖12A至12F而對將上述實施方式所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施方式中，對將上述半導體裝置用於如下電子裝

置的情況進行說明，即：電腦；行動電話機（也稱為行動電話、行動電話裝置）；可攜式資訊終端（包括可攜式遊戲機、音頻再現裝置等）；數位相機、數碼攝像機等的影像拍攝裝置；電子紙；以及電視裝置（也稱為電視機或電視接收機）等。

圖 12A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 以及鍵盤 704 等。之前的實施方式所示的半導體裝置設置在外殼 701 和外殼 702 中的至少一個中。因此，可以實現一種筆記本型個人電腦，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 12B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 以及操作按鈕 714 等。另外，還包括用於操作可攜式資訊終端的觸屏筆 712 等。之前的實施方式所示的半導體裝置設置在主體 711 中。因此，可以實現一種可攜式資訊終端，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 12C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源 731、操作鍵 733 以及揚聲器 735 等。之前的實施方式所示的半導體裝置設置在外殼 721 和外殼 723 中的至少一個。因此，可以實現一種電子書閱讀器，其資訊

寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 12D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以從如圖 12D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、拍攝裝置用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在外殼 741 中。之前的實施方式所示的半導體裝置設置在外殼 740 和外殼 741 中的至少一個。因此，可以實現一種行動電話機，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 12E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。之前的實施方式所示的半導體裝置設置在主體 761 中。因此，可以實現一種數位相機，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 12F 示出電視裝置 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由利用外殼 771 具有的開關和遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 和遙控操作機 780 安裝有之前的實施方式所示的半導體裝置。因此，可以實現一種電視裝置，其資訊寫入及讀出速度很快，可以

在較長期間內保持儲存，並且耗電量被充分地降低。

如上所述，本實施方式所示的電子裝置安裝有根據之前的實施方式的半導體裝置。所以，可以實現耗電量被降低的電子裝置。

實施方式 5

在本實施方式中，說明具有圖 1A 所示的電路結構的半導體裝置中的資訊寫入及讀出所需要的時間。

首先，測定一種情況下的位元線 BL 的電位的時間依賴性，該情況為：在具有圖 1A 所示的電路結構的半導體裝置中，在寫入時對位元線 BL 施加電源電位 VDD 或接地電位 GND 的情況。圖 15 示出藉由測定而得到的位元線 BL 的電位的時間依賴性。

電源電位 VDD 是在對儲存單元寫入資料 “1” 時施加到位元線的電位，而接地電位 GND 是在對儲存單元寫入資料 “0” 時施加到位元線的電位。

在圖 15 中，作為寫入資料 “1” 時的位元線 BL 的波形，以實線 600 示出在測定開始後大約 80nsec 後對被保持為接地電位 GND 的位元線 BL 施加 3V 的電源電位 VDD 時的位元線 BL 的電位的時間依賴性。另外，在圖 15 中，作為寫入資料 “0” 時的位元線 BL 的波形，以實線 601 示出對位元線 BL 施加接地電位 GND 時的位元線 BL 的電位的時間依賴性。

由圖 15 的實線 601 可見：在寫入資料 “0” 時，位元線

BL的電位維持大約0V。另一方面，由圖15的實線600可見：在寫入資料“1”時，在向位元線BL的電源電位VDD供應開始後大約40nsec之後，位元線BL的電位上升到大約2.4V。

由此可知：向位元線BL的電源電位VDD供應所需要的時間為40nsec左右。

接著，測定一種情況下的儲存單元的閾值視窗，該情況為：在具有圖1A所示的電路結構的半導體裝置中，對電位VH被供應到電晶體162所具有的閘極電極的時間（寫入時間：Write Time）進行改變的情況。圖16示出藉由測定而得到的寫入時間與儲存單元的閾值視窗之間的關係。

藉由在寫入資料“0”時對位元線BL施加接地電位GND並在寫入資料“1”時對位元線BL施加電源電位VDD，進行測定。另外，電位VH為4.5V，而電源電位VDD為3V。

“儲存單元的閾值視窗”指的是由寫入資料“0”時的儲存單元的閾值電壓和寫入資料“1”時的儲存單元的閾值電壓構成的。另外，“儲存單元的閾值電壓”指的是使電晶體160成為導通狀態所需要的寫入及讀出字線C的電位。

在圖16中，以實線602示出寫入資料“1”時的寫入時間與儲存單元的閾值電壓之間的關係。另外，在圖16中，以實線603示出寫入資料“0”時的寫入時間與儲存單元的閾值電壓之間的關係。

由圖 16 的實線 602 可見：在對位元線 BL 施加電源電位 VDD 的情況下，在寫入時間為 10msec 時，儲存單元的閾值電壓為大約 -2V。另一方面，由圖 16 的實線 603 可見：在對位元線 BL 施加接地電位 GND 的情況下，在寫入時間為 10msec 時，儲存單元的閾值電壓為大約 3V。在上述任一情況下，即使將寫入時間縮短到 10nsec，儲存單元的閾值電壓的變化也不大。

因此，可以在 10nsec 左右的寫入時間內將資訊寫入到儲存單元。

接著，測定一種情況下的位元線 BL 的電位的時間依賴性，該情況為：在具有圖 1A 所示的電路結構的半導體裝置中，在讀出資料時，對源極線 SL 供應電位 VR 並對寫入及讀出字線 C 供應電源電位 VDD 的情況。圖 17 示出藉由測定而得到的位元線 BL 的電位的時間依賴性。

另外，藉由預先施加接地電位 GND，對位元線 BL 進行預充電。另外，施加到源極線 SL 的電位 VR 為 2V，而電源電位 VDD 為 3V。

另外，在圖 17 中，以實線 604 示出在資料寫入時寫入資料“1”的儲存單元中進行讀出時的位元線 BL 的電位的時間依賴性，以實線 605 示出在資料寫入時寫入資料“0”的儲存單元中進行讀出時的位元線 BL 的電位的時間依賴性。

由圖 17 的實線 604 及實線 605 可見：在預充電結束之後，位元線 BL 的電位開始上升，而在預充電結束後大約

150nsec之後，對應於資料“0”的位元線BL與對應於資料“1”的位元線BL之間的電位差成為大約0.2V。另外，因為對應於資料“0”的位元線BL的電位在預充電結束大約70nsec之後上升到大約0.2V，所以可以認為有100nsec以下的讀出工作的可能性。

因此，根據所公開的發明的一個方式的半導體裝置可以實現高速工作。

另外，在行動電話、智慧手機以及電子書閱讀器等可攜式電子裝置中，在暫時儲存影像資料等時使用SRAM或DRAM。在可攜式電子裝置中使用SRAM或DRAM的理由如下：與快閃記憶體等相比，寫入或讀出等的工作速度快，而適合用於影像資料的處理。但是，SRAM雖然具有工作速度快的優點，但是因一個儲存單元由六個電晶體構成而有儲存單元的面積大的缺點。在設計規則的最小尺寸為F時，SRAM的儲存單元的面積通常為 $100F^2$ 至 $150F^2$ 。因此，在各種半導體記憶體中，SRAM的每位的單價最高。另一方面，DRAM的儲存單元由一個電晶體和一個電容元件構成。因此，DRAM的儲存單元的面積小，通常為 $10F^2$ 以下。但是，DRAM經常需要刷新工作，即使不進行改寫工作也發生耗電量。根據所公開的發明的一個方式的半導體裝置的儲存單元的面積為 $10F^2$ 左右，並且不需要高頻率的刷新工作。因此，上述半導體裝置與一般的SRAM或DRAM不同，而可以說具有適合於可攜式電子裝置的如下兩個優點，一是可實現儲存單元的面積縮小化，二是可實

現耗電量的降低。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是半導體裝置的電路圖；

圖 2A 和 2B 是半導體裝置的電路圖；

圖 3 是時序圖；

圖 4 是半導體裝置的電路圖；

圖 5A 至 5D 是半導體裝置的電路圖；

圖 6A 和 6B 分別是半導體裝置的剖面圖和平面圖；

圖 7A 至 7G 是有關半導體裝置的製造製程的剖面圖；

圖 8A 至 8E 是有關半導體裝置的製造製程的剖面圖；

圖 9A 至 9D 是有關半導體裝置的製造製程的剖面圖；

圖 10A 至 10D 是有關半導體裝置的製造製程的剖面圖

；

圖 11A 至 11C 是有關半導體裝置的製造製程的剖面圖

；

圖 12A 至 12F 是說明利用半導體裝置的電子裝置的圖

；

圖 13A 和 13B 是半導體裝置的剖面圖；

圖 14A 至 14C 是有關半導體裝置的製造製程的剖面圖

；

圖 15 是示出位元線 BL 的電位的時間依賴性的測定結果的圖；

103年7月3日修正替換頁

圖 16 是示出儲存單元的閾值視窗的測定結果的圖；

圖 17 是示出位元線 BL 的電位的時間依賴性的測定結果的圖。

【圖式簡單說明】

160：電晶體

162：電晶體

164：電容元件

170：儲存單元

180：升壓電路

182：第一驅動電路

184：第四驅動電路

186：第五驅動電路

190：第三驅動電路

192：第二驅動電路

194：源極線轉換電路

七、申請專利範圍：

1. 一種半導體裝置的驅動方法，該半導體裝置包括：

第一電晶體、第二電晶體以及電容元件，

其中，該第一電晶體的源極和汲極中的一方及該第二電晶體的源極和汲極中的一方電連接於位元線，

該第二電晶體的閘極電連接於寫入字線，

該第一電晶體的源極和汲極中的另一方電連接於源極線，

該電容元件的一方電極電連接於寫入及讀出字線，

並且，該第一電晶體的閘極、該第二電晶體的源極和汲極中的另一方以及該電容元件的另一方電極彼此電連接，以構成保持電荷的節點，

上述驅動方法包括如下步驟：

在寫入期間中，將使該第二電晶體成為導通狀態的電位供應到該寫入字線，並且將接地電位供應到該源極線，以將電荷儲存在該節點中；以及

在該寫入期間後的保持期間中，將接地電位供應到該寫入字線和該寫入及讀出字線，並且將同一電位供應到該源極線及該位元線，以保持該節點中的電荷。

2. 根據申請專利範圍第 1 項之半導體裝置的驅動方法，其中在該保持期間中將接地電位供應到該源極線及該位元線。

3. 根據申請專利範圍第 1 項之半導體裝置的驅動方法，其中該第二電晶體的通道形成區包含氧化物半導體。

4. 根據申請專利範圍第 1 項之半導體裝置的驅動方法，其中該第一電晶體為 p 通道型電晶體。

5. 一種半導體裝置的驅動方法，該半導體裝置包括儲存單元，該儲存單元的每一個包括：

第一電晶體、第二電晶體以及電容元件，

其中，該第一電晶體的源極和汲極中的一方及該第二電晶體的源極和汲極中的一方電連接於位元線，

該第二電晶體的閘極電連接於寫入字線，

該第一電晶體的源極和汲極中的另一方電連接於源極線，

該電容元件的一方電極電連接於寫入及讀出字線，

並且，該第一電晶體的閘極、該第二電晶體的源極和汲極中的另一方以及該電容元件的另一方電極彼此電連接，以構成保持電荷的節點，

上述驅動方法包括如下步驟：

在寫入期間中，將使該第二電晶體成為導通狀態的電位供應到該寫入字線，並且將接地電位供應到該源極線，以將電荷儲存在該節點中；

在該寫入期間後的保持期間中，將接地電位供應到該寫入字線和該寫入及讀出字線，並且將同一電位供應到該位元線及該源極線，以保持該節點中的電荷；以及

在讀出期間中，將電源電位供應到與處於非選擇狀態的該儲存單元之一連接的該寫入及讀出字線，並且將接地電位供應到與處於選擇狀態的該儲存單元之另一連接的該

寫入及讀出字線，以讀出保持在該處於選擇狀態的儲存單元中的該節點中的電荷。

6.根據申請專利範圍第 5 項之半導體裝置的驅動方法，其中在該保持期間中將接地電位供應到該源極線及該位元線。

7.根據申請專利範圍第 5 項之半導體裝置的驅動方法，其中該第二電晶體的通道形成區包含氧化物半導體。

8.根據申請專利範圍第 5 項之半導體裝置的驅動方法，其中該第一電晶體為 p 通道型電晶體。

The diagram shows a two-stage RC network. The first stage consists of a resistor R_1 in series with a parallel combination of a resistor R_2 and a capacitor C_2 . The second stage consists of a parallel combination of a resistor R_3 and a capacitor C_3 . The output is taken from the node between the two stages. The circuit is connected to a ground plane at the bottom.

圖2A

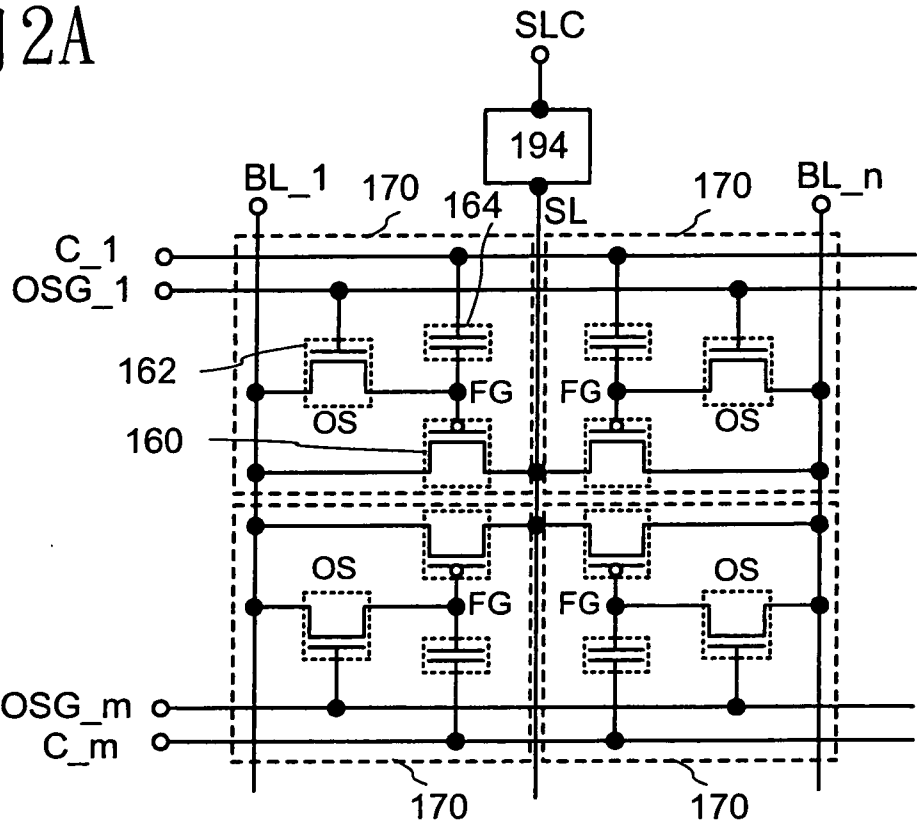


圖2B

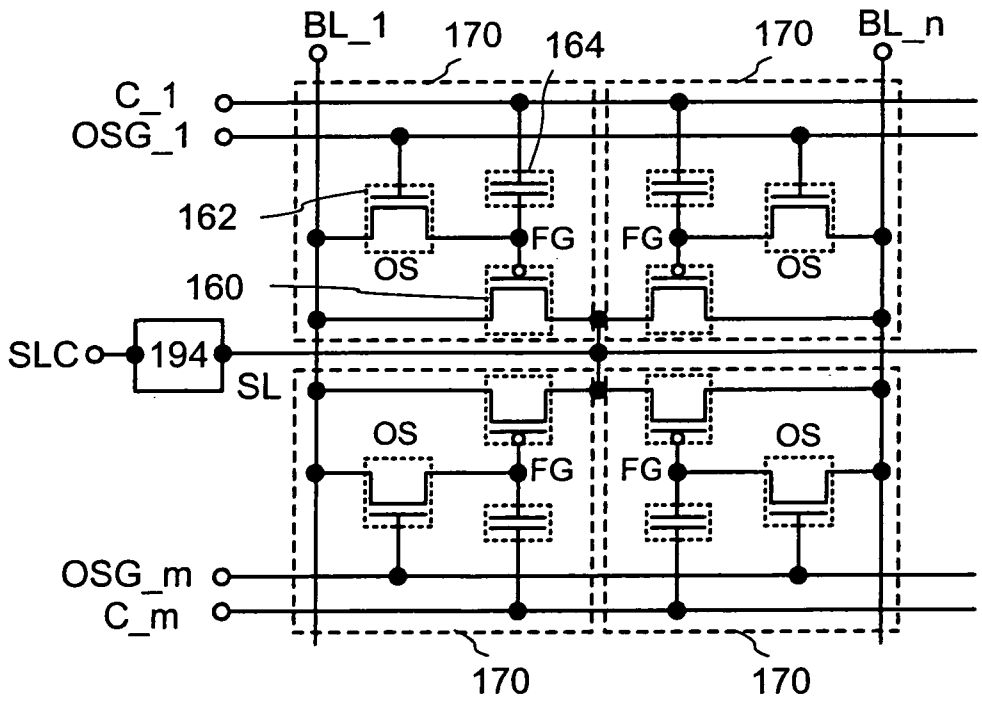


圖 3

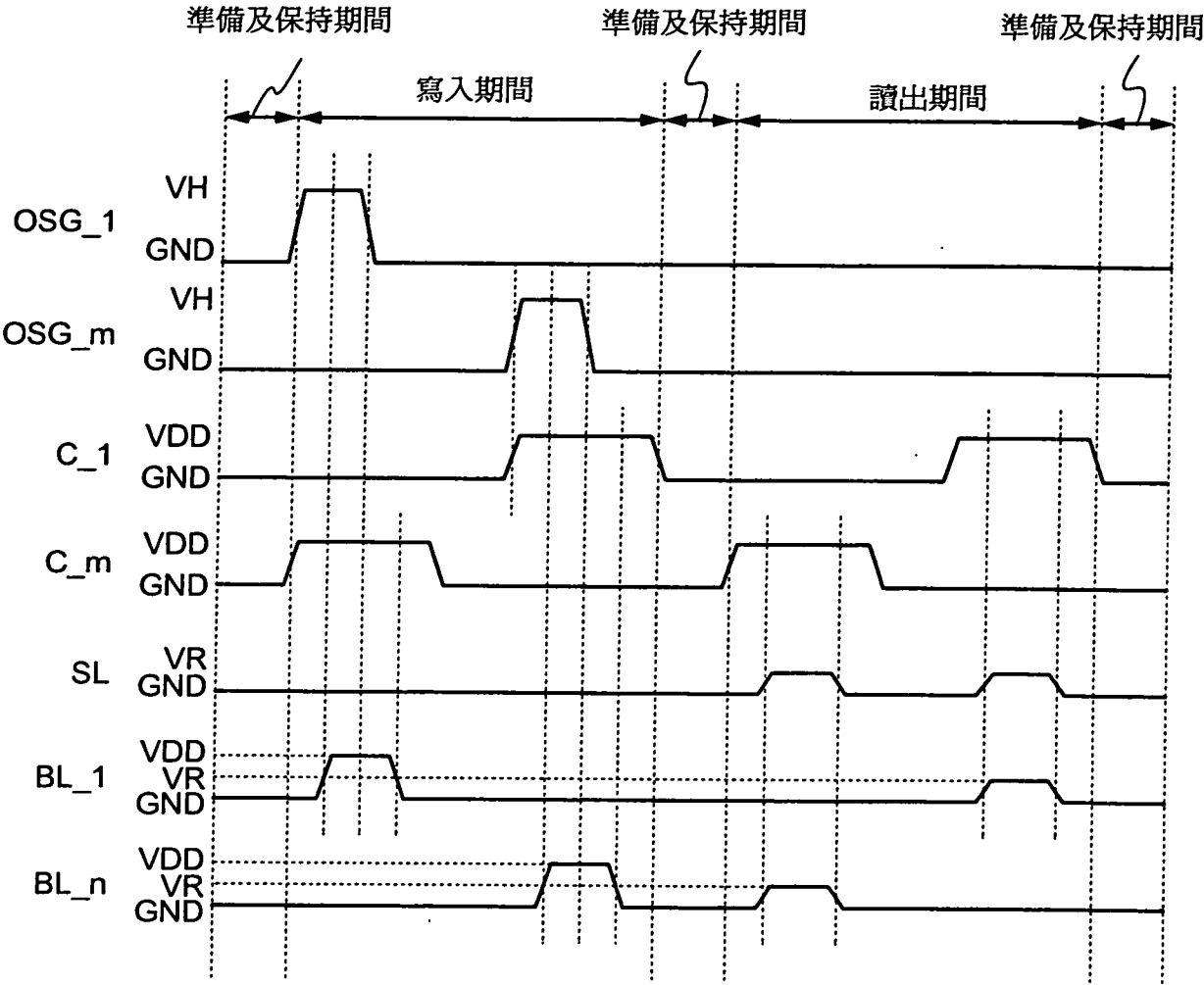


圖 4

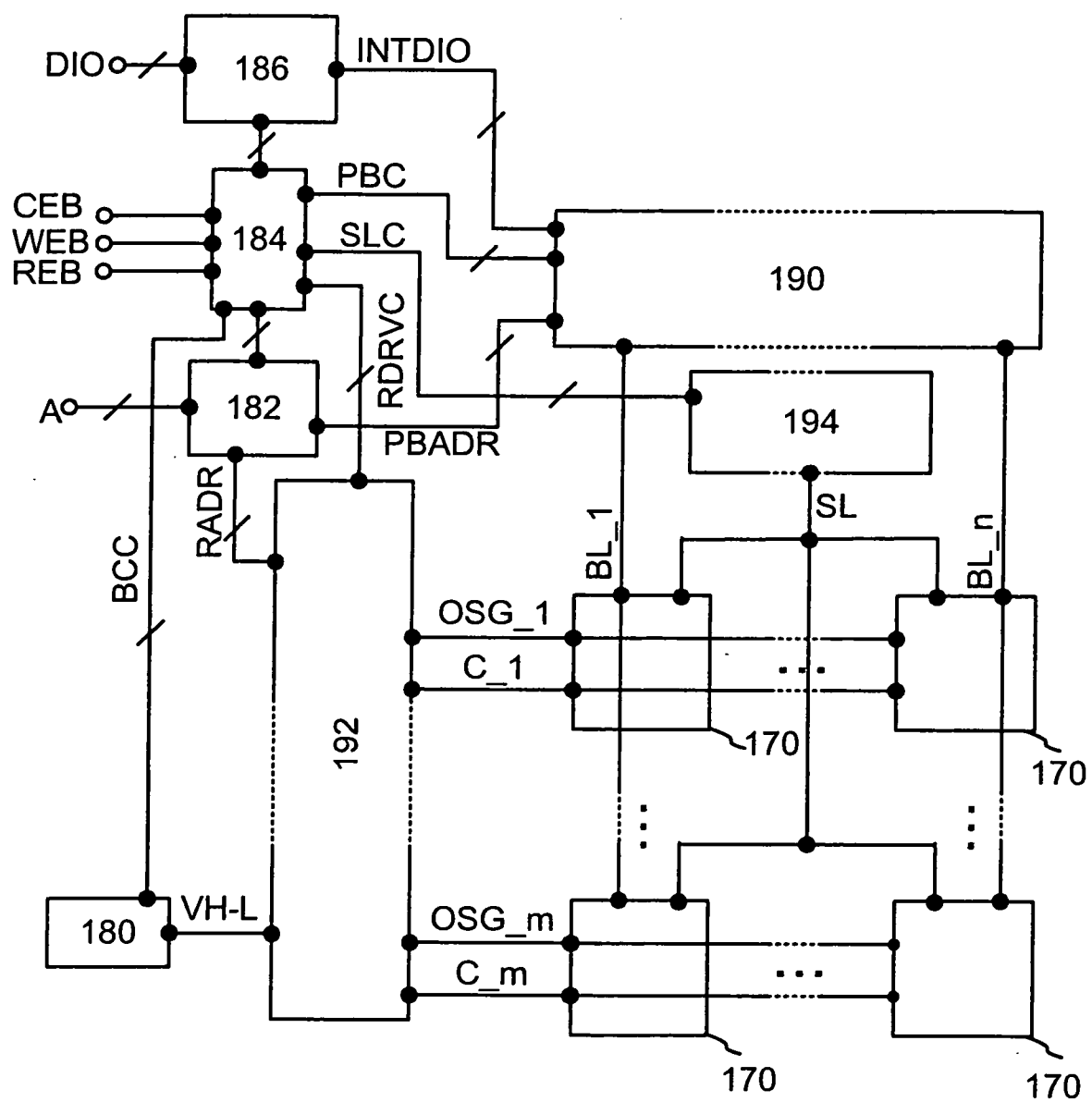


圖 5A

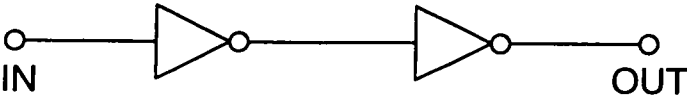


圖 5B

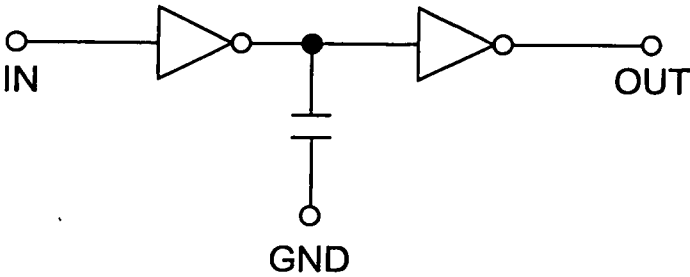


圖 5C

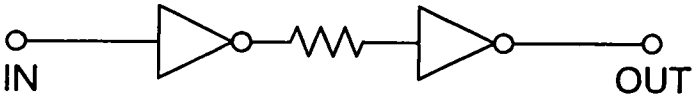


圖 5D

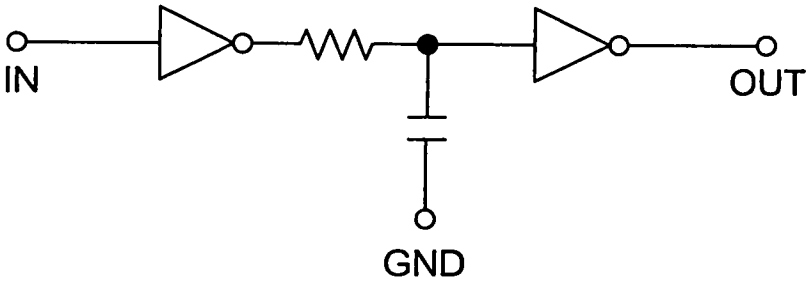


圖 6A

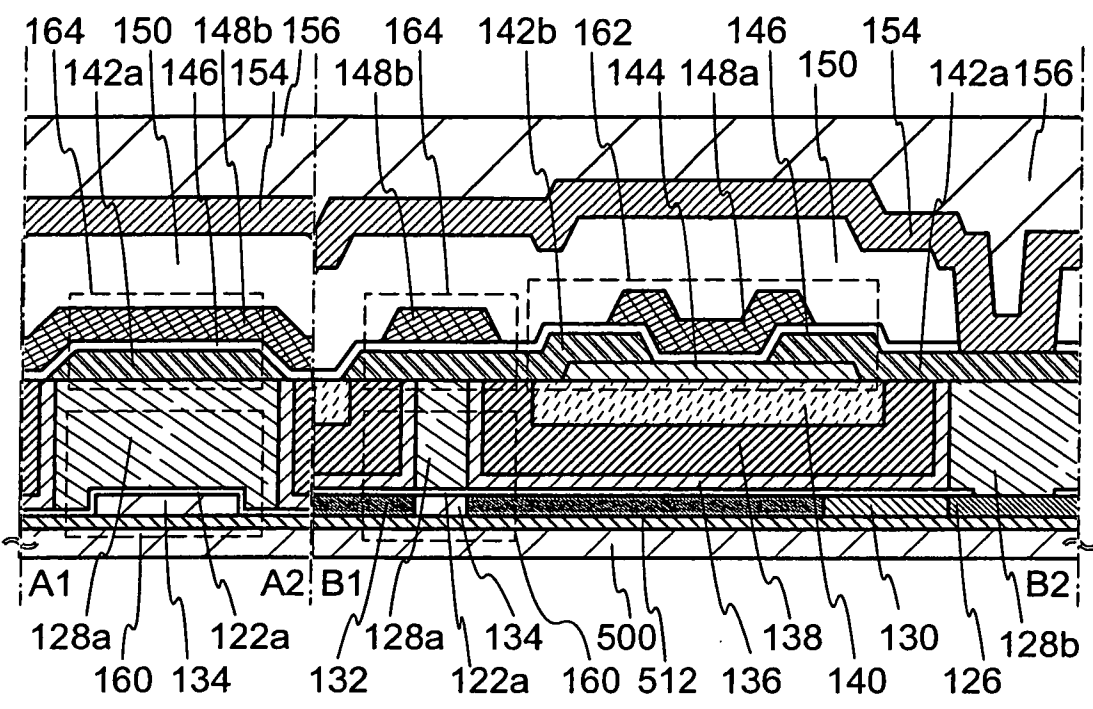


圖 6B

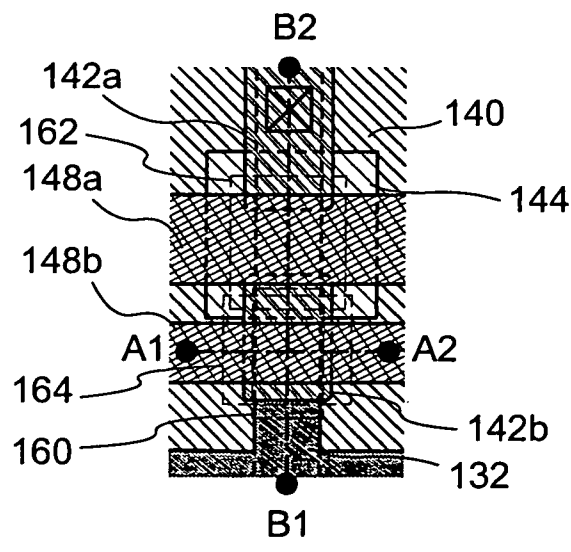


圖 7A

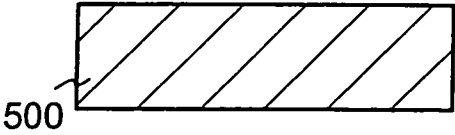


圖 7B

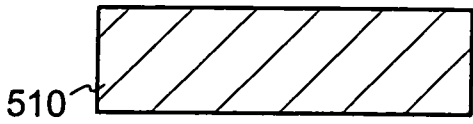


圖 7C

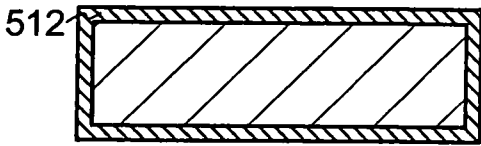


圖 7D

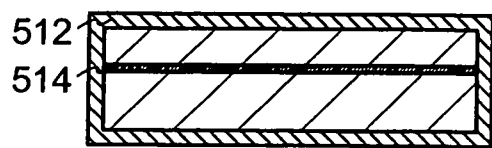


圖 7E

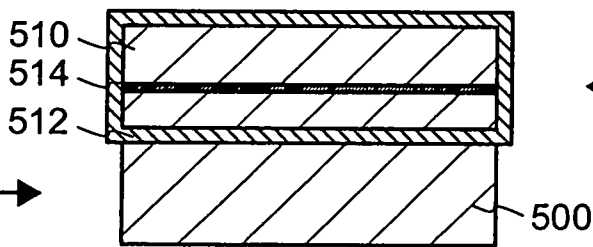


圖 7F

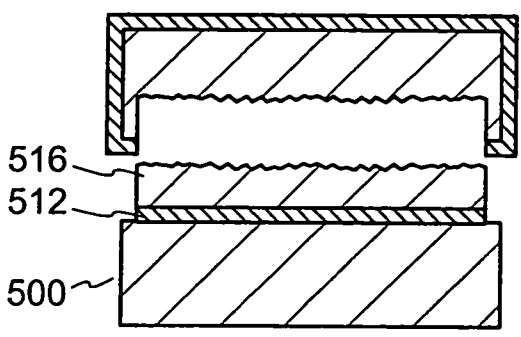


圖 7G

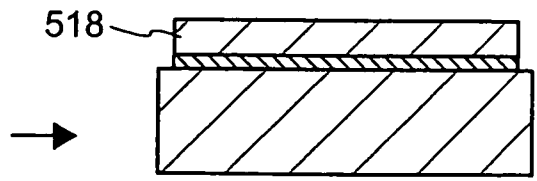


圖 8A

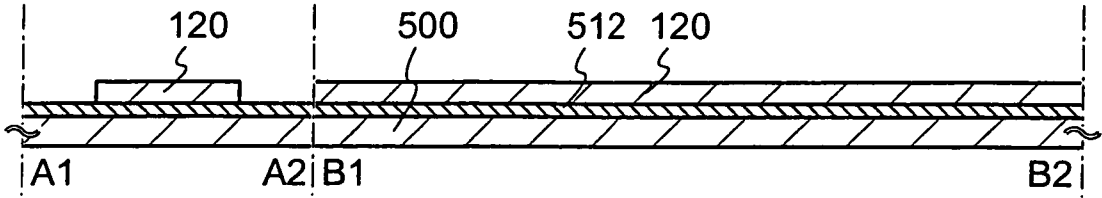


圖 8B

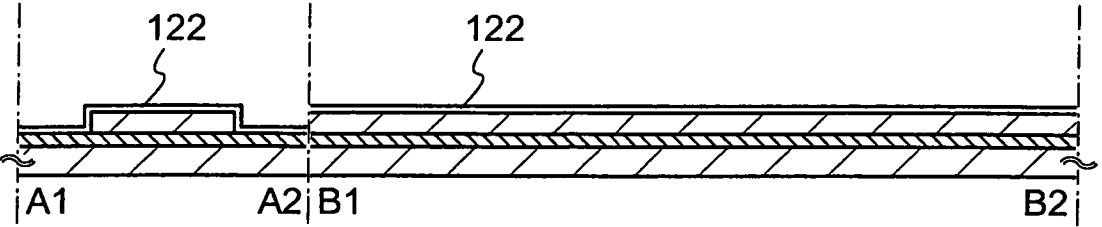


圖 8C

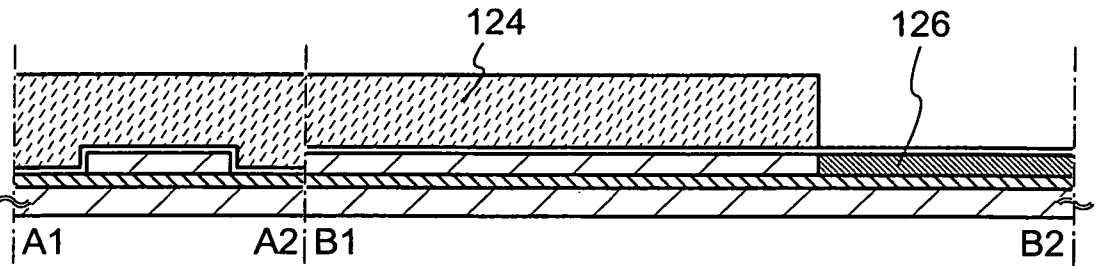


圖 8D

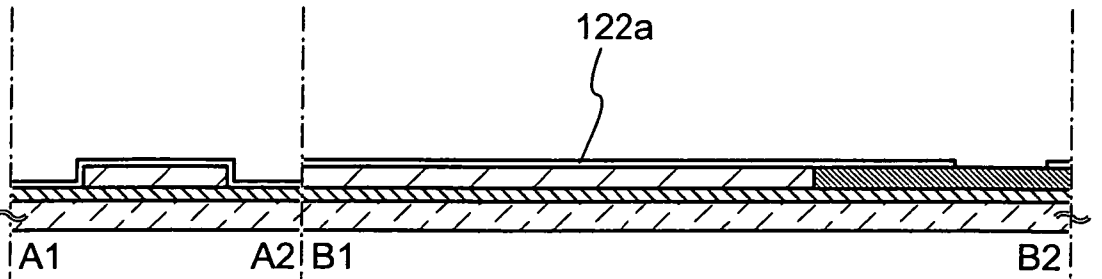


圖 8E

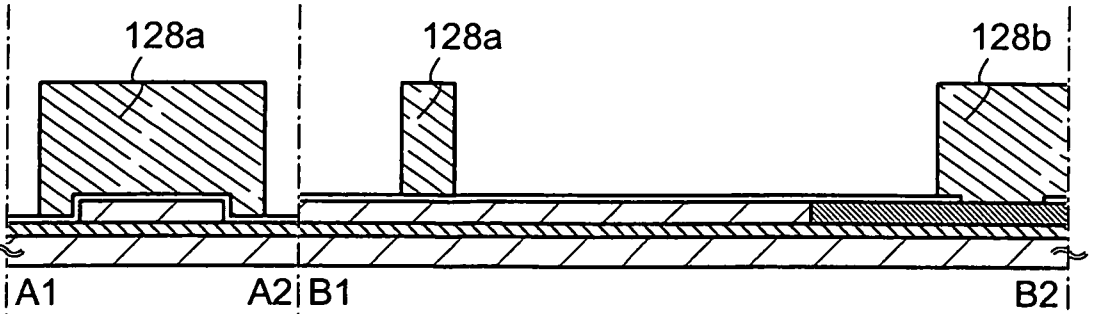


圖 9A

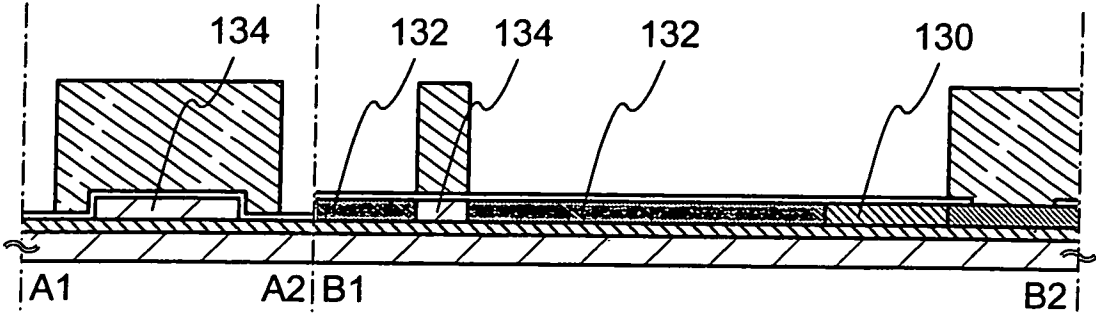


圖 9B

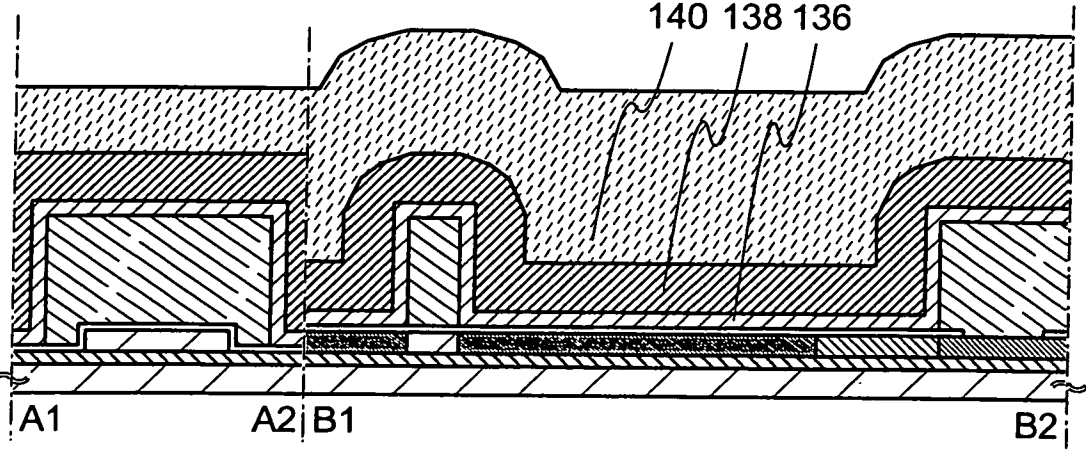


圖 9C

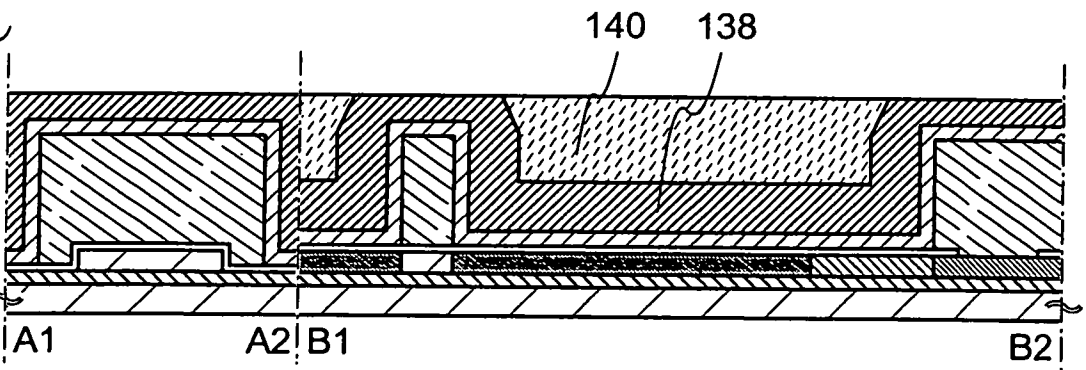


圖 9D

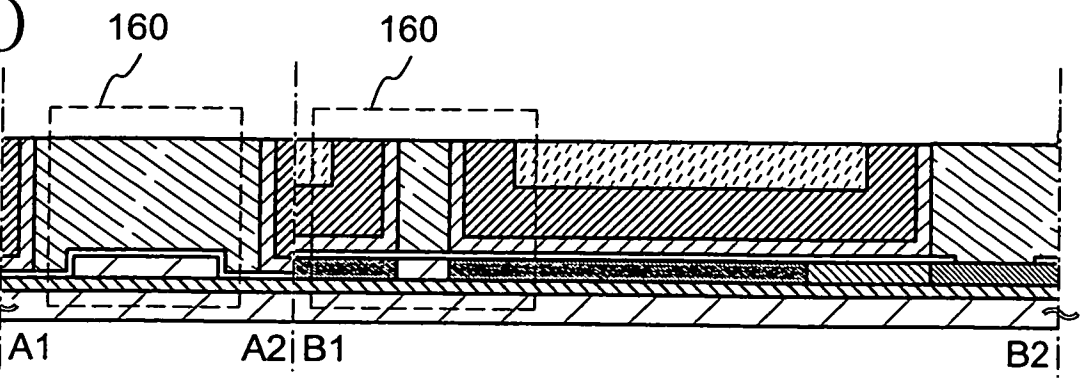


圖 10A

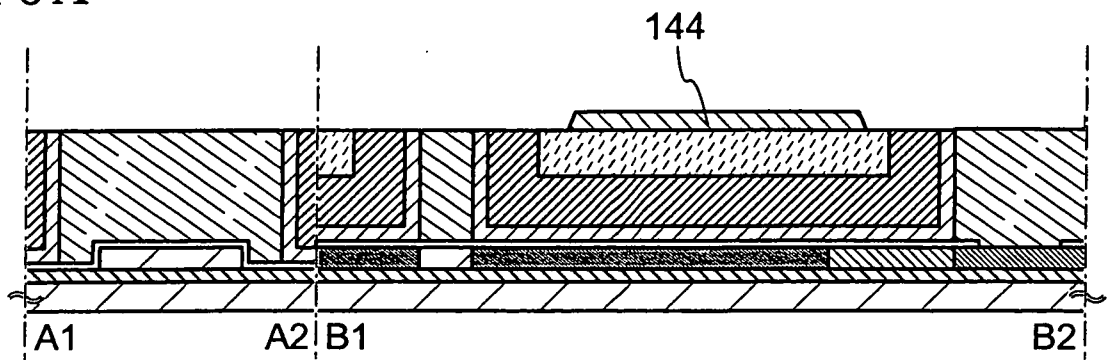


圖 10B

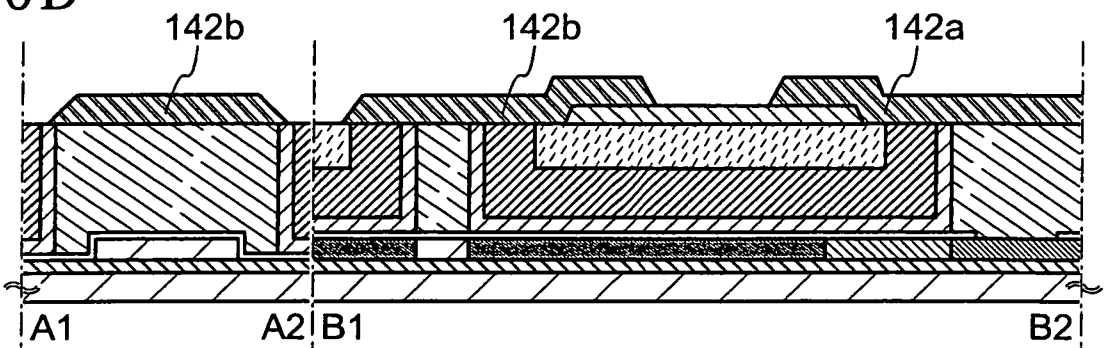


圖 10C

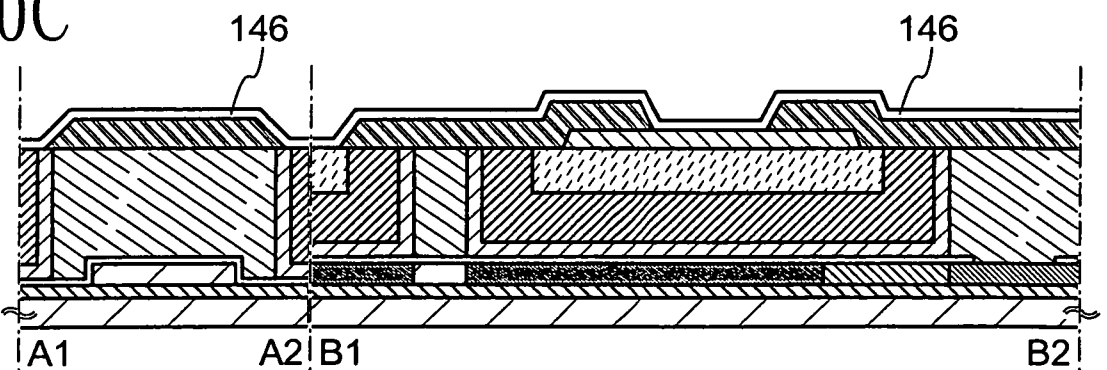


圖 10D

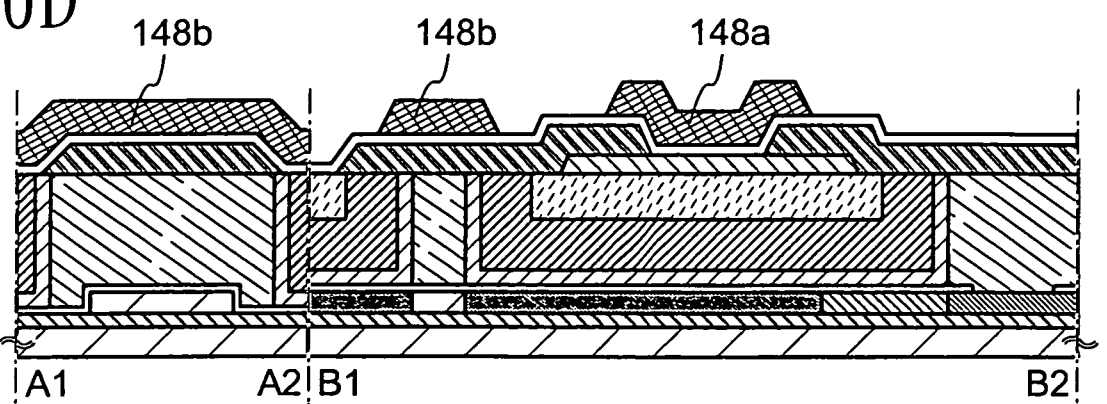


圖 11A

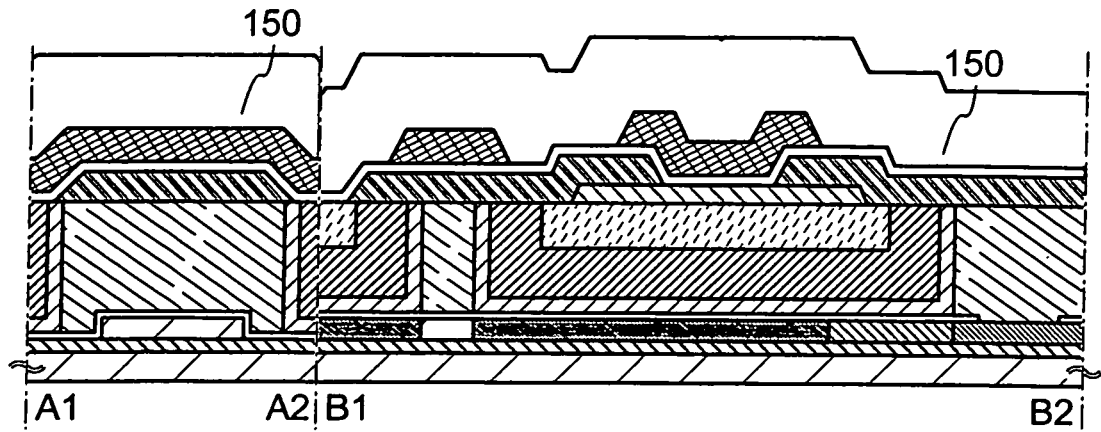


圖 11B

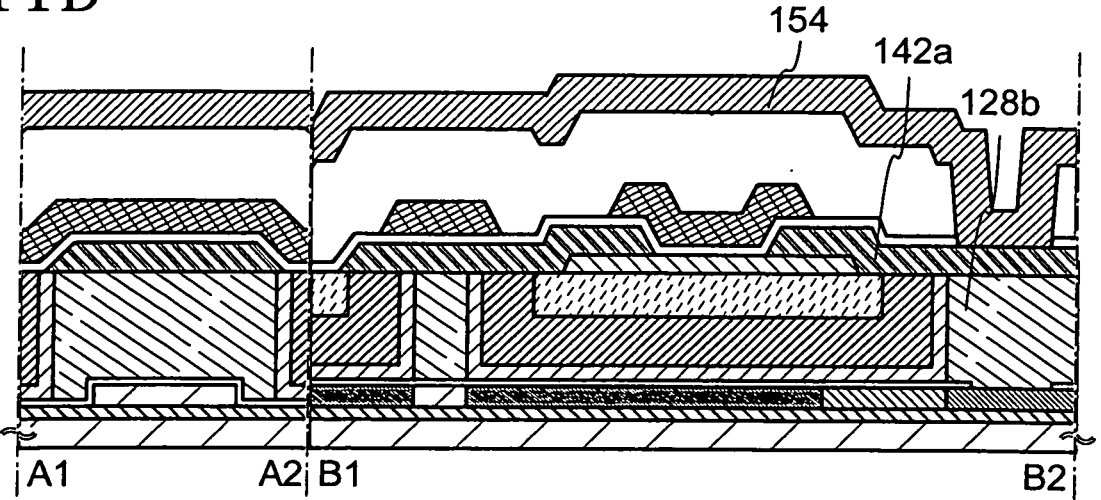


圖 11C

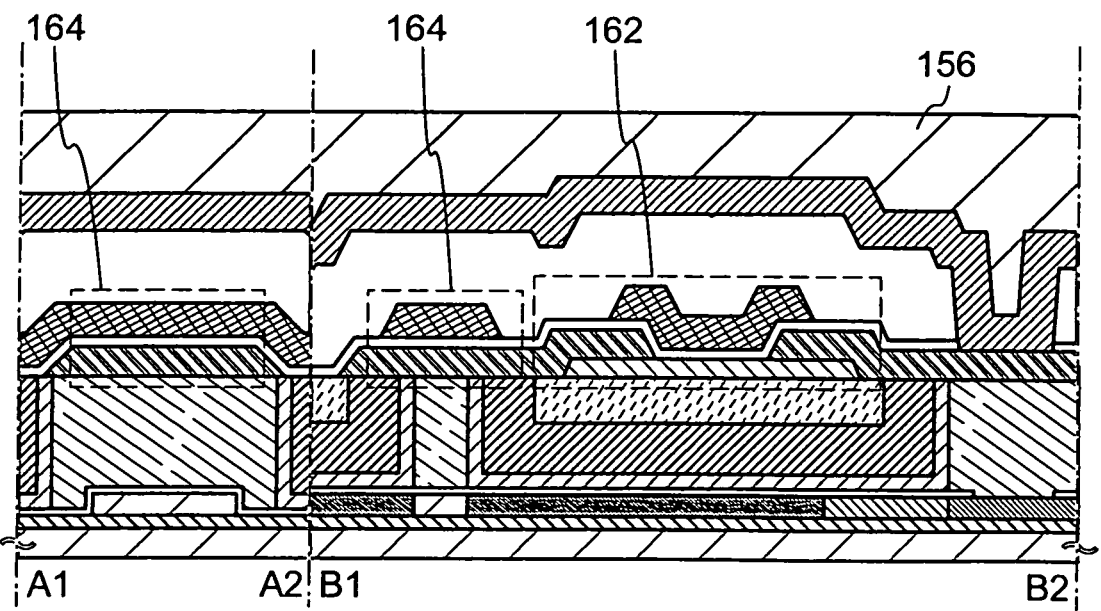


圖 12A

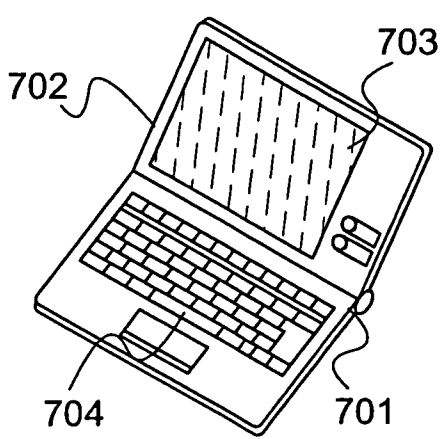


圖 12D

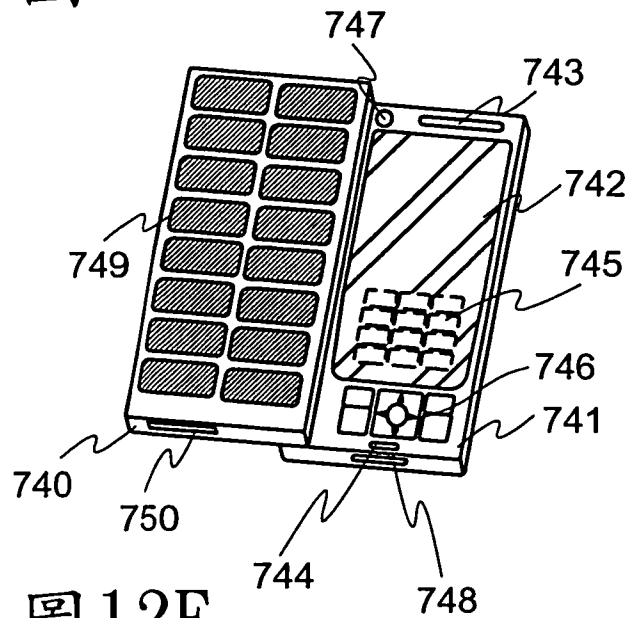


圖 12B

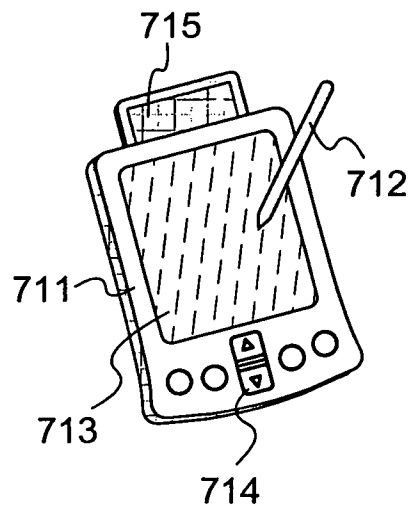


圖 12E

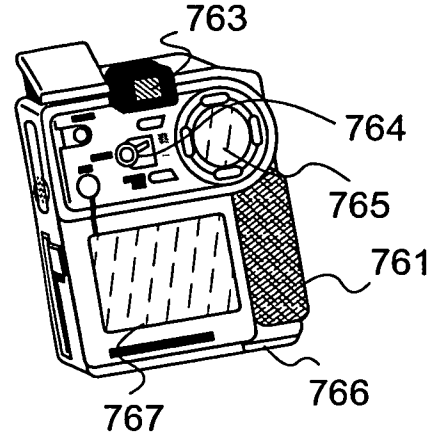


圖 12C

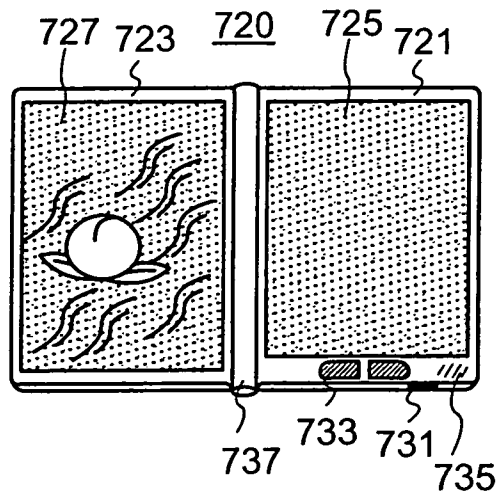


圖 12F

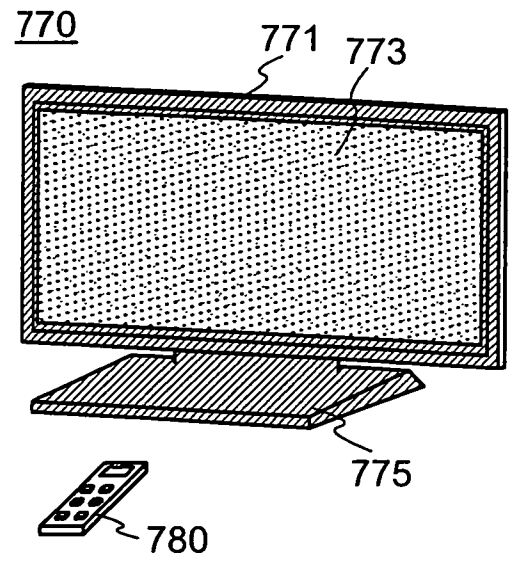


圖13A

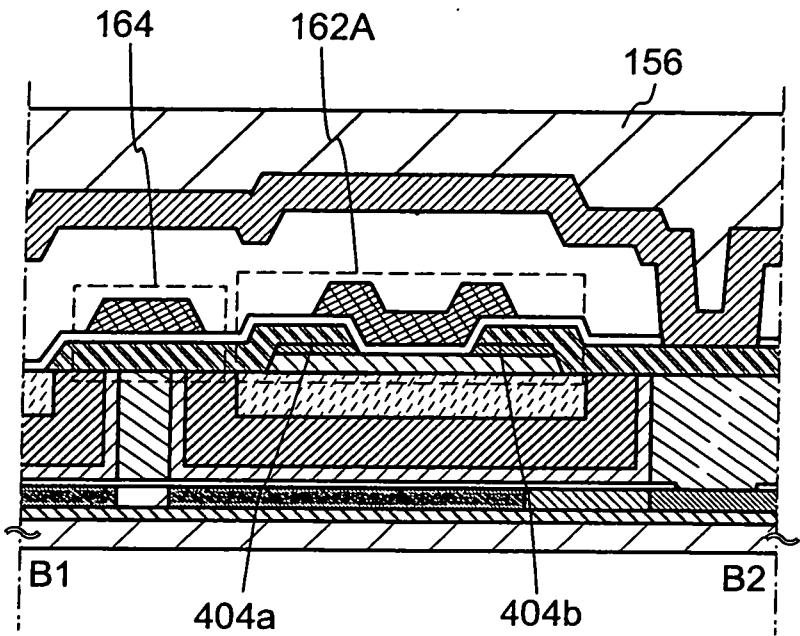


圖13B

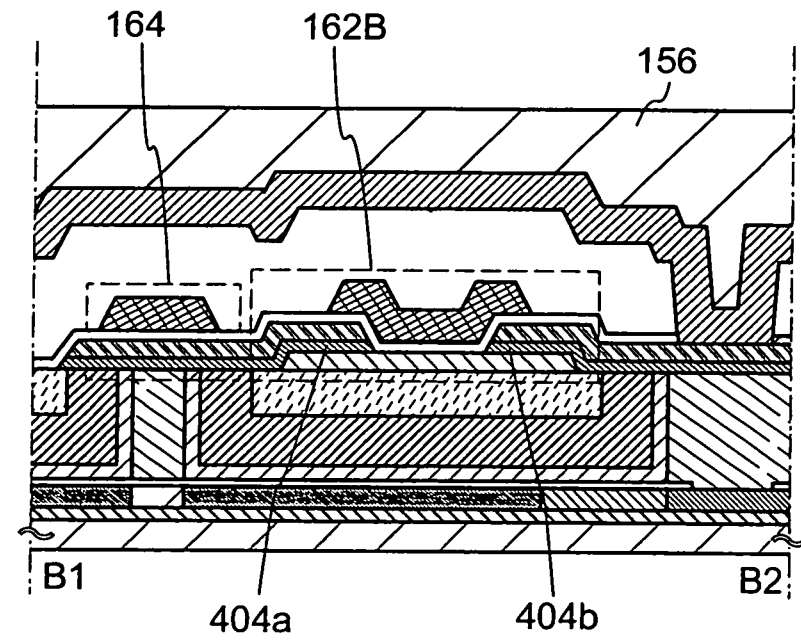


圖 14A

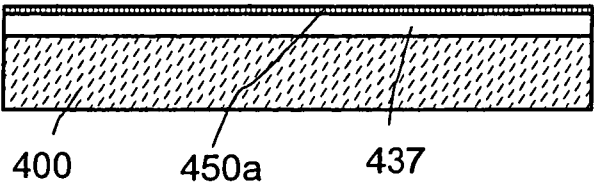


圖 14B

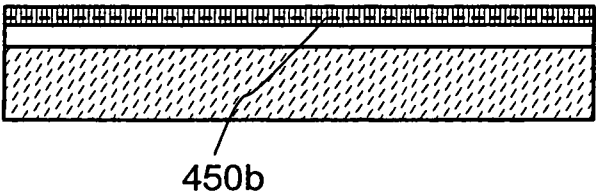


圖 14C

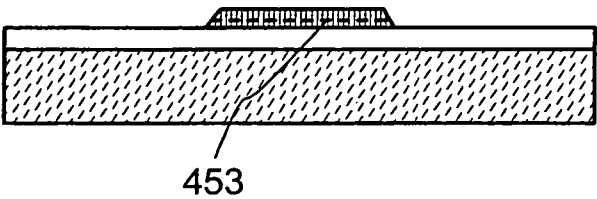


圖15

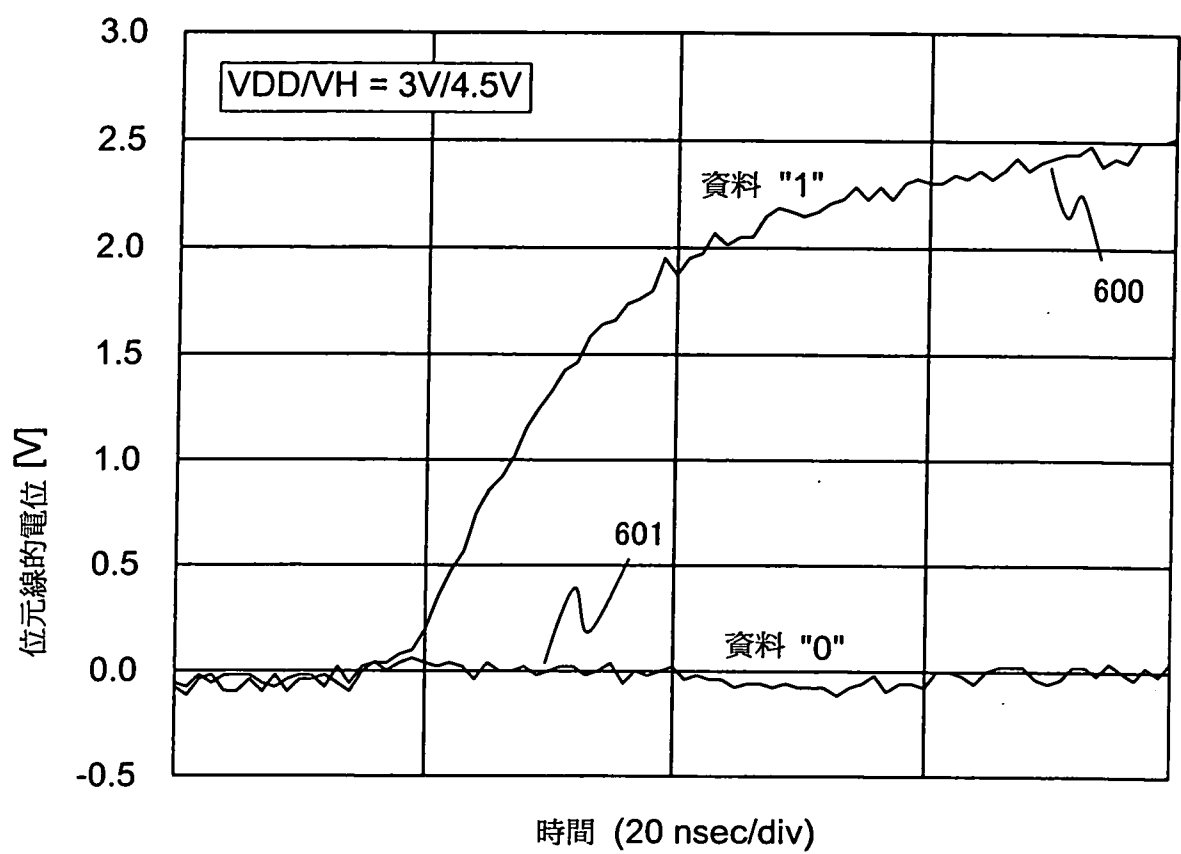


圖 16

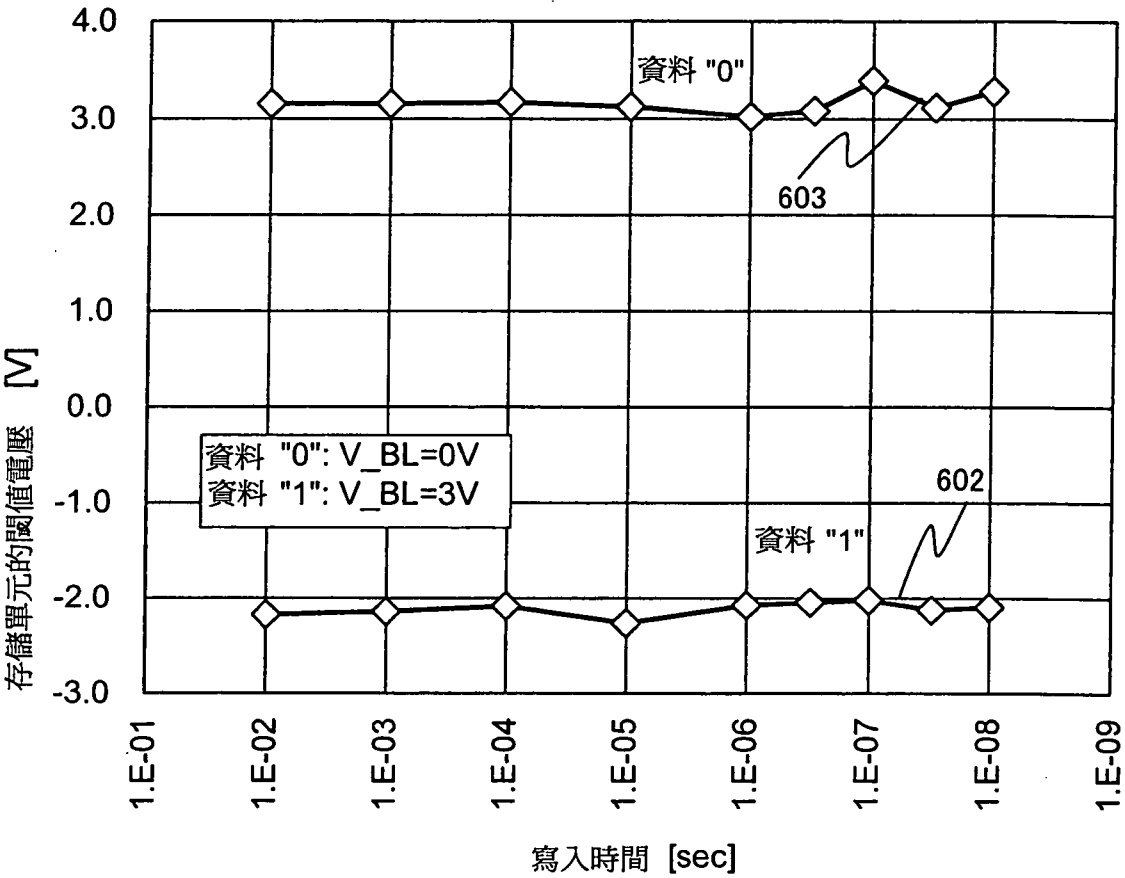


圖 17

