



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0042085  
(43) 공개일자 2017년04월18일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/768* (2006.01) *H01L 21/3205* (2006.01)
- (52) CPC특허분류  
*H01L 21/76897* (2013.01)  
*H01L 21/32051* (2013.01)
- (21) 출원번호 10-2015-0141573
- (22) 출원일자 2015년10월08일
- 심사청구일자 없음
- (71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091
- (72) 발명자  
김종훈  
경기도 용인시 기흥구 동백평촌로 70, 1006동  
1201호 (동백동, 호수마을상록롯데캐슬아파트)
- (74) 대리인  
장신섭, 문용호, 이용우

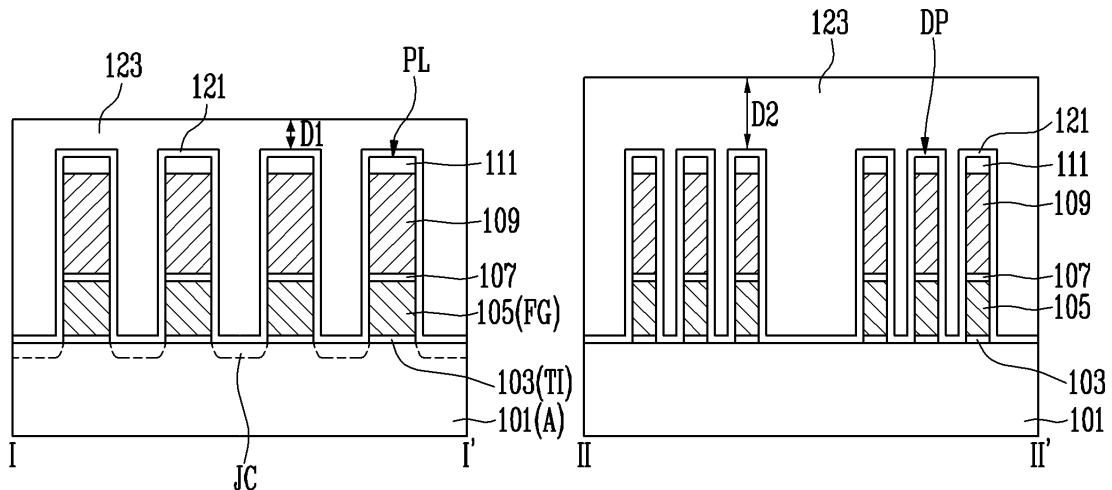
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 제조방법

**(57) 요 약**

본 발명의 실시 예에 따른 반도체 장치의 제조방법은 제1 영역 및 제2 영역을 포함하는 기판 상에, 실리콘막을 포함하는 패턴 그룹을 형성하는 단계; 상기 실리콘막이 상기 제1 영역 상에서 노출되고 상기 제2 영역 상에서 차단되도록, 상기 기판 상에 절연 패턴을 형성하는 단계; 상기 제1 영역 상에서 노출된 상기 실리콘막의 일부를 실리사이드막으로 변화시키는 단계; 및 상기 실리사이드막으로의 변화가 차단된 상기 제2 영역 상의 상기 패턴 그룹 중 일부를 오버레이 버너어로 이용하는 후속 공정을 실시하는 단계를 포함할 수 있다.

**대 표 도** - 도4a



(52) CPC특허분류  
*H01L 21/32055* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 영역 및 제2 영역을 포함하는 기판 상에, 실리콘막을 포함하는 패턴 그룹을 형성하는 단계;

상기 실리콘막이 상기 제1 영역 상에서 노출되고 상기 제2 영역 상에서 차단되도록, 상기 기판 상에 절연 패턴을 형성하는 단계;

상기 제1 영역 상에서 노출된 상기 실리콘막의 일부를 실리사이드막으로 변화시키는 단계; 및

상기 실리사이드막으로의 변화가 차단된 상기 제2 영역 상의 상기 패턴 그룹 중 일부를 오버레이 버너어로 이용하는 후속 공정을 실시하는 단계를 포함하는 반도체 장치의 제조방법.

#### 청구항 2

제 1 항에 있어서,

상기 패턴 그룹은 상기 제1 영역에서보다 상기 제2 영역에서 높은 밀도로 배치되는 반도체 장치의 제조방법.

#### 청구항 3

제 2 항에 있어서,

상기 패턴 그룹은,

상기 제1 영역 상에 배치된 예비 패턴들;

상기 제2 영역 상에 배치되어 상기 오버레이 버너어로 이용되는 버너어 패턴; 및

상기 제2 영역 상에 배치되고, 상기 버너어 패턴 주위에 상기 예비 패턴들보다 높은 밀도로 배치된 더미 패턴들을 포함하는 반도체 장치의 제조방법.

#### 청구항 4

제 2 항에 있어서,

상기 패턴 그룹을 형성하는 단계는

상기 기판 상에 데이터 저장막을 형성하는 단계;

상기 데이터 저장막 상에 유전체막을 형성하는 단계;

상기 유전체막 상에 상기 실리콘막을 형성하는 단계; 및

상기 실리콘막, 상기 유전체막 및 상기 데이터 저장막을 식각하여 상기 제1 영역 상에 예비 게이트 패턴들을 형성하고, 상기 제2 영역 상에 상기 오버레이 버너어로 이용되는 버너어 패턴 및 상기 오버레이 버너어 패턴 주위에 배치되는 더미 패턴들을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

#### 청구항 5

제 2 항에 있어서,

상기 절연 패턴을 형성하는 단계는

상기 패턴 그룹의 밀도차를 이용하여 상기 제1 영역에서보다 상기 제2 영역에서 두꺼운 두께를 갖는 절연막을, 상기 패턴 그룹을 덮도록, 상기 기판 상에 형성하는 단계;

상기 절연막을 에치백 공정으로 식각하여 상기 절연 패턴을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

#### 청구항 6

제 5 항에 있어서,

상기 절연막을 형성하기 전, 상기 패턴 그룹의 표면 상에 식각 정지막을 형성하는 단계를 더 포함하는 반도체 장치의 제조방법.

### 청구항 7

제 6 항에 있어서,

상기 절연막을 형성하는 단계 이 후, 상기 제1 영역 상의 상기 식각 정지막의 일부가 노출될 때까지 상기 절연막을 평탄화하는 단계; 및

상기 예치백 공정으로 상기 식각 정지막의 노출된 영역을 식각하는 단계를 더 포함하는 반도체 장치의 제조방법.

### 청구항 8

제 7 항에 있어서,

상기 절연막을 평탄화하는 단계는 상기 제2 영역 상의 상기 식각 정지막 상에 상기 절연막이 잔류되도록 실시되는 반도체 장치의 제조방법.

### 청구항 9

제 1 항에 있어서,

상기 실리콘막을 실리사이드막으로 변화시키는 단계는

상기 실리콘막 상에 금속막을 형성하는 단계; 및

상기 금속막과 상기 제1 영역 상의 상기 실리콘막이 반응하여 상기 실리사이드막이 형성되도록 열 공정을 실시하는 단계를 포함하는 반도체 장치의 제조방법.

### 청구항 10

제 9 항에 있어서,

상기 절연 패턴은 상기 금속막과 상기 제2 영역 상의 상기 실리콘막 사이에 잔류되는 반도체 장치의 제조방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 구체적으로 오버레이 버너어를 이용한 반도체 장치의 제조 방법에 관한 것이다.

### 배경 기술

[0003] 반도체 장치는 셀 트랜지스터들 및 셀 트랜지스터들을 구동하기 위한 다양한 구동 회로를 포함한다. 셀 트랜지스터들과 구동 회로 각각을 구현하기 위해, 서로 다른 층에 배치된 패턴들을 중첩시킬 수 있다. 각 층의 패턴들은 식각대상막을 증착하는 공정 및 노광 마스크를 이용하여 식각대상막을 패터닝하는 공정을 포함하는 마스크 공정을 통해 형성될 수 있다. 셀 트랜지스터들과 구동 회로는 다수의 마스크 공정들을 통해 형성될 수 있다. 이 때, 서로 다른 마스크 공정들을 통해 형성된 패턴들 간의 정렬을 확인한다. 패턴들 간의 정렬을 확인하기 위해, 오버레이 버너어가 이용될 수 있다. 패턴들간 정렬 상태를 올바르게 파악하기 위해, 오버레이 버너어를 이용한 오버레이 측정 불량 개선이 필요하다.

### 발명의 내용

### 해결하려는 과제

[0004] 본 발명의 실시예는 오버레이 버니어를 이용한 오버레이 측정 불량을 개선할 수 있는 반도체 장치의 제조방법을 제공한다.

### 과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 반도체 장치의 제조방법은 제1 영역 및 제2 영역을 포함하는 기판 상에, 실리콘막을 포함하는 패턴 그룹을 형성하는 단계; 상기 실리콘막이 상기 제1 영역 상에서 노출되고 상기 제2 영역 상에서 차단되도록, 상기 기판 상에 절연 패턴을 형성하는 단계; 상기 제1 영역 상에서 노출된 상기 실리콘막의 일부를 실리사이드막으로 변화시키는 단계; 및 상기 실리사이드막으로의 변화가 차단된 상기 제2 영역 상의 상기 패턴 그룹 중 일부를 오버레이 버니어로 이용하는 후속 공정을 실시하는 단계를 포함할 수 있다.

### 발명의 효과

[0008] 본 발명의 실시 예는 오버레이 버니어로 이용되는 패턴의 실리콘막이 절연 패턴에 의해 보호되는 상태에서 실리사이드화 공정을 실시하므로, 실리사이드화 공정에서 유발되는 응집(agglomeration)이 오버레이 버니어에 발생하는 것을 방지할 수 있다. 이로써, 본 발명의 실시 예는 오버레이 버니어용 패턴의 응집으로 인한 오버레이 측정 오류를 방지하여 오버레이 측정 불량을 개선할 수 있다.

### 도면의 간단한 설명

[0010] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 기판의 제1 영역 및 제2 영역을 설명하기 위한 도면이다.

도 2는 본 발명의 실시 예에 따른 기판의 제1 영역 상에 배치된 패턴들을 설명하기 위한 평면도이다.

도 3은 본 발명의 실시 예에 따른 기판의 제2 영역 상에 배치된 버니어 패턴들 및 더미 패턴들을 설명하기 위한 평면도이다.

도 4a 내지 도 4f는 본 발명의 실시 예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 5는 본 발명의 실시 예에 따른 메모리 시스템을 나타낸 구성도이다.

도 6은 본 발명의 실시 예에 따른 컴퓨팅 시스템을 나타내는 구성도이다.

### 발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시 예에 한정되는 것은 아니다. 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

[0013] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 기판의 제1 영역 및 제2 영역을 설명하기 위한 도면이다. 보다 구체적으로, 도 1b는 도 1a의 X영역을 확대한 도면이다.

[0014] 도 1a 및 도 1b를 참조하면, 기판(101)은 반도체 웨이퍼를 포함할 수 있다. 기판(101)은 제1 영역들(P1) 및 제2 영역(P2)을 포함할 수 있다.

[0015] 제1 영역들(P1) 각각의 상부에 반도체 장치의 셀 트랜지스터들 및 셀 트랜지스터들을 구동하기 위한 구동 회로들을 구성하는 메인 패턴들이 형성될 수 있다. 이러한 제1 영역들(P1) 각각은 칩 영역으로 정의될 수 있다.

[0016] 제2 영역(P2) 상부에 반도체 장치의 실질적인 동작에 관여하지 않은 테스트 패턴들, 버니어 패턴들 및 더미 패턴들이 형성될 수 있다. 제2 영역(P2)은 칩 영역들을 분리하기 위한 스크라이브 래인(scribe lane) 영역으로 정의될 수 있다.

- [0017] 제1 영역(P1) 상에 형성되는 메인 패턴들과 제2 영역(P2) 상에 형성되는 버니어 패턴들 및 더미 패턴들은 다수의 마스크 공정을 통해 형성될 수 있다. 버니어 패턴들 및 더미 패턴들은 메인 패턴들을 형성하기 위한 마스크 공정들 중 어느 하나를 이용하여 형성될 수 있다.
- [0018] 이하의 설명에서, 제1 공정의 패턴 그룹은 동일한 마스크 공정을 통해 형성되는 패턴들로 정의되며, 제2 공정의 패턴 그룹은 제1 공정의 패턴 그룹과 다른 마스크 공정을 통해 형성되는 패턴들로 정의된다. 제1 공정의 패턴 그룹은 실리콘막을 포함할 수 있으며, 제1 공정의 패턴 그룹은 실리사이드화 공정의 대상이 되는 패턴들을 포함할 수 있다. 제2 공정의 패턴 그룹은 제1 공정의 패턴 그룹 형성 후 형성된다.
- [0019] 이하의 설명에서, 제1 공정의 패턴 그룹이 낸드 플래시 메모리 소자의 게이트 패턴들을 포함하는 경우를 예로 들어 설명하였으나, 본 발명의 실시 예는 이에 제한되지 않는다.
- [0020] 본 발명의 실시 예에 따른 반도체 장치의 제조 방법은 기판(101) 상에 셀 트랜지스터들 및 구동회로를 구성하는 메인 패턴들을 형성하는 단계와, 기판(101)을 스크라이브 래인 영역인 제2 영역(P2)을 따라 분리하는 단계를 포함할 수 있다.
- [0022] 도 2는 본 발명의 실시 예에 따른 기판의 제1 영역 상에 배치된 패턴들을 설명하기 위한 평면도이다. 보다 구체적으로, 도 2는 제1 공정의 패턴 그룹의 일례로서, 낸드 플래시 메모리 소자의 게이트 패턴들을 설명하기 위한 평면도이다.
- [0023] 기판의 제1 영역(P1)은 활성 영역들(A)을 포함할 수 있다. 활성 영역들(A)은 서로 평행하게 배치되며, 서로 이격될 수 있다. 서로 이웃한 활성 영역들(A) 사이에 소자 분리 트렌치 및 소자 분리막이 배치될 수 있다.
- [0024] 활성 영역들(A)에 교차하는 방향을 따라 기판의 제1 영역(P1) 상에 게이트 패턴들(SSL, WL, DSL)이 형성될 수 있다. 게이트 패턴들(SSL, WL, DSL)은 제1 공정의 패턴 그룹에 포함될 수 있다. 게이트 패턴들은 드레인 셀렉트 라인(DSL), 소스 셀렉트 라인(SSL) 및 드레인 셀렉트 라인(DSL)과 소스 셀렉트 라인(SSL) 사이에 배치된 워드 라인들(WL)을 포함할 수 있다. 게이트 패턴들(SSL, WL, DSL)은 서로 평행하게 배치되며, 서로 이격될 수 있다.
- [0025] 활성 영역들(A) 각각과 드레인 셀렉트 라인(DSL)의 교차부에 드레인 셀렉트 트랜지스터가 형성될 수 있다. 활성 영역들(A) 각각과 소스 셀렉트 라인(SSL)의 차부에 소스 셀렉트 트랜지스터가 형성될 수 있다. 활성 영역들(A) 각각과 워드 라인들(WL)의 교차부에 셀 트랜지스터가 형성될 수 있다. 활성 영역들(A) 각각을 따라 일렬로 배열된 드레인 셀렉트 트랜지스터, 다수의 셀 트랜지스터 및 소스 셀렉트 트랜지스터는 접합 영역들에 의해 직렬로 연결되어, 낸드 플래시 메모리 소자의 메모리 스트링을 구성할 수 있다. 접합 영역들은 게이트 패턴들(DSL, WL, SSL) 사이에서 노출된 활성 영역들(A) 내부에 불순물을 주입하여 형성할 수 있다.
- [0026] 게이트 패턴들(SSL, WL, DSL)은 제1 영역(P1) 상에서 평균적으로 제1 밀도로 배치될 수 있다. 예를 들어, 소스 셀렉트 라인(SSL)과 드레인 셀렉트 라인(DSL) 각각은 워드 라인들(WL) 각각보다 넓은 폭으로 형성될 수 있다. 또한, 워드 라인들(WL) 사이의 간격은 소스 셀렉트 라인(SSL)과 이에 인접한 워드 라인(WL) 사이의 간격 또는 드레인 셀렉트 라인(DSL)과 이에 인접한 워드 라인(WL) 사이의 간격 보다 좁게 형성될 수 있다. 상술한 바와 같이 다양한 폭 및 다양한 간격으로 배치된 게이트 패턴들(SSL, WL, DSL)의 평균 배치 밀도를 제1 밀도로 정의한다.
- [0027] 도면에 도시되진 않았으나, 제1 영역(P1) 상에 반도체 장치의 구동 회로를 구성하는 트랜지스터들의 구동 게이트들이 형성될 수 있다. 구동 게이트들은 제1 공정의 패턴 그룹에 포함될 수 있다. 제1 밀도는 게이트 패턴들(SSL, WL, DSL) 뿐 아니라, 구동 게이트들을 포함하는 제1 영역(P1) 상의 제1 공정의 패턴 그룹의 평균 밀도일 수 있다.
- [0029] 도 3은 본 발명의 실시 예에 따른 기판의 제2 영역 상에 배치된 버니어 패턴들 및 더미 패턴들을 설명하기 위한 평면도이다. 도 3은 제1 공정의 패턴 그룹 뿐 아니라, 제2 공정의 패턴 그룹을 나타낸다.
- [0030] 기판의 제2 영역(P2) 상에 오버레이 버니어 패턴들(OB, IB) 및 더미 패턴들(DP)이 형성될 수 있다. 오버레이 버니어 패턴들(OB, IB)은 오버레이 버니어로 이용된다. 더미 패턴들(DP)은 오버레이 버니어 패턴들(OB, IB) 주위에 오버레이 버니어 패턴들(OB, IB)을 둘러싸도록 배치될 수 있다.

- [0031] 오버레이 버니어 패턴(0B, IB)은 제1 공정의 패턴 그룹에 포함되는 제1 버니어 패턴 및 제2 공정의 패턴 그룹에 포함된 제2 버니어 패턴을 포함할 수 있다. 예를 들어, 오버레이 버니어 패턴들은 아웃 박스 패턴(0B) 및 인 박스 패턴(IB)을 포함할 수 있다. 아웃 박스 패턴(0B)은 인 박스 패턴(IB)으로부터 이격되어 인 박스 패턴(IB)을 둘러싸도록 배치될 수 있다. 아웃 박스 패턴(0B)은 다수의 바 타입 패턴들을 포함할 수 있으며, 아웃 박스 패턴(0B)의 형태는 이에 한정되지 않는다. 인 박스 패턴(IB)은 아웃 박스 패턴(0B)으로 둘러싸인 영역 내부에 배치될 수 있다. 인 박스 패턴(IB)은 직사각형 타입 패턴을 포함할 수 있으며, 인 박스 패턴(IB)의 형태는 이에 한정되지 않는다.
- [0032] 상술한 아웃 박스 패턴(0B) 및 인 박스 패턴(IB) 중 어느 하나는 제1 버니어 패턴으로 정의되고, 나머지 하나는 제2 버니어 패턴으로 정의될 수 있다. 즉, 아웃 박스 패턴(0B) 및 인 박스 패턴(IB) 중 어느 하나는 제1 공정의 패턴 그룹에 포함되고, 나머지 하나는 제2 공정의 패턴 그룹에 포함될 수 있다. 이하에서는 설명의 편의를 위해 아웃 박스 패턴(0B)이 제1 공정의 패턴 그룹에 포함되고, 인 박스 패턴(IB)이 제2 공정의 패턴 그룹에 포함되는 경우를 예로 들어 설명한다.
- [0033] 제1 공정의 패턴 그룹 형성 완료 후, 후속의 제2 공정을 진행하여 제2 공정의 패턴 그룹을 형성할 수 있다. 제1 공정의 패턴 그룹의 아웃 박스 패턴(0B)과 제2 공정의 패턴 그룹의 인 박스 패턴(IB)의 측정을 통해 제1 공정의 패턴 그룹과 제2 공정의 패턴 그룹의 정렬도를 측정할 수 있다.
- [0034] 더미 패턴들(DP)은 오버레이 버니어 패턴들(0B, IB)보다 조밀하게 배치될 수 있다. 더미 패턴들(DP)은 제1 공정의 패턴 그룹에 포함될 수 있다. 제2 영역(P2) 상에 형성되는 제1 공정의 패턴 그룹의 평균 배치 밀도가 도2에서 상술한 제1 밀도보다 높은 제2 밀도가 되도록 더미 패턴들(DP)은 제1 영역(도 1의 P1) 상에 형성된 게이트 패턴들(도 2의 SSL, DSL, WL)보다 조밀하게 배치된다. 더미 패턴들(DP)은 직사각형, 메쉬 타입 등 다양한 형태로 형성될 수 있다.
- [0036] 이하, 도 4a 내지 도 4f를 참조하여, 제1 공정의 패턴 그룹 형성 방법에 대해 보다 구체적으로 설명한다.
- [0037] 도 4a 내지 도 4f는 본 발명의 실시 예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다. 도 4a 내지 도 4f는 도 2에 도시된 선 "I-I'" 및 "II-II'" 방향을 따라 절취한 단면도들이다.
- [0038] 도 4a를 참조하면, 소자 분리 트렌치 또는 소자 분리막(미도시)에 의해 활성 영역(A)이 정의된 기판(101) 상에 제1 공정의 패턴 그룹을 형성한다.
- [0039] 제1 공정의 패턴 그룹은 기판(101)의 제1 영역 상에 형성된 예비 패턴들(PL), 기판(101)의 제2 영역 상에 형성된 더미 패턴들(DP) 및 제1 버니어 패턴(예를 들어, 아웃 박스 패턴(도 3의 0B))을 포함할 수 있다. 제1 공정의 패턴 그룹(PL, DP)은 실리콘막(109)을 포함할 수 있다. 보다 구체적으로 예를 들면, 예비 패턴들(PL)은 도2에 도시된 낸드 플래시 메모리 소자의 게이트 패턴들(WL, DSL, SSL) 및 구동 회로의 구동 게이트 패턴들과 동일한 레이아웃으로 형성된 예비 게이트 패턴들일 수 있다. 예비 게이트 패턴들은 워드 라인용 패턴들, 드레인 셀렉트 라인용 패턴 및 소스 셀렉트 라인용 패턴으로 구분될 수 있다. 이 경우, 예비 패턴들(PL) 각각은 게이트 절연막 또는 터널 절연막으로 이용되는 제1 절연막(103), 플로팅 게이트(FG)로 이용되는 데이터 저장막(105), 유전체막(107) 및 컨트롤 게이트로 이용되는 실리콘막(109)을 포함할 수 있다. 제1 절연막(103), 데이터 저장막(105), 유전체막(107) 및 실리콘막(109)은 기판(101) 상에 순차로 적층된다. 실리콘막(109) 상에 예비 패턴들(PL)을 패터닝하는 식각 공정 시 식각 베리어로 이용된 마스크 패턴(111)이 잔류될 수 있다.
- [0040] 상술한 예비 패턴들(PL)과 동시에 기판(101)의 제2 영역 상에 더미 패턴들(DP) 및 제1 버니어 패턴(도 3의 0B)이 형성될 수 있다. 더미 패턴들(DP) 및 제1 버니어 패턴(도 3의 0B)은 예비 패턴들(PL)과 동일한 적층 구조로 형성될 수 있다. 즉, 더미 패턴들(DP) 및 제1 버니어 패턴(도 3의 0B) 각각은 제1 절연막(103), 데이터 저장막(105), 유전체막(107) 및 실리콘막(109)의 적층 구조로 형성될 수 있으며, 실리콘막(109) 상에 잔류된 마스크 패턴(111)을 더 포함할 수 있다.
- [0041] 더미 패턴들(DP)은 제1 버니어 패턴 주위에 예비 패턴들(PL)보다 높은 밀도로 배치된다. 더미 패턴들(DP)의 배치밀도는 기판(101)의 제1 영역 상에 형성되는 예비 패턴들(PL)의 평균 배치밀도를 고려하여 설정된다. 보다 구체적으로, 더미 패턴들(DP)의 배치밀도는 기판(101)의 제2 영역 상에 형성되는 제1 버니어 패턴과 더미 패턴들(DP)의 평균 배치밀도가 제1 영역 상에 형성되는 예비 패턴들(PL)들의 평균 배치밀도보다 높게끔 설정된다.
- [0042] 제1 절연막(103)은 실리콘 산화막 또는 실리콘 산질화막을 포함할 수 있다. 데이터 저장막(105)은 언도프트 폴

리실리콘막 또는 도프트 폴리실리콘막을 포함할 수 있다. 유전체막(107)은 제1 산화막, 질화막 및 제2 산화막이 적층된 구조로 형성될 수 있다. 유전체막(107)의 제2 산화막은 실리콘 산화막보다 유전상수가 큰 고유전 산화막을 포함할 수 있다. 고유전 산화막으로서, 알루미늄 산화막( $Al_2O_3$ ) 등이 이용될 수 있다. 실리콘막(109)은 불순물을 포함하는 도프트 실리콘막일 수 있다. 마스크 패턴(111)은 질화막을 포함할 수 있다.

[0043] 상술한 예비 패턴들(PL), 더미 패턴들(DP) 및 제1 버니어 패턴을 포함하는 제1 공정의 패턴 그룹은 다양한 방식으로 형성될 수 있다. 예를 들어, 제1 영역 및 제2 영역을 포함하는 기판(101) 상에 제1 절연막(103) 및 데이터 저장막(105)을 적층한 후, 기판(101)의 제1 영역 상에 형성된 제1 절연막(103) 및 데이터 저장막(105)을 활성 영역(A)의 레이아웃과 동일하게 패터닝한다. 이 후, 기판(101)의 제1 영역 일부를 식각하여 소자 분리 트렌치(미도시)를 형성하고, 소자 분리 트렌치 내부에 소자 분리막(미도시)을 형성한다. 이어서, 유전체막(107) 및 실리콘막(109)을 순차로 적층한다. 유전체막(107)은 도 2에 도시된 소스 셀렉트 라인(SSL)과 드레인 셀렉트 라인(DSL)이 배치될 영역에 형성된 콘택홀(미도시)을 포함할 수 있다. 유전체막(107)에 형성된 콘택홀 내부에 실리콘막(109)이 채워져서, 소스 셀렉트 라인(SSL)과 드레인 셀렉트 라인(DSL)이 배치될 영역에서, 실리콘막(109)과 데이터 저장막(105)이 전기적으로 연결될 수 있다. 이 후, 마스크 패턴(111)을 형성한다. 마스크 패턴(111)의 레이아웃은 형성하고자 하는 예비 패턴들(PL), 더미 패턴들(DP) 및 제1 버니어 패턴의 레이아웃과 동일하다. 이어서, 마스크 패턴(111)을 식각 베리어로 이용한 식각 공정으로 실리콘막(109), 유전체막(107) 및 데이터 저장막(105)을 식각한다. 이 때, 제1 절연막(103)이 더 식각될 수 있다. 이로써, 제1 공정의 패턴 그룹이 형성될 수 있다.

[0044] 기판(101)의 제1 영역 상에 형성된 예비 패턴들(PL)이 예비 게이트 패턴들인 경우, 예비 패턴들(PL) 양측의 기판(101) 내부에 불순물을 주입하여 접합 영역들(JC)을 형성할 수 있다. 이어서, 제1 공정의 패턴 그룹 표면을 따라 식각 정지막(121)을 형성할 수 있다. 식각 정지막(121)은 질화막으로 형성될 수 있다. 식각 정지막(121) 형성 전, 희생 산화막(미도시)이 더 형성될 수 있다.

[0045] 이어서, 식각 정지막(121) 상에 제1 공정의 패턴 그룹(PL, DP)을 덮는 제2 절연막(123)을 형성한다. 제2 절연막(123)은 기판(101)의 제1 영역 및 제2 영역 간 제1 공정의 패턴 그룹(PL, DP)의 배치 밀도 차이에 의해 기판(101)의 제1 영역 및 제2 영역 상에서 서로 다른 두께로 형성될 수 있다. 보다 구체적으로 기판(101)의 제1 영역 상에서 제2 절연막(123)은 예비 패턴들(PL)을 제1 두께(D1)로 덮을 수 있다. 기판(101)의 제2 영역 상에서 제2 절연막(123)은 더미 패턴들(DP)을 제1 두께(D1)보다 두꺼운 제2 두께(D2)로 덮을 수 있다. 제2 절연막(123)은 제1 공정의 패턴 그룹(PL, DP)의 배치밀도가 상대적으로 높은 기판(101)의 제2 영역 상에서 더 두껍게 형성된다.

[0046] 제2 절연막(123)은 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 포함할 수 있다. 제2 절연막(123)은 제1 공정의 패턴 그룹의 워드 라인용 패턴들(PL) 사이와 더미 패턴들(DP) 사이의 공간을 채우도록 형성될 수 있다.

[0047] 도 4b를 참조하면, 제2 절연막(123)을 화학적물리적연마(Chemical Mechanical Polishing) 공정 등의 평탄화 공정으로 평탄화한다. 평탄화 공정은 기판(101)의 제1 영역 상에 형성된 식각 정지막(121)의 일부가 노출될 때까지 실시될 수 있다. 평탄화 공정은 기판(101)의 제2 영역 상에 형성된 식각 정지막(121)이 제2 절연막(123)으로 완전히 덮힌 상태로 잔류될 수 있도록 실시된다. 즉, 평탄화 공정은 제1 공정의 패턴 그룹 배치밀도가 상대적으로 높은 기판(101)의 제2 영역 상에서 제1 공정의 패턴 그룹 배치밀도가 상대적으로 낮은 기판(101)의 제1 영역 상에서보다 제2 절연막(123)이 더 두꺼운 두께로 잔류될 수 있도록 실시된다.

[0048] 평탄화된 제2 절연막(123P1)에 의해 기판(101)의 제1 영역 상에 형성된 식각 정지막(121)의 일부가 노출된다. 또한, 기판(101)의 제2 영역 상에 형성된 식각 정지막(121) 상에서 더미 패턴들(DP)을 덮도록 평탄화된 제2 절연막(123P1)이 소정 두께 잔류된다.

[0049] 도 4c를 참조하면, 평탄화된 제2 절연막(123P1) 및 식각 정지막(121)을 이방성 건식 식각 공정 등의 에치백(etchback) 공정으로 식각하여 절연 패턴(123P2) 및 식각 정지 패턴(121P1)을 형성한다. 이 때, 기판(101)의 제1 영역 상에 형성된 마스크 패턴(111)이 제거될 수 있다.

[0050] 기판(101)의 제1 영역 상에서, 절연 패턴(123P2) 및 식각 정지 패턴(121P1)은 기판(101)의 제1 영역 상에 형성된 예비 패턴들(PL)보다 낮은 높이로 잔류되어 제1 영역 상의 실리콘막(109)을 노출시킬 수 있다. 이 때, 절연 패턴(123P2)의 높이는 유전체막(107)보다 높게 제어될 수 있다.

[0051] 기판(101)의 제2 영역 상에서, 절연 패턴(123P2) 및 식각 정지 패턴(121P1)은 제2 영역 상에 형성된 더미 패턴

들(DP) 및 제1 버니어 패턴(예를 들어, 도 3의 아웃 박스 패턴(OB))의 실리콘막(109)을 덮도록 잔류하여, 더미 패턴들(DP) 및 제1 버니어 패턴의 외부 노출을 차단한다.

[0052] 본 발명의 실시 예는, 절연 패턴(123P2)을 기판(101)의 제1 영역 상에서보다 제2 영역 상에서 높은 높이로 잔류시킴으로써 제2 영역 상에 형성된 실리콘막(109)을 절연 패턴(123P2)으로 보호하되, 제1 영역 상에 형성된 실리콘막(109)은 외부로 노출시킬 수 있다. 본 발명의 실시 예는 제1 공정의 패턴 그룹을 제1 영역 상에서보다 제2 영역 상에서 더 조밀하게 배치함으로써, 제2 절연막(123)의 중착 두께 차이를 유도할 수 있다. 이로써, 본 발명의 실시 예는 절연 패턴(123P2)을 기판(101)의 제1 영역 상에서보다 제2 영역 상에서 높은 높이로 잔류시킬 수 있다.

[0053] 도 4d를 참조하면, 제1 영역 상에서 실리콘막(109)이 노출되고, 제2 영역 상에서 실리콘막(109)이 절연 패턴(123P2)에 의해 차단된 상태에서 금속막(129)을 중착한다. 금속막(129) 상에 산화 방지막(미도시)이 더 형성될 수 있다. 금속막(129)은 코발트(Co) 또는 니켈(Ni)을 포함할 수 있다. 산화 방지막은 티타늄 질화막(TiN)을 포함할 수 있다.

[0054] 도 4e를 참조하면, 실리사이드 반응이 유도될 수 있도록 열 공정을 실시한다. 이로써, 기판(101)의 제1 영역 상에서 실리콘막(109)의 일부가 금속막(129)과 반응하여 제1 영역 상의 실리콘막(109)이 소정 두께의 실리사이드막(119)으로 변화된다. 그 결과, 기판(101)의 제1 영역 상에 실리사이드막(119)으로 변화되지 않고 잔류된 실리콘막(109A)과 실리사이드 반응을 통해 형성된 실리사이드막(119)의 적층 구조를 포함하는 컨트롤 게이트(CG)가 형성된다. 컨트롤 게이트(CG)는 워드 라인들(WL), 도 2에서 상술한 소스 셀렉트 라인(SS) 및 드레인 셀렉트 라인(DSL), 및 구동 회로의 구동 게이트들 등의 게이트 패턴일 수 있다. 실리콘막(109)의 일부를 실리사이드막(119)으로 변화시킴으로써, 게이트 패턴들의 저항을 낮출 수 있다.

[0055] 상술한 실리사이드 반응은 열 공정에 의해 실리콘막(109)과 금속막(129)이 반응함으로써 발생한다. 실리콘막(109)과 반응하지 않고 잔류하는 금속막(129)은 제거된다. 실리사이드 반응은 실리콘막(109)과 금속막(129)이 접촉된 영역에서 이루어진다. 본 발명의 실시 예에 따르면, 도 4d에 도시된 바와 같이 제2 영역 상에 형성된 실리콘막(109)과 금속막(129) 사이에 절연 패턴(123P2)이 잔류되므로 제2 영역 상의 실리콘막(109)은 절연 패턴(123P2)에 의해 실리사이드막으로의 변화가 방지된다.

[0056] 상술한 실리사이드 반응으로 형성된 실리사이드막(119) 내부에 응집(agglomeration)이 발생할 수 있다. 응집은 오버레이 측정 시 측정 불량을 유발할 수 있다. 본 발명의 실시 예에 따르면, 제2 영역 상에서 실리사이드 반응이 방지되므로 제2 영역 상의 제1 버니어 패턴(예를 들어, 도 3의 OB) 내부에 응집이 발생되는 것이 방지된다.

[0057] 실리사이드막(119) 형성 후, 절연 패턴(123P2)을 제거할 수 있다.

[0058] 도 4f를 참조하면, 실리사이드막(119)을 포함하는 제1 공정의 패턴 그룹의 패턴들 사이에 에어캡(AG)이 형성될 수 있도록 제3 절연막(131)을 형성할 수 있다.

[0059] 이어서, 더미 패턴들(DP)과 동일한 적층 구조를 갖는 제1 버니어 패턴(예를 들어, 도 3의 아웃 박스 패턴(OB))을 오버레이 버니어로 이용하는 후속 공정을 진행한다.

[0060] 예를 들어, 후속 공정으로서, 기판(101)의 제1 영역 상에 형성된 제3 절연막(131)에 콘택홀(미도시)을 형성하기 위한 마스크 공정이 실시될 수 있다. 이 때, 콘택홀 형성과 함께, 기판(101)의 제2 영역 상에 제2 버니어 패턴(예를 들어, 도 3의 인 박스 패턴(IB))을 형성할 수 있다. 즉, 콘택홀 및 제2 버니어 패턴(IB)은 제2 공정의 패턴 그룹일 수 있다.

[0061] 이 후, 제1 버니어 패턴(도 3의 OB)과 제2 버니어 패턴(IB)을 측정하여 정렬도를 확인할 수 있다. 본 발명의 실시 예에 따르면, 제1 버니어 패턴(OB)의 실리사이드 반응이 방지되므로 제1 버니어 패턴(OB) 내부에 응집이 발생되지 않으므로 제1 버니어 패턴(OB)의 측정 불량을 개선할 수 있다. 그 결과, 본 발명의 실시 예는 오버레이 측정 불량을 개선하여 반도체 장치의 제조 수율을 높일 수 있다.

[0062] 더미 패턴들(DP)의 밀도를 본 발명의 실시 예와 같이 제어하지 않는 경우, 오버레이 버니어로 이용되는 버니어 패턴에 실리사이드 반응이 일어날 수 있다. 이 경우, 버니어 패턴에 형성된 실리사이드막을 제거하여 오버레이 측정 불량을 개선할 수 있다. 이 때, 버니어 패턴의 실리사이드막 만을 선택적으로 제거하기 위한 마스크 공정이 추가될 수 있다. 본 발명의 실시 예는 버니어 패턴의 실리사이드 반응을 원천적으로 차단하므로, 버니어 패턴의 실리사이드막을 제거하기 위한 마스크 공정을 별도로 실시할 필요가 없다. 이로써, 본 발명의 실시 예는

반도체 장치의 제조 공정을 단순화할 수 있다.

[0064] 도 5는 본 발명의 실시 예에 따른 메모리 시스템을 나타낸 구성도이다.

[0065] 도 5를 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(1100)은 메모리 소자(1120)와 메모리 컨트롤러(1110)를 포함한다.

[0066] 메모리 소자(1120)는 도 4a 내지 도 4f에서 상술한 바와 같이 오버레이 버너어로 이용되는 패턴의 실리콘막에 실리사이드 반응이 발생하지 않도록 제어된 공정들을 통해 형성될 수 있다. 또한, 메모리 소자(1120)는 복수의 플래시 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다.

[0067] 메모리 컨트롤러(1110)는 메모리 소자(1120)를 제어하도록 구성되며, SRAM(1111), CPU(1112), 호스트 인터페이스(1113), ECC(1114), 메모리 인터페이스(1115)를 포함할 수 있다. SRAM(1111)은 CPU(1112)의 동작 메모리로 사용되고, CPU(1112)는 메모리 컨트롤러(1110)의 데이터 교환을 위한 제반 제어 동작을 수행하고, 호스트 인터페이스(1113)는 메모리 시스템(1100)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 또한, ECC(1114)는 메모리 소자(1120)로부터 리드된 데이터에 포함된 에러를 검출 및 정정하고, 메모리 인터페이스(1115)는 메모리 소자(1120)와의 인터페이싱을 수행한다. 이 밖에도 메모리 컨트롤러(1110)는 호스트와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM 등을 더 포함할 수 있다.

[0068] 이와 같이, 구성을 갖는 메모리 시스템(1100)은 메모리 소자(1120)와 컨트롤러(1110)가 결합된 메모리 카드 또는 SSD(Solid State Disk)일 수 있다. 예를 들어, 메모리 시스템(1100)이 SSD인 경우, 메모리 컨트롤러(1110)는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들어, 호스트)와 통신할 수 있다.

[0070] 도 6은 본 발명의 실시 예에 따른 컴퓨팅 시스템을 나타내는 구성도이다.

[0071] 도 6을 참조하면, 본 발명의 실시예에 따른 컴퓨팅 시스템(1200)은 시스템 버스(1260)에 전기적으로 연결된 CPU(1220), RAM(1230), 유저 인터페이스(1240), 모뎀(1250), 메모리 시스템(1210)을 포함할 수 있다. 또한, 컴퓨팅 시스템(1200)이 모바일 장치인 경우, 컴퓨팅 시스템(1200)에 동작 전압을 공급하기 위한 배터리가 더 포함될 수 있으며, 응용 칩셋, 카메라 이미지 프로세서(CIS), 모바일 디램 등이 더 포함될 수 있다.

[0072] 메모리 시스템(1210)은 도 5를 참조하여 설명한 바와 같이, 메모리 소자(1212), 메모리 컨트롤러(1211)로 구성될 수 있다.

[0074] 본 발명의 기술 사상은 상기 바람직한 실시 예들에 따라 구체적으로 기록되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

### 부호의 설명

[0076] 101: 기판 P1: 제1 영역

P2: 제2 영역 103, 123: 절연막

105: 데이터 저장막 107: 유전체막

109: 실리콘막 123P2: 절연 패턴

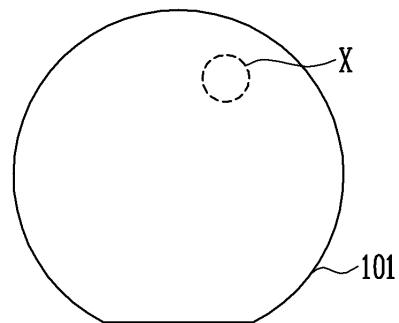
OB, IB: 버너어 패턴 PL: 예비 패턴

DP: 더미 패턴 121: 식각 정지막

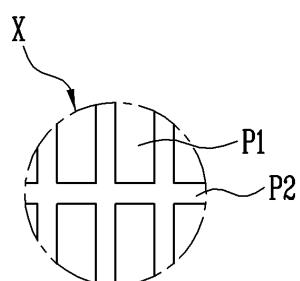
119: 실리사이드막 129: 금속막

도면

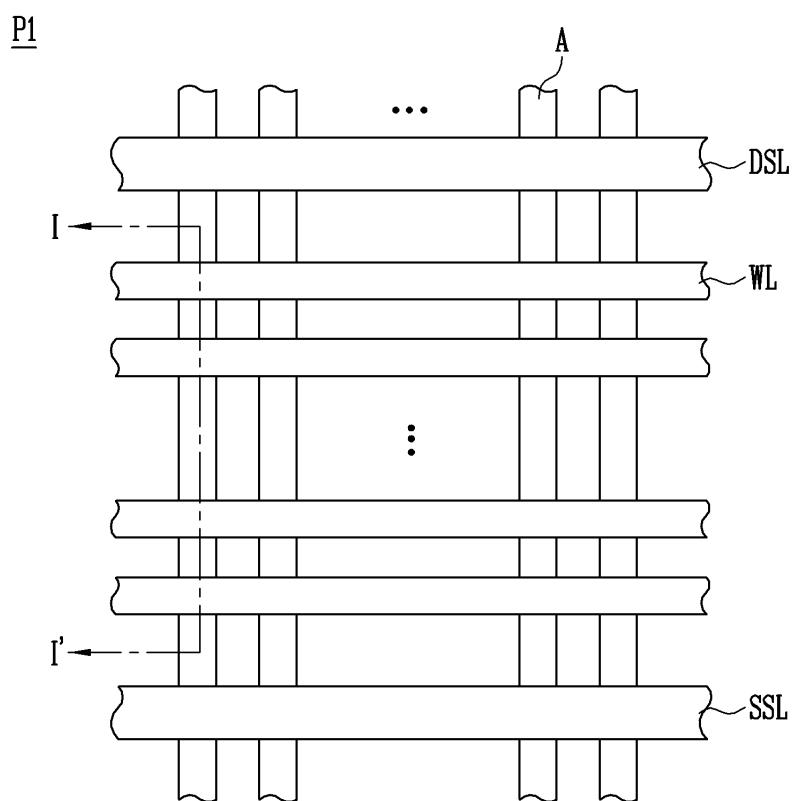
도면1a



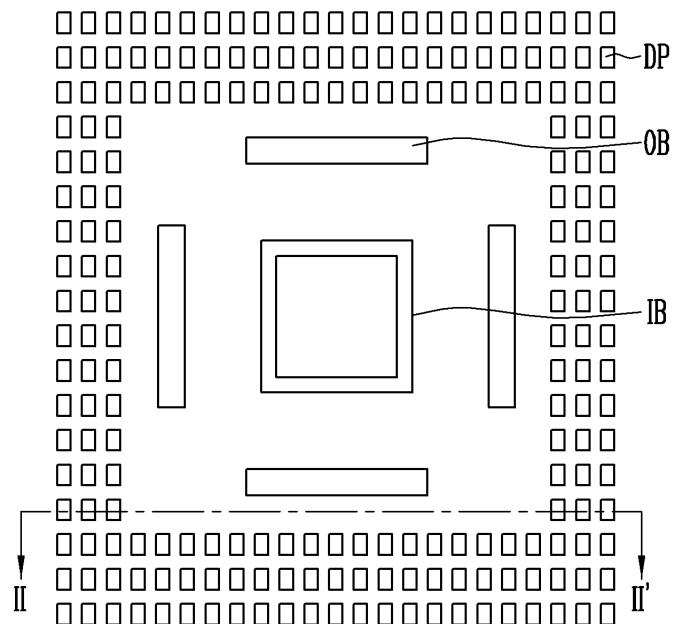
도면1b



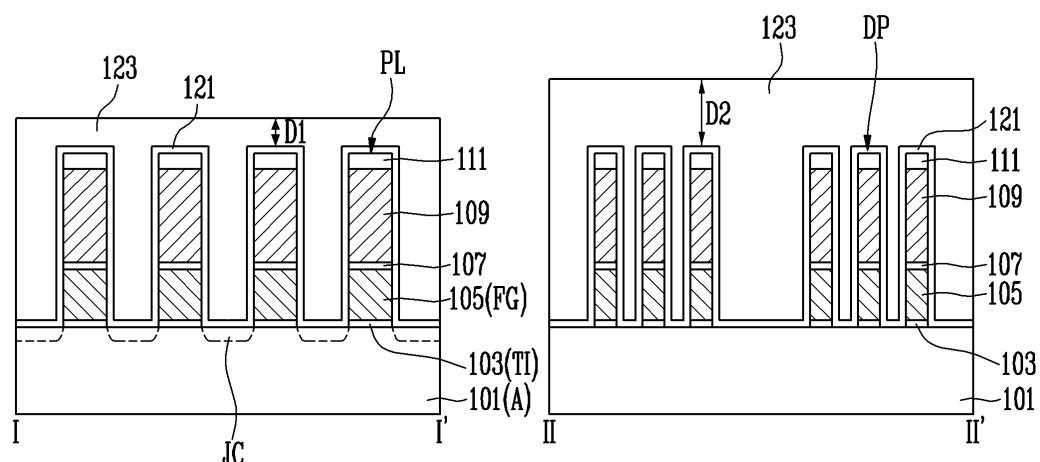
도면2



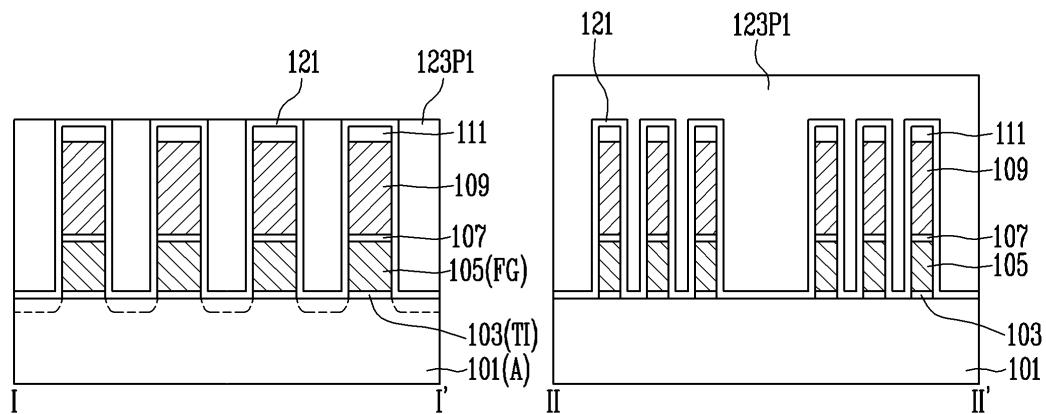
## 도면3

P2

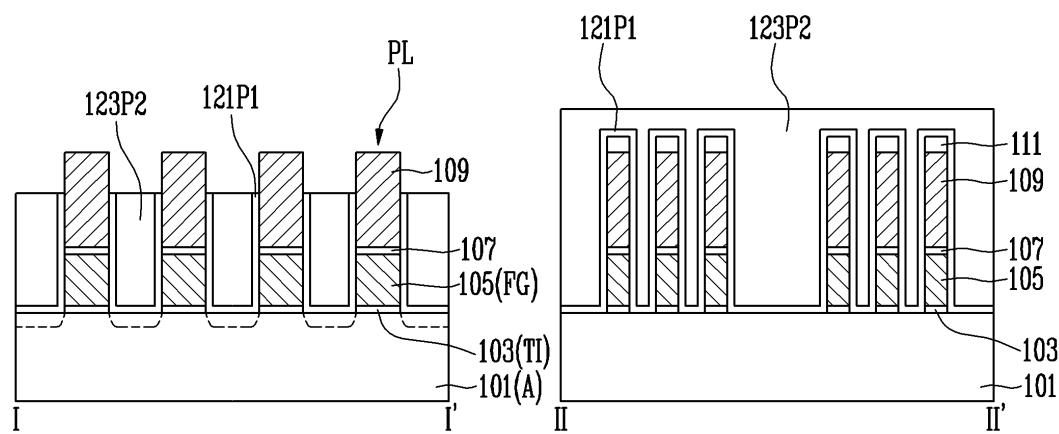
## 도면4a



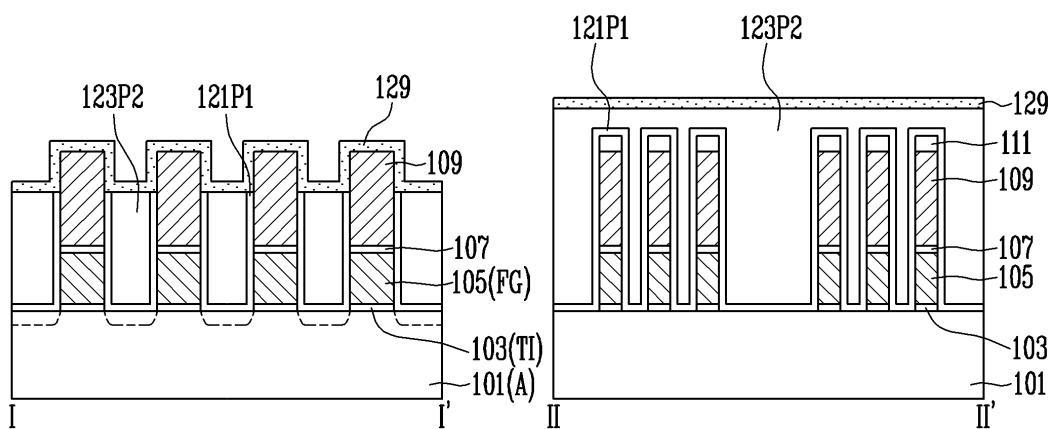
도면4b



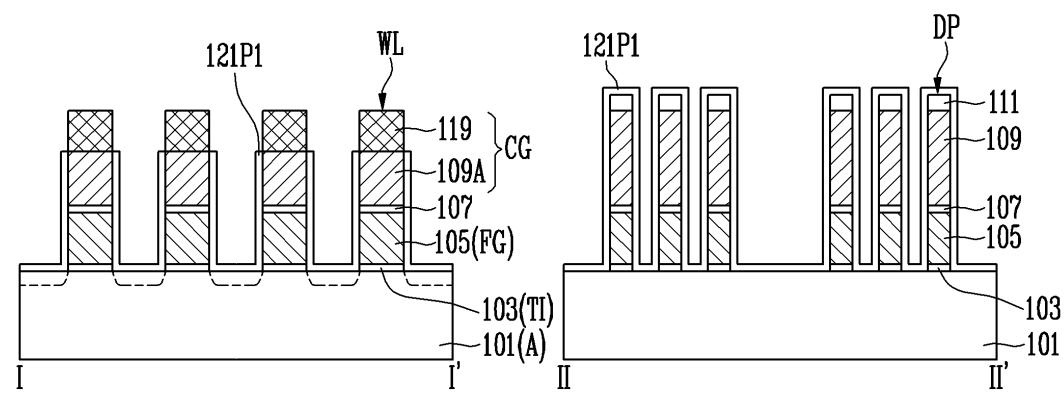
도면4c



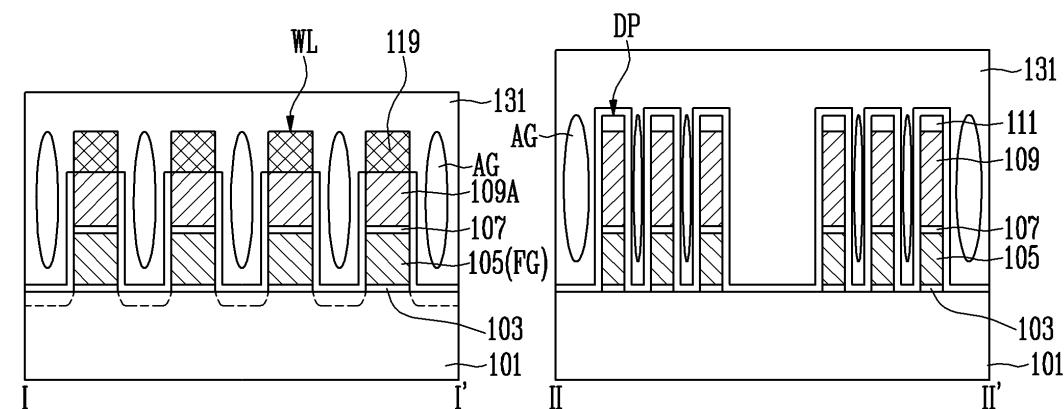
도면4d



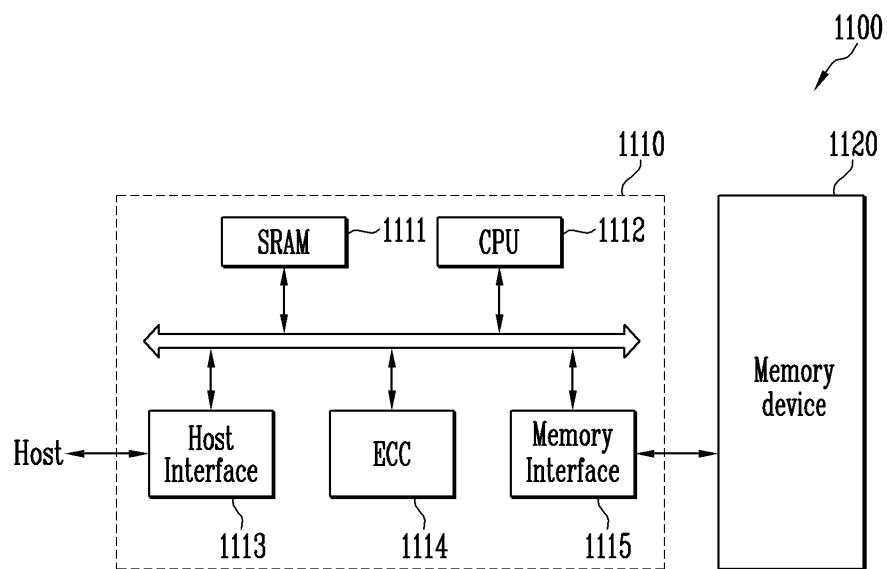
도면4e



도면4f



도면5



도면6

