

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04L 27/02

H04N 7/015



[12] 发明专利申请公开说明书

[21] 申请号 01140278.4

[43] 公开日 2003 年 1 月 15 日

[11] 公开号 CN 1391382A

[22] 申请日 2001. 12. 11 [21] 申请号 01140278.4

[30] 优先权

[32] 2001. 6. 11 [33] KR [31] 32610/2001

[71] 申请人 LG 电子株式会社

地址 韩国汉城

[72] 发明人 崔仁焕 具永谟 姜景远 郭国渊

[74] 专利代理机构 中原信达知识产权代理有限责任公司

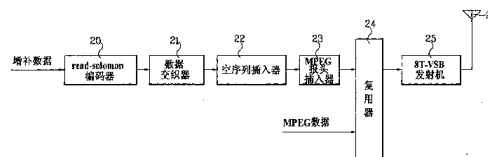
代理人 余 朦 方 挺

权利要求书 7 页 说明书 14 页 附图 10 页

[54] 发明名称 数字式残留边带传输系统

[57] 摘要

公开了一种能够同时发送增补数据和 MPEG 图象/声音数据的数字式 VSB 传输系统。该系统起初对增补数据码元进行编码,以生成奇偶校验位,并将该奇偶校验位和预定义序列复用,并把复用数据发送给接收机。该系统与市场上现有的 ATSC 8T - VSB 接收机兼容。与仅发送预定义序列的其它类型的 VSB 传输系统相比,它具有多个优点。另外,与仅使用 1/2 比率卷积编码的系统相比,根据本发明的系统具有更好的对信道中重影和噪音信号抗干扰的能力。



第二复用器，用于根据所述的第二控制信号将所述第三奇偶校验位与所述预定义序列复用，从而生成第二输出比特。

4. 如权利要求 2 所述的 VSB 传输系统，其特征在于，所述第二控制信号是具有重复的穿孔码型的穿孔控制信号。

5. 如权利要求 3 所述的 VSB 传输系统，其特征在于，所述 1/2 比率卷积编码器包括：

10 第一组复用器 $G_1, G_2, G_3, \dots, G_{M-1}$ ，其中 G_i 将所述信息比特与它的给定常数 g_i 复用；

第二组复用器 $H_1, H_2, H_3, \dots, H_{M-1}$ ，其中 H_i 将先前的第三奇偶校验位值与它的给定常数 h_i 复用；

15 寄存器组 $r_1, r_2, r_3, \dots, r_{M-1}, r_M$ ，其中 r_M 存储所述先前的第三奇偶校验位值， r_i 存储通过相加 G_i 、 H_i 和 r_{i+1} 的输出而得到的值；和
加法器组，其中第 i 个加法器将所述 G_i 、 H_i 和 r_{i+1} 的输出相加，
其中 $g_i, h_i \in \{0,1\}$ ， $i=M-1, \dots, 3, 2, 1$ ，存储在 r_1 中的值作为第三奇偶校验位输出。

20 6. 如权利要求 3 所述的 VSB 传输系统，其特征在于，所述的 1/2 比率卷积编码器包括：

第一寄存器，用于存储先前的第三奇偶校验位值；

加法器，用于相加所述的存储在所述第一寄存器中的值和所述输入数据码元的所述信息比特；以及

第二寄存器，用于存储所述的相加值，

25 其中，所述存储在所述第二寄存器中的值作为所述第三奇偶校验位输出。

7. 如权利要求 3 所述的 VSB 传输系统，其特征在于，所述的 1/2 比率卷积编码器包括：

30 第一寄存器，用于存储先前的第三奇偶校验位值；

1. 一种残留边带 (VSB) 传输系统, 包括:
增补数据处理器, 用于对输入数据进行处理, 包括 Read-Solomon
5 编码、插入预定义序列, 以及插入 MPEG 报头;
第一复用器, 用于将 MPEG 数据和在所述增补数据处理器中处理的所述数据进行复用;
数据编码部件, 用于对所述复用数据进行处理, 包括数据随机化、
添加第一 Read-Solomon 奇偶校验, 数据交织, 以及字节-码元转换,
10 以生成输入数据码元;
增补数据码元处理器, 用于以 1/2 编码率对所述输入数据码元的信息比特进行编码, 并把所述编码信息比特与所述预定义序列复用;
数据解码部件, 用于对经过了所述增补数据码元处理器处理的所述数据进行处理, 包括码元-字节转换, 数据交织, 去除在所述数据编
15 码部件中添加的所述第一 Read-Solomon 奇偶校验; 以及
VSB 发射机, 用于对经过了所述数据解码部件处理的所述数据进行处理, 包括网格编码, 添加第二 Read-Solomon 奇偶校验, 数据交织, VSB 调制, 以及发送到接收侧。
2. 如权利要求 1 所述的 VSB 传输系统, 其特征在于, 所述的 VSB 传输系统还包括控制信号发生器, 用于生成指示所述输入数据码元是否为增补数据码元的第一控制信号, 并基于所述第一控制信号生成第二控制信号, 所述控制信号发生器把所述控制信号提供给所述增补数据码元处理器。
- 25
3. 如权利要求 2 所述的 VSB 传输系统, 其特征在于, 所述增补数据码元处理器包括:
1/2 比率卷积编码器, 用于把所述信息比特作为第一输出比特输出, 并以所述的 1/2 编码率对所述信息比特进行编码, 从而生成第三
30 奇偶校验位; 以及

第一加法器，用于将所述的存储在所述第一寄存器中的值和所述输入数据码元的所述信息比特相加；

第二寄存器，用于存储由所述第一加法器相加的所述值；

5 第二加法器，用于将存储在所述第二寄存器中的所述值和所述先前的第三奇偶校验位值相加；以及

第三寄存器，用于存储由所述第二加法器相加的所述值，

其中，所述的存储在所述第三寄存器中的值是作为所述第三奇偶校验位的输出。

10 8. 如权利要求 3 所述的 VSB 传输系统，其特征在于，所述的 1/2 比率卷积编码器包括：

第一寄存器，用于存储先前的第三奇偶校验位值；

第一加法器，用于将所述的存储在所述第一寄存器中的值和所述先前的第三奇偶校验位值相加；

15 第二寄存器，用于存储由所述第一加法器相加的所述值；

第二加法器，用于将存储在所述第二寄存器中的所述值和所述输入数据码元的所述信息比特相加；

第三寄存器，用于存储由所述第二加法器相加的所述值；以及

第四寄存器，用于存储所述的存储在所述第三寄存器中的值，

20 其中，所述的存储在所述第四寄存器中的值作为所述第三奇偶校验位输出。

9. 如权利要求 2 所述的 VSB 传输系统，其特征在于，所述的增补数据码元处理器包括：

25 第一选择单元，如果所述的第一控制信号指示所述的输入数据码元是所述的增补数据码元，则所述的第一选择单元选取先前的第二寄存器值，否则选取先前的第一寄存器值；

第一寄存器，用于存储由所述第一选择单元选取的所述值；

30 加法器，用于将存储在所述第一寄存器中所述的值和所述输入数据码元的所述信息比特相加；

第二选择单元，如果所述的第一控制信号指示所述的输入数据码元是所述的增补数据码元，则所述的第二选择单元选取由所述加法器相加的所述值，否则选取先前的第二寄存器值；

第二寄存器，用于存储由所述第二选择单元选取的所述值；

5 第三选择单元，如果所述的第二控制信号指示所述的输入数据码元是所述的增补数据码元，则所述的第三选择单元选取存储在所述第二寄存器中的所述值，否则选取所述输入数据码元的所述预定义序列；以及

10 第四选择单元，如果所述第一控制信号指示所述输入数据码元是所述增补数据码元，则所述的第四选择单元选取由所述第三选择单元选取的所述值，否则选取所述输入数据码元的所述预定义序列，

所述信息比特是作为第一输出比特输出的，由所述第四选择单元选取的所述值是作为第二输出比特输出的，以及所述先前的第一和第二寄存器值分别是先前存储在所述第一和第二寄存器中的值。

15

10. 一种用于接收和发送数字广播信号的残留边带（VSB）接收系统，所述接收系统包括：

增补数据处理器，用于对输入数据进行处理，包括 Read-Solomon 编码、插入预定义序列，以及插入 MPEG 报头；

20 第一复用器，用于将 MPEG 数据和在所述增补数据处理器中处理的所述数据进行复用；

数据编码部件，用于对所述复用数据进行处理，包括数据随机化，添加第一 Read-Solomon 奇偶校验，数据交织，以及字节-码元转换，以生成输入数据码元；

25 增补数据码元处理器，用于以 1/2 编码率对所述输入数据码元的信息比特进行编码，并把所述编码信息比特与所述预定义序列复用；

数据解码部件，用于对经过了所述增补数据码元处理器处理的所述数据进行处理，包括码元-字节转换，数据交织，去除在所述数据编码部件中添加的所述第一 Read-Solomon 奇偶校验；以及

30 VSB 发射机，用于对经过了所述数据解码部件处理的所述数据进

三奇偶校验位的输出。

15. 如权利要求 12 所述的 VSB 传输系统，其特征在于，所述的 1/2 比率卷积编码器包括：

- 5 第一寄存器，用于存储先前的第三奇偶校验位值；
 加法器，用于将所述的存储在所述第一寄存器中的值和所述输入数据码元的所述信息比特相加；以及
 第二寄存器，用于存储所述的相加值，
 其中，所述的存储在所述第二寄存器中的值是作为所述第三奇偶
10 校验位的输出。

16. 如权利要求 12 所述的 VSB 传输系统，其特征在于，所述的 1/2 比率卷积编码器包括：

- 第一寄存器，用于存储先前的第三奇偶校验位值；
15 第一加法器，用于将所述的存储在所述第一寄存器中的值和所述输入数据码元的所述信息比特相加；
 第二寄存器，用于存储所述第一加法器相加的所述值；
 第二加法器，用于将存储在所述第二寄存器中所述的值和所述先前的第三奇偶校验位值相加；以及
20 第三寄存器，存储所述第二加法器相加的所述值，
 其中，所述的存储在所述第三寄存器中的值是作为所述第三奇偶校验位的输出。

17. 如权利要求 12 所述的 VSB 传输系统，其特征在于，所述的 25 1/2 比率卷积编码器包括：

- 第一寄存器，用于存储先前的第三奇偶校验位值；
 第一加法器，用于将所述的存储在所述第一寄存器中的值和所述先前的第三奇偶校验位值相加；
 第二寄存器，用于存储所述第一加法器的所述相加值；
30 第二加法器，用于将存储在所述第二寄存器中的所述值和所述输

行处理，包括网格编码，添加第二 Read-Solomon 奇偶校验，数据交织，VSB 调制，以及发送到接收侧。

5 11. 如权利要求 10 所述的 VSB 传输系统，其特征在于，所述的 VSB 传输系统还包括控制信号发生器，用于生成指示所述输入数据码元是否为增补数据码元的第一控制信号，并基于所述第一控制信号生成第二控制信号，所述控制信号发生器把所述控制信号提供给所述增补数据码元处理器。

10 12. 如权利要求 11 所述的 VSB 传输系统，其特征在于，所述增补数据码元处理器包括：

1/2 比率卷积编码器，用于把所述信息比特作为第一输出比特输出，并以所述的 1/2 编码率对所述信息比特进行编码，从而生成第三奇偶校验位；以及

15 第二复用器，用于根据所述的第二控制信号将所述第三奇偶校验位与所述预定义序列复用，从而生成第二输出比特。

13. 如权利要求 11 所述的 VSB 传输系统，其特征在于，所述第二控制信号是具有重复的穿孔码型的穿孔控制信号。

20

14. 如权利要求 12 所述的 VSB 传输系统，其特征在于，所述 1/2 比率卷积编码器包括：

第一组复用器 $G_1, G_2, G_3, \dots, G_{M-1}$ ，其中 G_i 将所述信息比特与它的给定常数 g_i 复用；

25 第二组复用器 $H_1, H_2, H_3, \dots, H_{M-1}$ ，其中 H_i 将先前的第三奇偶校验位值与它的给定常数 h_i 复用；

寄存器组 $r_1, r_2, r_3, \dots, r_{M-1}, r_M$ ，其中 r_M 存储所述先前的第三奇偶校验位值， r_i 存储通过相加 G_i 、 H_i 和 r_{i+1} 的输出而得到的值；和

加法器组，其中第 i 个加法器将所述 G_i 、 H_i 和 r_{i+1} 的输出相加，

30 其中 $g_i, h_i \in \{0,1\}$ ， $i=M-1, \dots, 3, 2, 1$ ，存储在 r_1 中的值是作为第

入数据码元的所述信息比特相加；

第三寄存器，用于存储由所述第二加法器相加的所述值；以及

第四寄存器，用于存储所述的存储在所述第三寄存器中的值，

其中，所述的存储在所述第四寄存器中的值作为所述第三奇偶校

5 验位输出。

18. 如权利要求 11 所述的 VSB 传输系统，其特征在于，所述的增补数据码元处理器包括：

10 第一选择单元，如果所述的第一控制信号指示所述的输入数据码元是所述的增补数据码元，则所述的第一选择单元选取先前的第二寄存器值，否则选取先前的第一寄存器值；

第一寄存器，用于存储由所述第一选择单元选取的所述值；

加法器，用于将存储在所述第一寄存器中的所述值和所述输入数据码元的所述信息比特相加；

15 第二选择单元，如果所述的第一控制信号指示所述的输入数据码元是所述的增补数据码元，则所述的第二选择单元选取由所述加法器相加的所述值，否则选取先前的第二寄存器值；

第二寄存器，用于存储由所述第二选择单元选取的所述值；

20 第三选择单元，如果所述第二控制信号指示所述输入数据码元是所述增补数据码元，则所述第三选择单元选取存储在所述第二寄存器中的所述值，否则选取所述输入数据码元的所述预定义序列；和

第四选择单元，如果所述第一控制信号指示所述输入数据码元是所述增补数据码元，则所述的第四选择单元选取由所述第三选择单元选取的所述值，否则选取所述输入数据码元的所述预定义序列，

25 所述信息比特是作为第一输出比特输出的，由所述第四选择单元选取的所述值是作为第二输出比特输出的，以及所述先前的第一和第二寄存器值分别是先前存储在所述第一和第二寄存器中的值。

数字式残留边带传输系统

5 本申请以 2001 年 6 月 11 日提交的，序列号为 P2001-32610 的韩国申请作为优先权，该申请在此结合作为参考。

发明背景

10 本发明涉及数字数据通信系统，特别涉及残留边带（VSB）传输系统。

背景技术

15 1995 年，高级电视系统委员会（ATSC）选取 8 格-残留边带（8T-VSB）调制法作为美国数字地面电视广播的标准，从 1998 年下半年起，采用这种方法进行实际广播。图 1 显示了根据背景技术的现有 ATSC 8T-VSB 传输系统。它包括数据随机发生器 1、Read-Solomon 编码器 2、数据交织器 3、网格编码器 4、复用器 5、导频插入器 6、残留边带（VSB）调制器 7、射频（RF）转换器 8，以及天线 9。首先，数据随机发生器 1 将接收到的输入数据随机化，并将随机化的数据输出给 Read-Solomon 编码器 2。然后 Read-Solomon 编码器 2 对随机化数据进行编码（Read-Solomon 编码），并加上 20 字节的奇偶校验码。接下来，数据交织器 3 对数据进行交织，网格编码器 4 将交织数据转换成码元，并进行网格编码。在复用器 5 对网格编码信号和同步信号进行复用之后，导频插入器 6 将导频信号相加到复用的码元中。此后，VSB 调制器 7 将码元调制为 8T-VSB 信号，并将它们输出给 RF 转换器 8。最后，RF 转换器 8 将 8T-VSB 信号转换为 RF 信号，然后使 RF 信号发送到接收系统。

20

25

30 图 2 显示了根据背景技术的现有 ATSC 8T-VSB 接收系统。它包括解调器 11、梳状滤波器 12、限幅器预测器 14、信道均衡器 13、相

位跟踪器 15、网格解码器 16、数据解交织器 17、Read-Solomon 解码器 18，以及数据解随机化器 19。起初，解调器 11 将通过天线 10 接收到的 RF 信号转换为基带信号。然后梳状滤波器 12 消除信号中的干扰信号，信道均衡器 13 利用限幅器预测器 14 对失真的信道进行补偿。

5 此后，相位跟踪器 15 跟踪接收信号的相位，网格解码器 16 对相位跟踪数据进行解码以进行码元-字节转换。在数据解交织器 17 对接收到的信号进行解交织之后，Read-Solomon 解码器 18 对 Read-Solomon 编码信号进行解码。最后，解随机化器 19 对解码信号进行解随机化。

10 需要注意的是，现有的 ATSC 8T-VSB 接收机只能接收 MPEG（运动图象专家组）数据，不能接收任何其它的增补数据，如程序执行文件或认证信息。换言之，现有的 ATSC 8T-VSB 发射机和接收机只用于 MPEG 图象或声音数据。为了满足许多用户（观众）的不同需求，该系统应该能够通过数字广播信道发送或接收附加信息以及图象/声音

15 数据。

另外，也可能有的用户必须使用便携式装置或接有简单天线的个人计算机（PC）卡来接收增补数据。在系统于房间内接收数据的情况下，由于噪音以及由反射波和许多其它因素引起的重影，数据接收效果一般都很差。需要注意的是，与图象/声音数据的传输相比，增补数据的传输的误码率必须较低。这是因为在增补数据的传输中，即使是比特的误码也能造成非常严重的问题。因此，系统必须能够克服信道中产生的重影和噪音。

20

25 一般地，采用分时法将增补数据和 MPEG 图象/声音一起传输。但是，市场上已经有很多只能接收 MPEG 数据的 ATSC VSB 数字广播接收机。因此，要和 MPEG 数据一起传输的增补数据不能对现有的正确接收 MPEG 数据的接收机产生任何影响。也就是说，增补数据传输系统应该与现有的 ATSC VSB 接收机兼容。

30

发明综述

因此，本发明的方向是数字式 VSB 传输系统，其基本上消除因现有技术的限制和缺点引起的一个或多个问题。

5 本发明的一个目的是提供一种能将 MPEG 图象/声音数据和增补数据一起发送，并与现有的 ATSC VSB 接收机兼容的数字式 VSB 传输系统。

10 本发明的另一个目的是提供一种数字式 VSB 传输系统，它通过将预定义序列与经过 1/2 编码率编码的增补数据复用，从而获得更好的对噪音和重影信号的抗干扰的能力，并有更大的编码增益。

15 本发明的其它优点、目的和特征部分在以下的说明书中阐述，部分则对于本领域普通技术人员来说经过对以下内容的研究后会变得明了，或者通过本发明的实践而体会到。通过本说明书、权利要求书和附图所具体指出的结构，可以实现和达到本发明的目的和其它优点。

20 为了达到这些目的和其它优点，根据本发明的目的，在此作为实施例并详细说明，一种根据本发明的数字式 VSB 传输系统包括：增补数据处理器，用于处理输入的增补数据，包括 Read-Solomon 编码、插入预定义序列，以及插入 MPEG 报头；第一复用器，用于将 MPEG 数据和在增补数据处理器中处理的数据进行复用；数据编码部件，用于对复用的数据进行处理，包括数据随机化、添加第一 Read-Solomon 奇偶校验、数据交织，以及字节-码元转换，从而生成输入数据码元；
25 增补数据码元处理器，以 1/2 编码率对输入数据码元的信息比特进行编码，并将编码信息比特和预定义序列复用；数据解码部件，用于对经过增补数据码元处理器处理的数据进行处理，包括码元-字节转换、数据解交织、去除数据编码部件所添加的第一 Read-Solomon 奇偶校验；以及 VSB 发射机，用于对经过数据解码部件处理的数据进行处理，
30 包括 Read-Solomon 编码、数据交织、网格编码、VSB 调制，以及发

送到接收侧。

5 该 VSB 传输系统还包括：控制信号发生器，用于生成指示输入数据码元是否为增补数据码元的第一控制信号，并基于第一控制信号生成第二控制信号，该控制信号发生器把控制信号提供给增补数据码元处理器。

10 在根据本发明的 VSB 传输系统中使用的增补数据码元处理器包括：1/2 比率卷积编码器，用于把信息比特作为第一输出位输出，并以 1/2 编码率对信息比特进行编码，从而生成第三奇偶校验位；以及第二复用器，用于根据第二控制信号将第三奇偶校验位和预定义序列复用，从而生成第二输出位。

15 在本发明的其它方面中，一种数字式 VSB 传输系统包括：第一选择单元，如果第一控制信号指示输入数据码元是增补数据码元，则第一选择单元选取先前的第二寄存器值，否则选取选取先前的第一寄存器值；第一寄存器，用于存储由第一选择单元所选取的值；加法器，用于把第一寄存器所存储的值和输入数据码元的信息比特相加；第二选择单元，如果第一控制信号指示输入数据码元是增补数据码元，则
20 第二选择单元选取由加法器所相加的值，否则选取先前的第二寄存器值；第二寄存器，用于存储第二选择单元所选取的值；第三选择单元，如果第二控制信号指示输入数据码元是增补数据码元，则第三选择单元选取第二寄存器所存储的值，否则选取输入数据码元的预定义序列；以及第四选择单元，如果第一控制信号指示 1/2 比率编码器的奇
25 偶校验位不会被穿孔，则第四选择单元选取由第三选择单元所选取的值，否则选取输入数据码元的预定义序列（低位比特）。信息比特和由第四选择单元所选取的值分别变成第一和第二输出位，而先前的第一和第二寄存器值分别是先前存储在第一和第二寄存器中的值。

30 需要理解的是，本发明的以上综述和以下的详细说明都是示例性

MPEG 图象/声音数据一起发送。如图 3 所示, 该系统的 Read-Solomon 编码器 20、数据交织器 21、空序列插入器 22, 以及 MPEG 报头插入器 23 对增补数据进行必要的处理, 以使它们的结构与 MPEG 传输包一致。为达此目的, Read-Solomon 编码器 20 开始对输入的增补数据进行编码, 以加上 20 字节的奇偶校验码, 然后, 数据交织器 21 对编码数据进行交织, 以增强对噪音信号的抗干扰能力。接着, 空序列插入器 22 往交织数据中插入空序列, 以使数据接收机即使在恶劣的信道环境下也能正确地接收数据。

图 4 显示了由图 3 所示的空序列插入器 22 向增补数据中插入空序列的过程。如图 4 所示, 当输入了输入数据的一个比特时, 在插入单个零比特之后, 总共生成两个输出比特。

在空序列插入器 22 插入各零比特之后, MPEG 报头插入器 23 插入 3 字节的 MPEG 报头, 使增补数据的格式变成与 MPEG 传输包的格式一致。接着, 复用器 24 将增补数据和 MPEG 图象/声音数据进行复用(时分), 并将复用数据输出到现有的 8T-VSB 发射机 25。图 1 显示了现有的 8T-VSB 发射机 25 的详细结构。

也就是说, 164 字节的增补数据包在 Read-Solomon 编码器 20 中进行编码后, 变成 184 字节的数据包, 经过数据交织器 21 和空序列插入器 22 的处理后, 变成 2 组 184 字节的包。接着, 在 MPEG 报头插入器 23 中加上 3 字节的 MPEG 传输报头之后, 变成 2 组 187 字节的包并且被输出到复用器 24。复用器将 2 组增补数据和以段为单位的 MPEG 传输包进行复用, 最后, 8T-VSB 发射机 25 将复用后的数据发送到接收机。

加到增补数据中的零比特要经过多步处理, 包括 8T-VSB 发射机 25 中的随机化和 Read-Solomon 编码。然后, 编码增补数据的零比特(作为 d0) 输入到发射机 25 的网格编码器。另外, 编码增补数据的

和说明性的，旨在进一步解释由权利要求所限定的本发明。

附图说明

附图旨在帮助更好地理解本发明，在此结合并构成本申请的一部分，附图说明本发明的实施例，并与说明书一起解释本发明的原理。

附图中：

图 1 显示的是根据背景技术的现有的 ATSC 8T-VSB 发射机；

图 2 显示的是根据背景技术的现有的 ATSC 8T-VSB 接收机；

图 3 显示的是根据本发明的数字式 VSB 传输系统；

10 图 4 显示的是图 3 所示的空序列插入器插入空序列的过程；

图 5 显示的是图 3 所示的 ATSC 8T-VSB 发射机的网格编码器和预编码器；

图 6 显示的是根据本发明的数字式 VSB 传输系统中使用的增补数据码元处理器；

15 图 7 显示的是根据本发明的数字式 VSB 传输系统中使用的 1/2 比率卷积编码器的通用结构；

图 8 显示的是根据本发明的 VSB 传输系统中使用的 1/2 比率卷积编码器的第一个示例；

20 图 9 显示的是根据本发明的 VSB 传输系统中使用的 1/2 比率卷积编码器的第二个示例；

图 10 显示的是根据本发明的 VSB 传输系统中使用的 1/2 比率卷积编码器的第三个示例；以及

图 11 显示的是根据本发明的 VSB 传输系统。

25 优选实施例详细说明

以下对本发明的优选实施例进行详细的说明，附图中显示了优选实施例的示例。

30 图 3 显示的是根据本发明的数字式 VSB 传输系统。在与现有的 ATSC 8T-VSB 接收机保持兼容的同时，该系统能够将增补数据和

信息比特（作为 d1）输入到网格编码器。d0 和 d1 分别对应于低位和
高位输入比特。为方便起见，把作为 d0 输入到网格编码器的比特行
称为预定义序列。

5 也就是说，在零比特转换成预定义序列之后，网格编码器把预定义
序列作为 d0 输入。然后，VSB 接收机再生预定义序列，以改善信
道均衡器、限幅器预测器和/或网格解码器的性能。

10 图 5 显示了图 3 所示的 ATSC 8T-VSB 发射机 25 中使用的网格编
码器和预编码器。网格编码器 28 和预编码器 27 分别对输入比特 d0
和 d1 进行编码，并且它们生成输出比特 c0、c1 和 c2。8T-VSB 调制
器 29 生成对应于接收到的输出比特的 8 级调制值（z）。27A 和 28B
表示加法器，27B、28A 和 28C 表示寄存器。另外，网格编码器 28 和
预编码器 27 通常被一起称为网格编码器。

15

 如图 5 所示，预编码器 27 对高位输入比特 d1 进行预编码并生成
c2，并对低位输入比特 d0 进行预编码，使之变成 c1。但是，输出比
特 c0 取决于存储在寄存器 28A 中的值。VSB 调制器 29 根据 c0、c1
和 c2 确定调制电平 z。在增补数据和 MPEG 数据被发送之后，现有的
20 8T-VSB 接收机利用传输包报头提供的包识别（PID），仅接收 MPEG
传输包，并且放弃增补数据。另一方面，能够接收增补数据的接收机
利用适当的信息分解该复用的数据，并对增补数据进行进一步的必要
处理。

25

 根据本发明，系统将增补数据码元的预定义序列和通过对增补数
据码元进行编码而生成的奇偶校验位复用，并且发送复用数据，而不
是如图 5 所示那样发送增补数据码元中所含的预定义序列。因此，该
系统可以保持它的重影/噪音消除能力，并仍有更大的编码增益。为了
保持增补数据的传输速率，使用了穿孔（puncturing）编码而不是 1/2
30 比率编码。如图 6 所示。

率卷积编码器的一般结构。如图所示，信息比特 u 变成输出比特 $d1'$ ，并且寄存器 $r1$ 中存储的值变成奇偶校验位 $d0'$ 。该编码器包括第一乘法器组，其中的第 i 个乘法器把寄存器 $r1$ 中存储的值和给定的常数 h_i 相乘；第二乘法器组，其中的第 i 个乘法器将输入信息比特 u 和给定的常数 g_i 相乘；加法器组，其中的第 i 个加法器将来自相应的乘法器输出与 r_{i+1} 相加， $i=1,2,3,\dots,M-1$ ；以及寄存器组 r_1, r_2, \dots, r_M ，其中的第 i 个寄存器 r_i 存储由第 i 个加法器计算的值， $i=1,2,3,\dots,M-1$ ，第 M 个寄存器 r_M 存储先前的第一寄存器值。给定常数的值 $g_i, h_i \in \{0,1\}$ ， $i=1,2, \dots, M-1$ 。

10

图 8A、8B 和 8C 显示了在根据本发明的数字式 VSB 传输系统中使用的 $1/2$ 比率卷积编码器一般结构的几个具体示例。图 8A 所示的卷积编码器包括存储先前寄存器值的第一寄存器 M2 36、把 M2 36 所存储的值与信息比特 u 相加的加法器 37、存储相加值并输出该存储值的第二寄存器 M1 38，其中该存储值是奇偶校验位。

15

图 8B 显示了根据本发明的卷积编码器的第二个示例。相同地，该编码器包括存储先前的第三寄存器值的第一寄存器 M3 39、把 M3 所存储的值与信息比特 u 相加的第一加法器 40、存储在第一加法器 40 相加值的第二寄存器 M2 41、把寄存器 M2 41 存储的值与先前的第三寄存器值相加的第二加法器 42、以及存储第二加法器 42 的值并输出同是奇偶校验位的存储值的第三寄存器 M1 43。

20

图 8C 显示了根据本发明的卷积编码器的另一个示例。该编码器包括存储 $d0'$ 的寄存器 M4 44、把寄存器 M4 44 存储的值与 $d0'$ 相加的第一加法器 45、存储第一加法器 45 的值的寄存器 M3 46、把寄存器 M3 46 存储的值与信息比特 u 相加的第二加法器 47、存储第二加法器 47 的值的寄存器 M2 48、存储寄存器 M3 46 所存储的值并输出该存储值的寄存器 M1 49。

25
30

图 6 显示了根据本发明的数字式 VSB 传输系统的增补数据码元处理器。如图所示，该处理器包括 1/2 比率编码器 31 和复用器 32。增补数据码元包括信息比特 d1 和预定义序列 d0。起初，d1 和 d0 分别被输入到 1/2 比率编码器 31 和复用器 32。然后 1/2 比率编码器 31 把 d1 作为第一输出比特 d1' 直接输出，使用 1/2 编码率对 d1 进行编码，以生成奇偶校验位，并把该奇偶校验位输出到复用器 32。然后，复用器 32 根据接收到的穿孔控制信号，选择奇偶校验位和预定义序列 d0 中的一个，并把所选择的数据作为 d0' 输出。最后，把 d1' 和 d0' 分别输入到 ATSC 8T-VSB 发射机的预编码器 33 和网格编码器 34，如图 6 所示。

穿孔控制信号是只与增补数据相对应的控制信号。重复固定的样式从而形成穿孔控制信号。例如，在信号中重复“10”的情况下，复用器 32 交替地输出奇偶校验位和预定义序列。这种情况下，编码率变成 2/3，因为有 2 个输入比特和 3 个输出比特。另一方面，如果重复“100”，则复用器 32 输出奇偶校验位 1 次，接着输出预定义序列 2 次。因此，相应的编码率变成 3/4。

穿孔码型的值和长度可以任意地确定。如果穿孔码型只包含“1”，则穿孔控制信号也只包含“1”。因此，复用器 32 总是向网格编码器 28 输出奇偶校验位。不发送预定义序列。另一方面，如果穿孔码型只包含“0”，则复用器 32 只输出预定义序列。如图所示，本发明可以用作几种不同类型的系统。

另外，网格编码器 28 对由 1/2 比率编码器 31 对信息比特 d1 进行编码而生成的奇偶校验位进行编码。因此，最好为 1/2 比率编码器 31 使用具有反馈结构的卷积编码器。

图 7 显示了在根据本发明的数字式 VSB 传输系统中使用的 1/2 比

当输入码元不是增补数据码元（即，MPEG 图象声音数据）时，由于信息比特 d_1 的原因，卷积编码器的寄存器所存储的值不能改变。也就是说，图 6 所示的卷积编码器 31 必需仅对插入了一个零比特的增补数据码元进行编码。因此，如果输入码元不是增补数据码元，则卷积编码器的各寄存器必需保持它的值。

卷积编码器根据输入码元是否为包含预定义序列的增补数据码元来执行它的功能。如果是，则信息比特 d_1 变成 d_1' ，并且预定义序列变成 d_0 。图 6 所示的复用器 32 根据穿孔控制信号，将通过对信息比特进行编码而得到的奇偶校验位和预定义序列复用，从而生成 d_0' 。否则，信息比特变成 d_1' 和 d_0' 。在系统中一共使用了 12 个卷积编码器，分别与每个网格编码器相对应。

图 9 显示了一种根据本发明的 $1/2$ 卷积编码器。它具有和图 8 类似的结构，但它还具有几个复用器。我们把图 9 所示的编码器也叫做增补数据码元处理器。这个处理器显示的是图 8A 所示的编码器被用作 $1/2$ 比率卷积编码器的情况，它可以适用于图 7 所示的通用结构。图 9 所示的编码器包括：第一复用器 51，用于根据第一控制信号输出先前存储在寄存器 S3 和 S4 中的值之中的一个；第一寄存器 S4，用于存储自第一复用器输出的值；以及加法器 53，用于把输入比特 d_1 和 S4 中存储的值相加。它还包括第二复用器 54，用于根据第一控制信号输出在加法器 53 中相加的值或者先前存储在 S3 中的值；第二寄存器 S3，用于存储自第二复用器 54 输出的值；第三复用器 56，用于根据第二控制信号输出存储在 S3 中的值或者输入比特 d_0 ；以及第四复用器 57，用于根据第一控制信号输出由第三复用器 56 所输出的值或者输入比特 d_0 。

第一、第二和第四复用器（51、54 和 57）所使用的第一控制信号指示输入码元是否为增补数据码元。例如，如果它是，则控制信号包含“1”。否则它包含“0”。如果第一控制信号包含“1”，则第一

复用器 51 向寄存器 S4 输出先前存储在第二寄存器 S3 中的值。另一方面，如果第一控制信号包含“0”，则它向寄存器 S4 输出先前存储在寄存器 S4 中的值，从而它保持自己的值，而与输入比特 d1 无关。同样，如果第一控制信号包含“1”，则第二复用器 54 向寄存器 S3 输出加法器 53 所加的值，否则它向寄存器 S3 输出先前存储在寄存器 S3 中的值。如果第一控制信号包含“1”，则第四复用器 57 输出由第三复用器 56 所输出的值，否则它输出输入比特 d0。

图 9 所示的第三复用器 56 根据第二控制信号向第四复用器 57 输出奇偶校验位或预定义序列，其中第二控制信号与图 6 所示的穿孔控制信号相同。因此，如果第二控制信号包含“1”，则第三复用器 56 输出先前存储在第二寄存器 S3 中的值，这是奇偶校验位。另一方面，如果它包含“0”，则第三复用器 56 向第四复用器 57 输出预定义序列 d0。

图 10 显示了根据本发明的 VSB 传输系统中使用的控制信号发生器。图 10 所示的穿孔码型重发器 58 根据第一控制信号生成第二控制信号（穿孔控制信号）。第二控制信号只对于增补数据码元才变得有效。也就是说，如果第一控制信号指示输入码元是增补数据码元，则穿孔码型重发器 58 通过重复预定的穿孔码型而生成第二控制信号。例如，如果预定的样式是“100”，则在输入各增补数据码元的同时，穿孔码型重发器 58 通过重复“100”而生成第二控制信号。

另外，因为增补数据码元的预定义序列在图 9 所示的增补数据码元处理器中发生了改变，所以当 ATSC 8T-VSB 接收机对增补数据包进行 Read-Solomon 解码时经常产生错误。为了避免这样的错误，必需重新生成和被增补数据码元处理器改变的数据相对应的 Read-Solomon 奇偶校验字节。也就是说，必需去除在增补数据码元处理步骤之前添加的 Read-Solomon 奇偶校验字节，并向经过了卷积编码的增补数据中添加新的 Read-Solomon 奇偶校验字节。为此，应该对增

补数据码元处理器的输出数据进行（码元-字节）转换和解交织，然后，在对增补数据码元处理器的输出数据进行码元-字节转换和解交织之后，去除最初计算的 Read-Solomon 奇偶校验。接着，不具有数据随机发生器的 ATSC 8T-VSB 发射机通过进行 Read-Solomon 编码从而添加 Read-Solomon 奇偶校验。因为现在的奇偶校验与经过了 1/2 卷积编码的数据相对应，所以 ATSC 8T-VSB 接收机可以进行 Read-Solomon 解码而不会有任何问题。图 11 显示了这些过程。

图 11 显示了完整的根据本发明的数字式 VSB 传输系统。该系统包括：增补数据处理器 61，用于进行 Read-Solomon 编码、空序列插入，以及 MPEG 报头插入；复用器 62，用于输出从增补数据处理器 61 接收到的增补数据包或 MPEG 数据包；第一编码部件 63，用于对从复用器 62 接收到的数据包进行数据随机化、Read-Solomon 数据编码、数据交织、字节-码元转换处理；控制信号发生器 64，用于生成第一和第二控制信号，它们指示穿孔码型并指示自第一编码部件 63 输出的码元是否为增补数据码元；增补数据码元处理器 65，如果第一控制信号指示自第一编码部件 63 输出的码元是增补数据码元，则增补数据码元处理器 65 根据第二控制信号对自第一编码部件 63 输出的码元进行 1/2 卷积编码，并输出经过了卷积编码的奇偶校验位或预定义序列；第一解码部件 66，用于对自增补数据码元处理器 65 输出的数据进行码元-字节转换、数据解交织、Read-Solomon 奇偶校验去除处理；以及现有的 8T-VSB 发射机 67，用于对在第二解码部件 66 中去除了奇偶校验位的数据进行 Read-Solomon 编码、数据交织、网格编码处理。现有的 8T-VSB 发射机 67 与图 1 所示的发射机相同，只是不包含数据随机发生器。

在通过了增补数据处理器 61 的 Read-Solomon 编码器 61A、数据交织器 61B、空序列插入器 61C，以及 MPEG 报头插入器 61D 之后，增补数据转换成包含 20 字节的 Read-Solomon 奇偶校验、空序列，以及 MPEG 报头的数据包。然后，复用器 62 向第一编码部件 63 输出增

补数据包或 MzPEG 数据包。第一解码部件 66 和 ATSC -8T-VSB 发射机 67 的主要目的是保持与当前市场上现有的 ATSC -8T-VSB 接收机的向后兼容性。

5 也就是说，第一编码部件 63 的数据随机发生器 63A 对从复用器 62 接收到的数据进行数据随机化处理，Read-Solomon 编码器 63B 通过进行 Read-Solomon 编码从而添加 20 字节的奇偶校验。然后数据交织器 63C 对数据进行交织，最后字节-码元转换器 63D 把经过了交织的数据转换成 2 比特码元。

10

之后，增补数据码元处理器 65 根据由控制信号发生器 64 生成的第一控制信号进行 1/2 卷积编码，并且根据第二控制信号输出经过了卷积编码的奇偶校验位或预定义序列。这在前面已经利用图 6 和图 10 进行了详细的说明。

15

第一解码部件 66 的码元-字节转换器 66A 把从增补数据码元处理器 65 接收到的码元转换成字节数据，数据解交织器 66B 对数据进行解交织。接下来，Read-Solomon 奇偶校验消除器 66C 去除在 Read-Solomon 编码器 63B 中所添加的 Read-Solomon 奇偶校验。最后，现有的 8T-VSB 发射机 67 进行 Read-Solomon 编码处理，以添加 Read-Solomon 奇偶校验，以及图 1 所示的其它处理。因此，现有的 ATSC 8T-VSB 接收机可以正确地对 Read-Solomon 编码数据包进行解码，并通过读取图 11 所示的 MPEG 报头插入器 61D 所插入的 PID，而放弃增补数据包。

20

25

如上所述，根据本发明的数字式 VSB 传输系统在对增补数据码元进行了 1/2 比率卷积编码处理，并将其与预定义序列复用之后再将其发送出去。具体而言，使用了穿孔编码来保持增补数据的传输速率，并且对于穿孔数据发送的是预定义序列，而不是发送 1/2 卷积编码奇偶校验位，从而得到以下的优点：首先，本发明的数字式传输与现有

30

的 ATSC 8T-VSB 接收机兼容，同时可以将增补数据和 MPEG 数据一起发送。第二，与现有的 ATSC 8T-VSB 发射机相比，它有更好的对重影和噪音信号抗干扰的能力。最后，与仅使用预定义序列的数字式 VSB 传输系统相比，它可以具有更大的编码增益。另外，数字式 VSB 接收机接收数据并进行与该传输系统所进行的处理相反的逆处理。

上述的实施例仅是示例性的，不对本发明构成限制。这里的教导可以很容易地应用于其它类型的装置。本发明的说明书是用于解释，不限制权利要求的范围。对于本领域的技术人员，很显然本发明可以有各种替换、改型和变化。

图1
现有技术

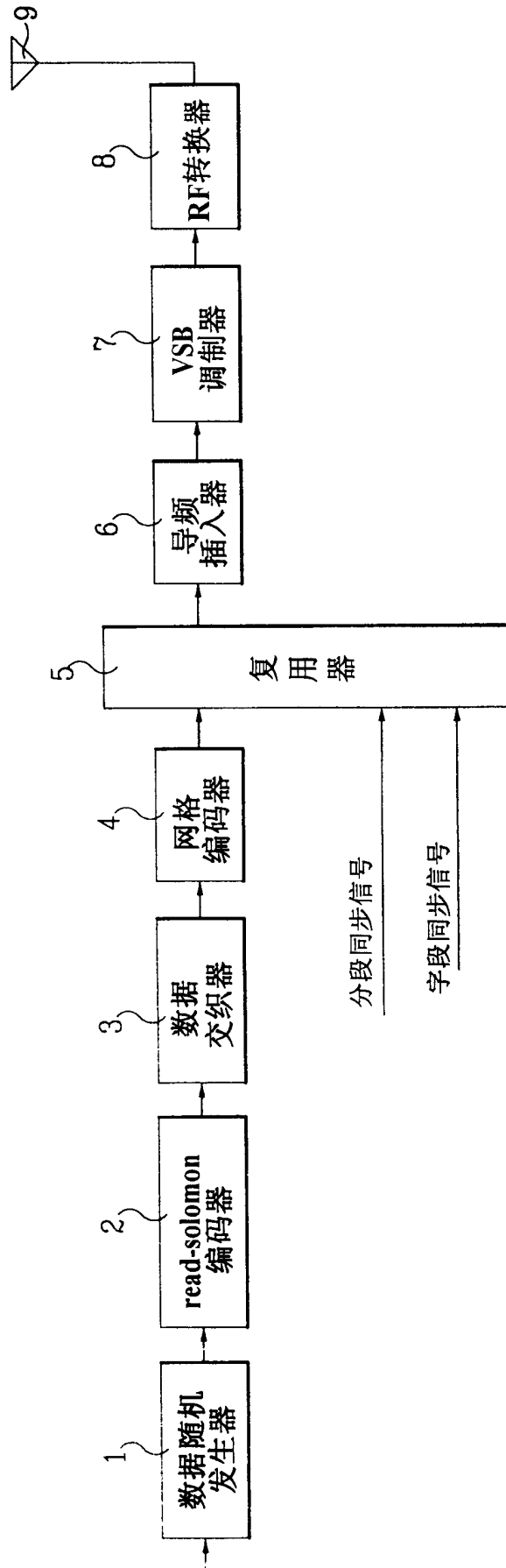


图2
现有技术

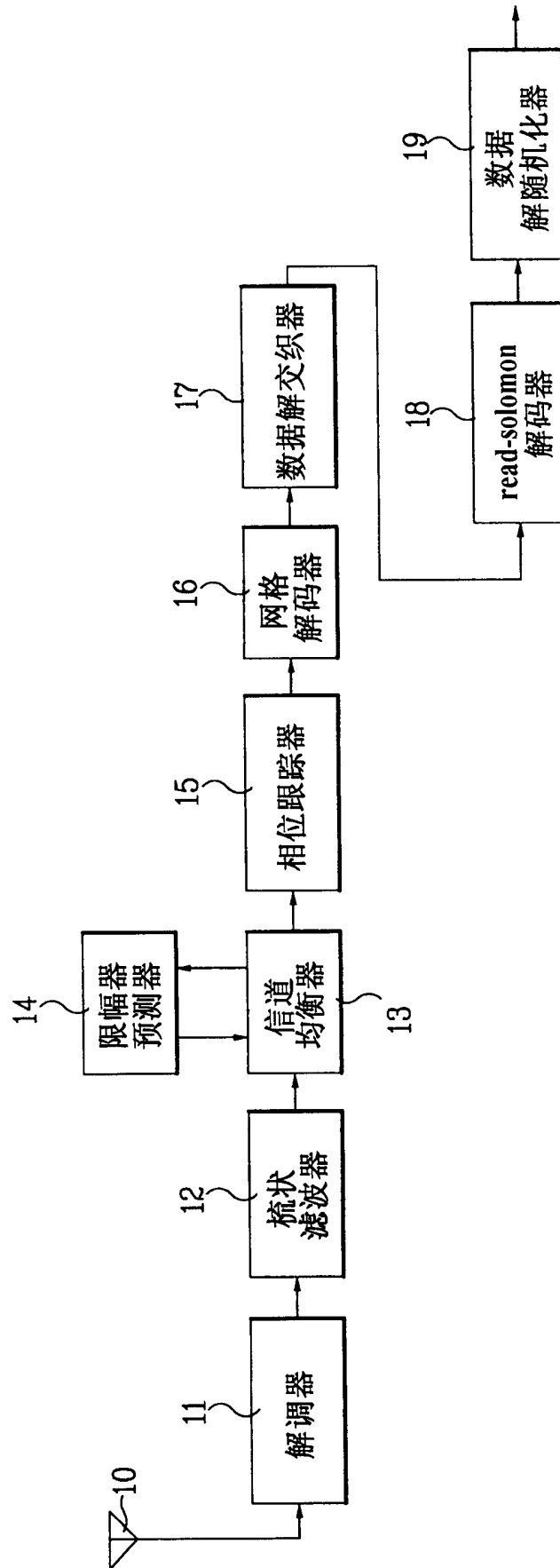


图3

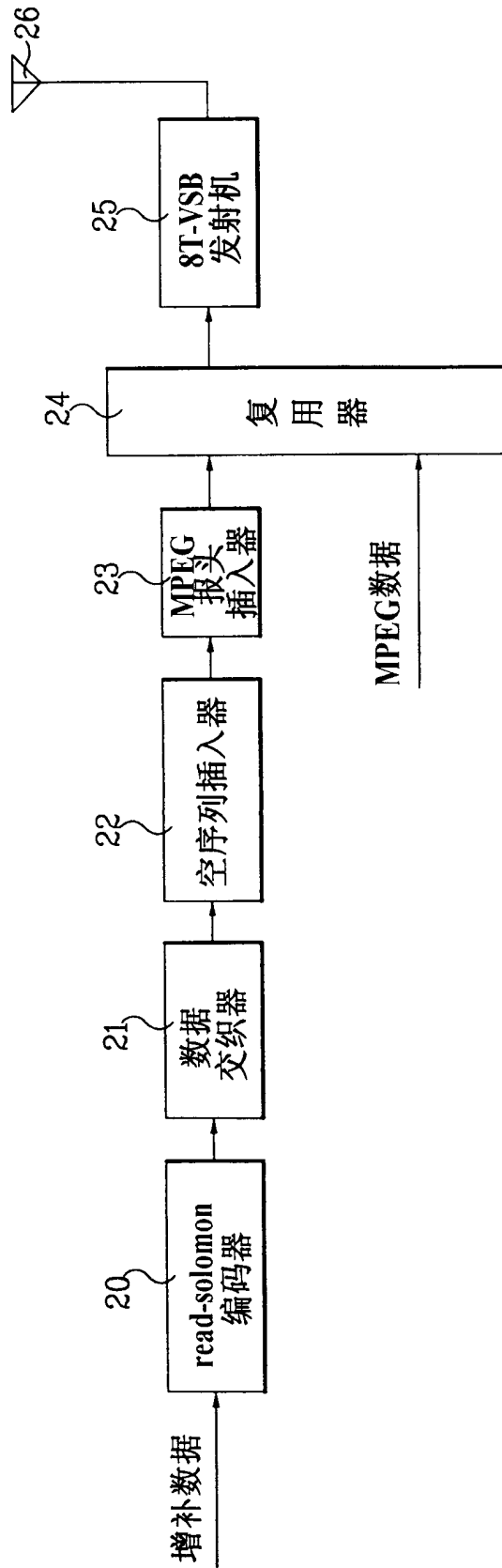


图4

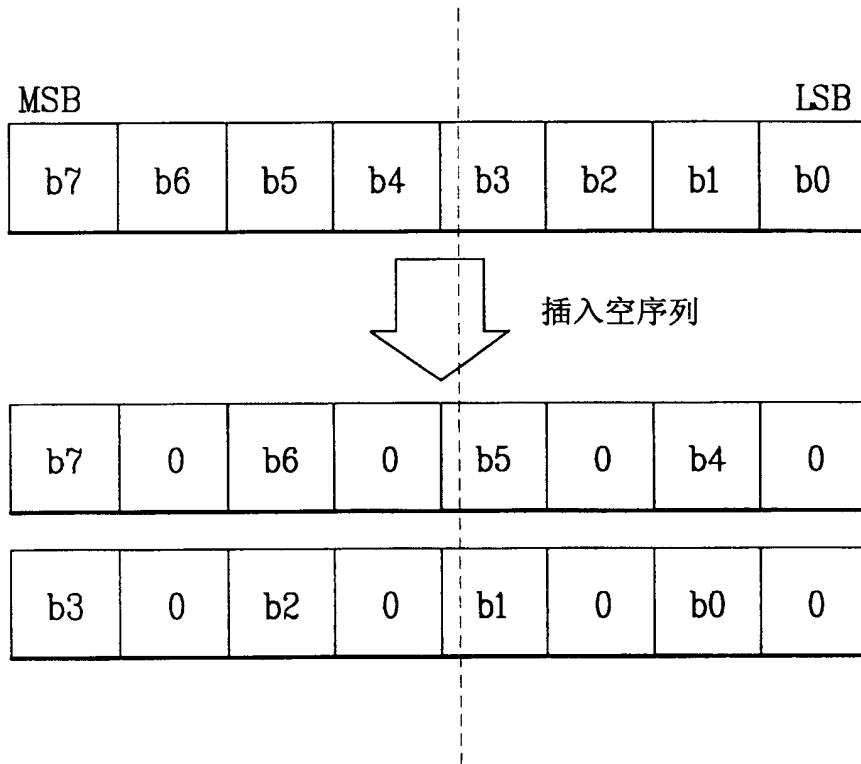


图5

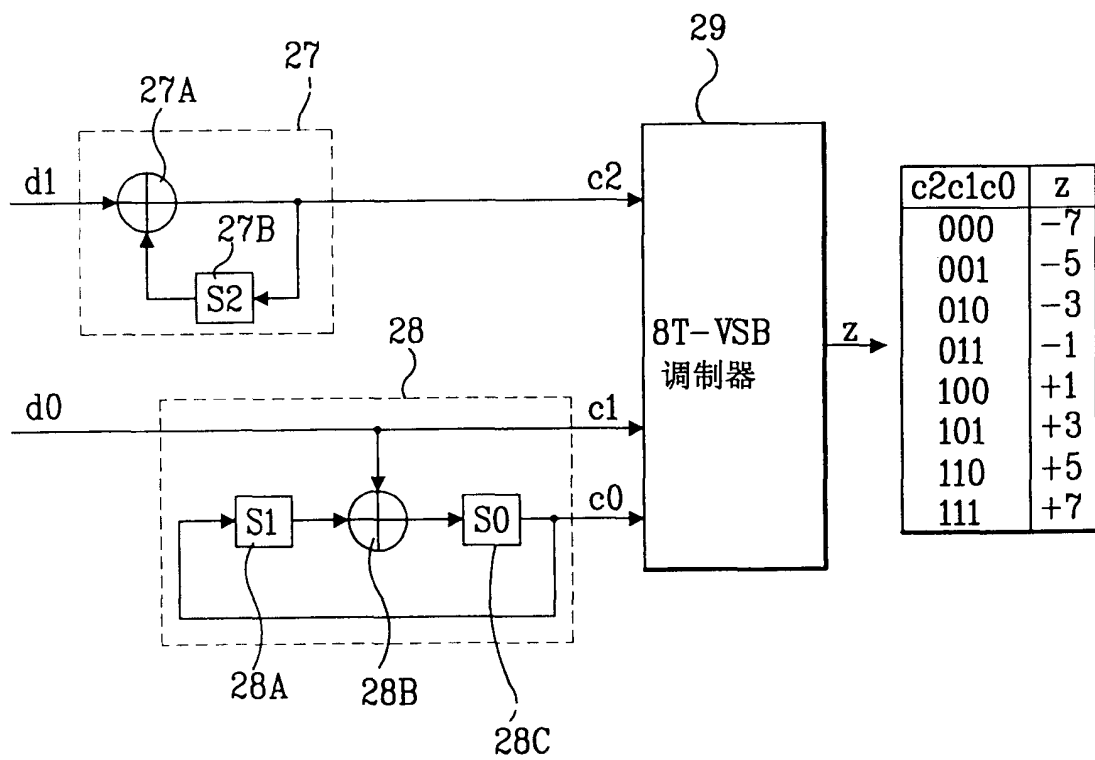


图6

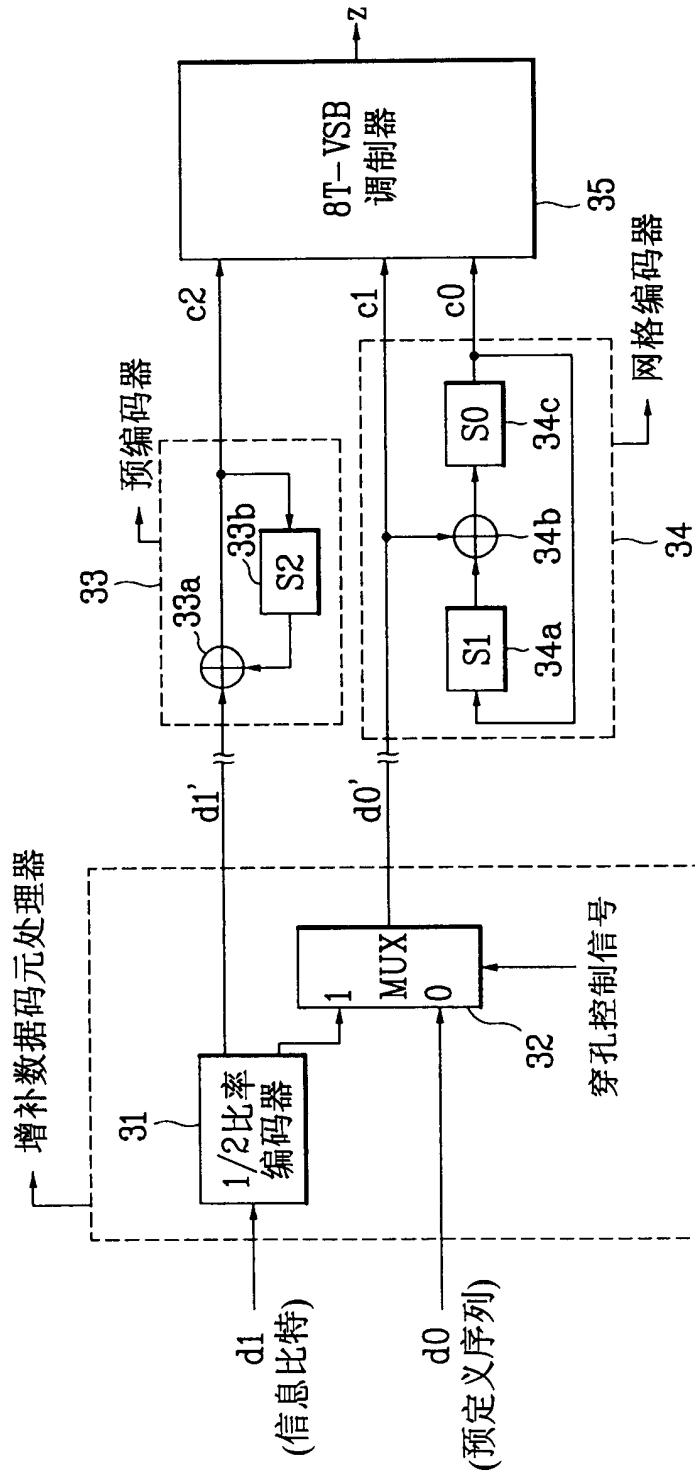


图7

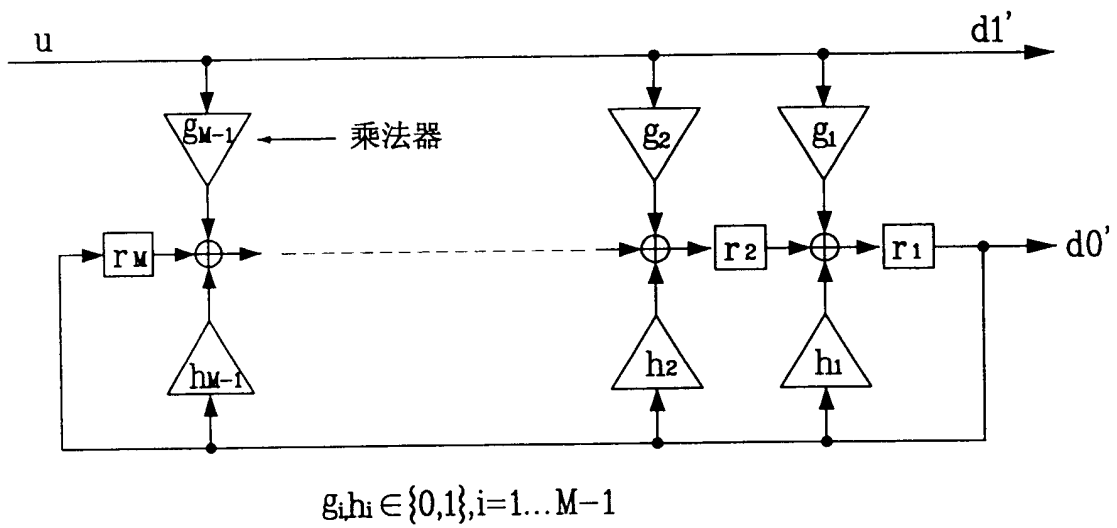


图8A

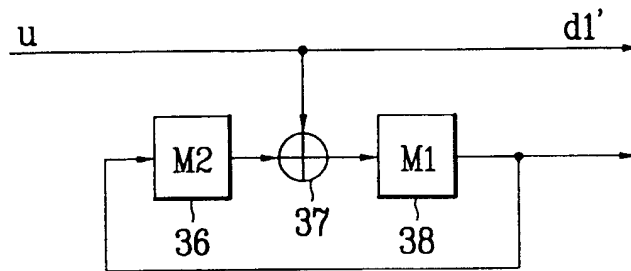


图8B

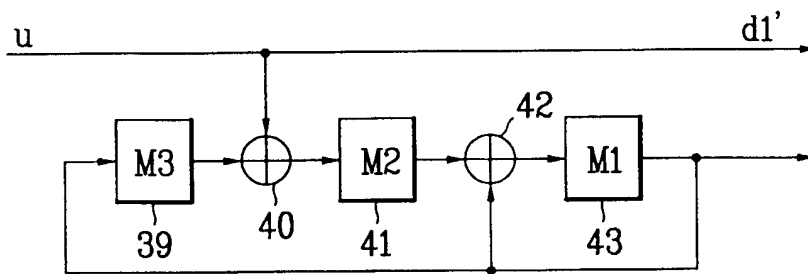


图8C

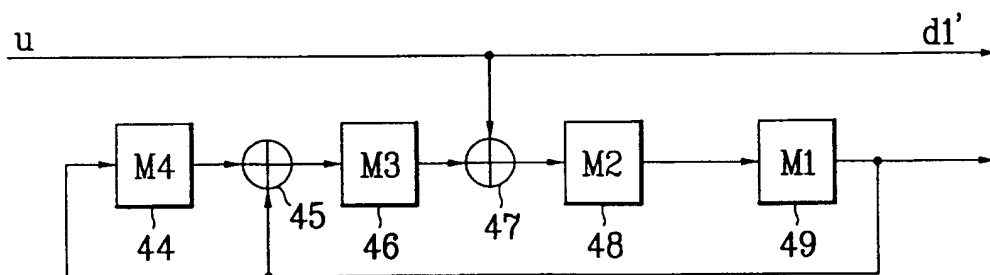


图9

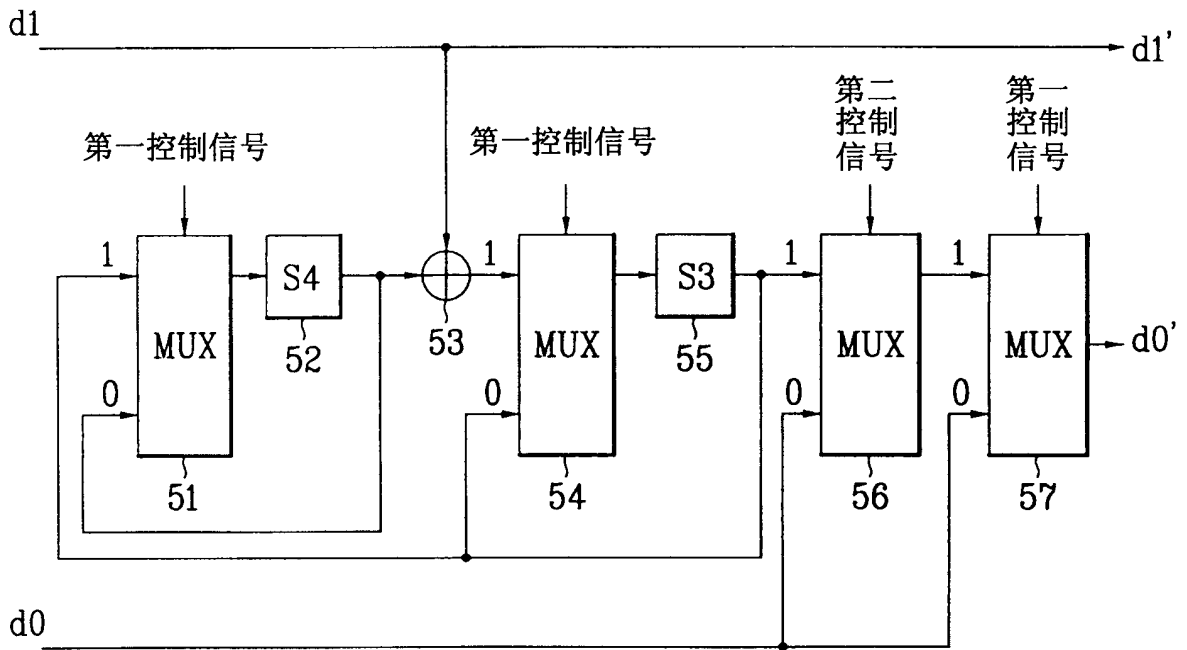


图10

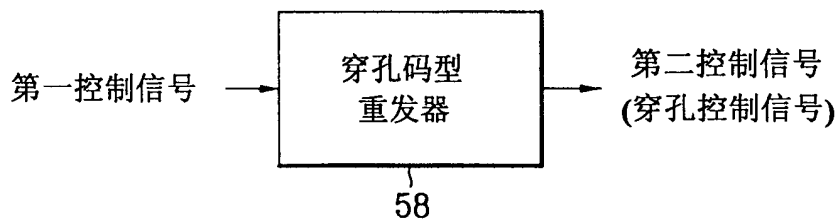


图11

