



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 35 111 A1** 2005.03.10

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 35 111.6**

(22) Anmeldetag: **31.07.2003**

(43) Offenlegungstag: **10.03.2005**

(51) Int Cl.⁷: **H01L 21/58**

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

(72) Erfinder:
Lenz, Michael, 85604 Zorneding, DE; Otremba, Ralf, 87600 Kaufbeuren, DE; Roedig, Herbert, 93073 Neutraubling, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 15 14 561 C3

DE 12 54 773 B

DE 198 50 888 A1

DE 195 40 140 A1

DE 697 09 699 T2

FR 14 80 792 A

US 2002/1 49 114 A1

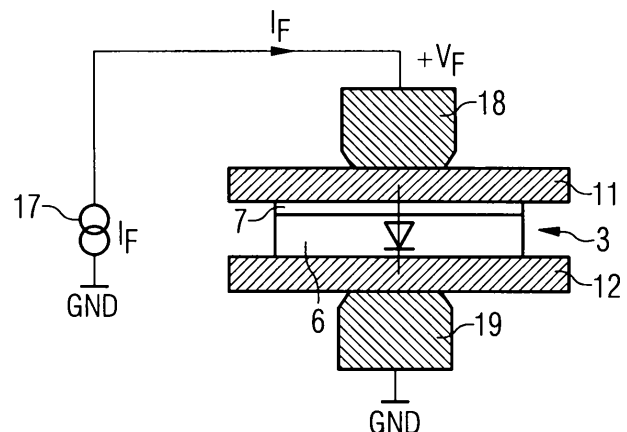
US 32 38 425

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Montageverfahren für ein Halbleiterbauteil**

(57) Zusammenfassung: Ein Montageverfahren für ein Halbleiterbauteil (3) weist die folgenden Schritte auf: Aufbringen von Lotmaterial (2) auf das Halbleiterbauteil (3), Aufbringen wenigstens eines Kontakt-/Montageelements (11, 12) aus Halbleitermaterial und/oder Metall und/oder Isolatormaterial auf das Lotmaterial, Aufheizen wenigstens eines Teils des Halbleiterbauteils (3) auf eine Temperatur, die oberhalb des Schmelzpunkts des Lotmaterials (2) liegt, indem eine elektrische Leistung in das Halbleiterbauteil (3) eingeprägt wird, wodurch zwischen dem Halbleiterbauteil (3) und dem wenigstens einen Kontakt-/Montageelement (11, 12) entsprechende Lötverbindungen entstehen, und Abkühlen des im vorangehenden Schritt erzeugten, aus dem Halbleiterbauteil (3) und wenigstens einem Kontakt-/Montageelement (11, 12) bestehenden Verbindungskomplexes.



Beschreibung

[0001] Die Erfindung betrifft ein Montageverfahren für ein Halbleiterbauteil.

Stand der Technik

[0002] Montageverfahren für Halbleiterbauteile, insbesondere Leistungs-Halbleiterbauteile, sind bekannt. Hierbei wird üblicherweise ein Materialstapel, bestehend aus dem Halbleiterbauteil, darauf aufgebrachtem Lotmaterial sowie auf dem Lotmaterial aufgebrachte Kontakt-/Montageelemente in seiner Gesamtheit auf relativ hohe Temperaturen (bis zu 450 °C) aufgeheizt, um eine Lötverbindung zwischen dem Halbleiterbauteil und den Kontakt-/Montageelementen herzustellen. Ein derartiges Montageverfahren ist in **Fig. 10** gezeigt und soll im Folgenden kurz erläutert werden.

[0003] In einem ersten Prozessschritt PS1 wird ein Kontakt-/Montageelement **1** (im folgenden als "Montageelement" bezeichnet), z. B. ein "Leadframe" auf eine Temperatur von ca. 400 °C aufgeheizt und dessen Oberfläche durch eine Gasbehandlung gesäubert. Das Montageelement **1** besteht beispielsweise aus Kupfer und kann als Kühlelement dienen. In einem zweiten Prozessschritt PS2 wird das Montageelement **1** auf eine Temperatur von ungefähr 380 °C abgekühlt, und auf die Oberfläche des Montageelements **1** Lotmaterial **2** aus einem Behälter **4** aufgebracht. Das aufgebrachte Lotmaterial **2** verteilt sich auf der Oberfläche des Montageelements **1** von selbst in einem dritten Prozessschritt PS3, wobei in einem vierten Prozessschritt PS4 auf das Lotmaterial **2** ein Halbleiterbauteil **3** aufgebracht wird (beispielsweise durch ein entsprechendes Pressverfahren mittels einer Presseinrichtung **5**). In einem fünften Prozessschritt PS5 wird ein aus Montageelement **1**, Lotmaterial **2** sowie Halbleiterbauteil **3** bestehender Verbindungskomplex auf ca. 200 °C abgekühlt (beispielsweise durch Wasserkühlung oder Luftkühlung), womit das bislang flüssige Lotmaterial **2** erstarrt. Damit entsteht eine "feste", ausgehärtete Lötverbindung zwischen dem Montageelement **1** und dem Halbleiterbauteil **3**.

[0004] Das in **Fig. 10** beschriebene Verfahren weist den Nachteil auf, dass aufgrund der Erhitzung des gesamten Materialstapels (Montageelement **1**, Lotmaterial **2** sowie Halbleiterchip **3**) eine Oxidation des Montageelements **1** stattfindet. Damit kann es zu Problemen kommen, was die Zuverlässigkeit der Haftung des Halbleiterbauteils **3** auf dem Montageelement **1** anbelangt. Zusätzliche Prozessschritte sind notwendig, um diesen Nachteil zu umgehen.

Aufgabenstellung

[0005] Die der Erfindung zugrunde liegende Aufga-

be ist es, ein Montageverfahren für ein Halbleiterbauteil anzugeben, bei dem das oben beschriebene Problem vermieden werden kann.

[0006] Zur Lösung dieser Aufgabe stellt die Erfindung ein Montageverfahren für ein Halbleiterbauteil gemäß Patentanspruch 1 bereit. Bevorzugte Ausführungsformen bzw. Weiterbildungen des Erfindungsgedankens finden sich in den Unteransprüchen.

[0007] Das erfindungsgemäße Montageverfahren für ein Halbleiterbauteil weist die folgenden Schritte auf:

- Aufbringen von Lotmaterial auf das Halbleiterbauteil und/oder auf wenigstens ein Kontakt-/Montageelement aus Metall und/oder Halbleitermaterial und/oder Isolatormaterial,
- Aufbringen des wenigstens einen Kontakt-/Montageelements auf das Halbleiterbauteil derart, dass sich das Lotmaterial zwischen dem Halbleiterbauteil und dem wenigstens einen Kontakt-/Montageelement befindet,
- Einprägen einer elektrischen Leistung in das Halbleiterbauteil, um wenigstens einen Teil des Halbleiterbauteils auf eine Temperatur aufzuheizen, die oberhalb des Schmelzpunkts des Lotmaterials liegt, wodurch zwischen dem Halbleiterbauteil und dem wenigstens einen Kontakt-/Montageelement entsprechende Lötverbindungen entstehen, und
- Abkühlen des im vorangehenden Schritt erzeugten, aus dem Halbleiterbauteil und dem wenigstens einen Kontakt-/Montageelement bestehenden Verbindungskomplexes.

[0008] Ein der Erfindung zugrundeliegendes Prinzip ist, während des Montageverfahrens lediglich das Halbleiterbauteil aufzuheizen. Das aufgeheizte Halbleiterbauteil überträgt erzeugte Wärme auf das Lotmaterial, das infolgedessen zum Schmelzen gebracht wird, womit sich eine Lötverbindung zwischen dem Halbleiterbauteil und dem Montageelement ausbilden kann. Ein Aufheizen des Montageelements auf hohe Temperaturen und eine daraus resultierende Oxidation können also vermieden werden.

[0009] Im Allgemeinen werden Halbleiterbauteile an deren Ober- und Unterseite jeweils mit Anschlüssen/Kühlkörpern kontaktiert. Erfindungsgemäß wird deshalb vorteilhafterweise das Lotmaterial auf eine Oberseite und eine Unterseite des Halbleiterbauteils aufgebracht, und dann auf das Lotmaterial der Oberseite/Unterseite ein erstes Montageelement/zweites Montageelement aufgebracht. Dann wird das Halbleiterbauteil vorzugsweise durch Beaufschlagen mit einem elektrischen Strom aufgeheizt, womit ein gleichzeitiges Schmelzen/Erstarren des Lötmaterials auf der Oberseite und Unterseite des Halbleiterbauteils bewirkt werden kann.

[0010] Das Einprägen der elektrischen Leistung/des elektrischen Stroms in das Halbleiterbauteil erfolgt vorzugsweise dadurch, dass der Strom durch wenigstens einen Teil des Lotmaterials hindurch geführt wird. Alternativ ist es auch möglich, das Halbleiterbauteil "direkt" mit einem elektrischen Strom zu beaufschlagen, beispielsweise über einen oder mehrere geeignete am Halbleiterbauteil vorgesehene Anschlüsse.

[0011] Soll sowohl auf der Oberseite als auch der Unterseite ein jeweiliger Lötkontakt hergestellt werden, so wird der elektrische Strom vorzugsweise wie folgt geführt (oder umgekehrt): zuerst durch ein auf dem Lotmaterial der Oberseite aufgebrachtes Montageelement, dann durch das Lotmaterial der Oberseite des Halbleiterbauteils, dann durch das Halbleiterbauteil, dann durch das Lotmaterial der Unterseite des Halbleiterbauteils und zuletzt durch das auf dem Lotmaterial der Unterseite aufgebrachte Montageelement. Auf diese Art und Weise kann die Lötverbindung zwischen dem Halbleiterbauteil und dem ersten Montageelement sowie eine Lötverbindung zwischen dem Halbleiterbauteil und dem zweiten Montageelement erzeugt werden.

[0012] Um vorzeitige Alterung bzw. eine Migration des Halbleiterbauteils bzw. des Verbindungskomplexes aus Halbleiterbauteil und Montageelementen zu vermeiden, sollten die zum Aufheizen verwendeten Ströme im Normalfunktionsbereich des zu montierenden Halbleiterbauteils liegen.

[0013] Im Regelfall sind die Montageelemente Metallplatten, die beispielsweise aus Kupfer bestehen. Die Montageelemente können jedoch auch aus anderen Materialien bestehen beziehungsweise mit diesen kombiniert werden, beispielsweise mit Halbleitermaterialien, Isolatormaterialien oder weiteren Metallen.

[0014] Das Halbleiterbauteil besteht beispielsweise aus einem ersten Teil und einem zweiten Teil, wobei der erste Teil ein Chip-Substrat ist, und der zweite Teil ein auf dem Chip-Substrat aufgebrachtes aktives Gebiet ist.

[0015] Das erfindungsgemäße Verfahren lässt sich auf beliebige Halbleiterelemente anwenden, beispielsweise auf einen MOS-Transistor, IGBTs (Insulated Gate Bipolar Transistor), Dioden, Smarte Power ICs, etc.

[0016] Die elektrische Leistung/der elektrische Strom wird vorzugsweise so in das Halbleiterbauteil eingepägt, dass ein hohes Maß an Verlustleistung bewirkt wird (im Beispiel eines MOS-Transistors kann dies durch einen Inversbetrieb erreicht werden).

[0017] Die Verlustleistung wird beispielsweise durch

Bestromung von Flusssdioden, die Teil des Halbleiterbauteils sind, erzeugt. Alternativ kann das Halbleiterbauteil jedoch auch in den Durchbruch getrieben werden (Betreiben des Halbleiterbauelements im kontrollierten Durchbruch) bzw. als aktive Zenerstruktur betrieben werden, und somit die gewünschte Verlustleistung erzeugt werden.

[0018] In einer bevorzugten Ausführungsform wird eine momentane Temperatur des Halbleiterbauteils gemessen und in Abhängigkeit der gemessenen Temperatur die in das Halbleiterbauteil eingepägte elektrische Leistung geregelt, so dass eine bestimmte Temperatur eingestellt wird bzw. gewünschte Temperaturverläufe während einer Aufheizphase/einer Lötphase/einer Abkühlphase des Halbleiterbauteils realisiert werden können. Beispielsweise kann durch eine derartige temperaturabhängige Regelung der elektrischen Leistung ein zu schnelles Abklingen der Temperatur während der Abkühlphase verhindert werden. Die Temperatur kann hierbei beispielsweise durch Einprägen eines Messstroms in das Halbleiterbauteil und Messen der dazugehörigen Messspannung ermittelt werden. Das Einprägen des Messstroms in das Halbleiterbauteil und das Messen der dazugehörigen Messspannung erfolgen dabei vorzugsweise in bestimmten Intervallen, wobei während entsprechender Messphasen das Einprägen der elektrischen Leistung unterbrochen wird. Das Einprägen der elektrischen Leistung und die Temperaturmessung wechseln sich somit in diesem Ausführungsbeispiel laufend ab.

Ausführungsbeispiel

[0019] Die Erfindung wird im Folgenden unter Bezugnahme auf die begleitenden Figuren in beispielsweise Ausführungsform näher erläutert. Es zeigen:

[0020] Fig. 1 eine Prinzipskizze einer ersten bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens zur Montage des in Fig. 2 gezeigten Halbleiterbauteils.

[0021] Fig. 2 ein zu montierendes Halbleiterbauteil, sowie eine zum Halbleiterbauteil äquivalente Schaltung.

[0022] Fig. 3 eine Draufsicht einer Powerstrip-Halbbrücke als Beispiel eines Verbindungskomplexes, das mit dem erfindungsgemäßen Verfahren hergestellt werden kann.

[0023] Fig. 4 eine zu der in Fig. 3 gezeigten Powerstrip-Halbbrücke äquivalente Schaltung.

[0024] Fig. 5 eine Seitenansicht der in Fig. 3 gezeigten Powerstrip-Halbbrücke mit zugehörigem Gehäuse.

[0025] Fig. 6 eine detailliertere Darstellung der in Fig. 4 gezeigten Schaltung.

[0026] Fig. 7 eine Prinzipskizze einer zweiten bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens zur Montage des in Fig. 3 gezeigten Halbleiterbauteils.

[0027] Fig. 8 ein Strom-/Spannungsdiagramm zur Erläuterung der in Fig. 7 gezeigten zweiten Ausführungsform des erfindungsgemäßen Verfahrens.

[0028] Fig. 9 ein Strom-/Spannungsdiagramm zur Erläuterung des erfindungsgemäßen Selbstheiz-Prinzips.

[0029] Fig. 10 ein Beispiel eines Montageverfahrens gemäß dem Stand der Technik.

[0030] In den Figuren sind identische bzw. einander entsprechende Bauteile/Bauteilgruppen mit den gleichen Bezugsziffern gekennzeichnet.

[0031] Fig. 2 zeigt ein Halbleiterbauteil 3 (MOS-Transistor), das ein Chip-Substrat 6 sowie ein darauf aufgebrachtes aktives Gebiet 7 aufweist. Das Chip-Substrat 6 kann beispielsweise eine Drainzone des MOS-Transistors darstellen, wohingegen das aktive Gebiet eine Sourcezone des MOS-Transistors sein kann. Die Funktionsweise des Halbleiterbauteils 3 wird durch die Schaltung 8 beschrieben.

[0032] Um das in Fig. 2 gezeigte Halbleiterbauteil 3, den MOS-Transistor, zu montieren, wird, wie in Fig. 1 schematisch dargestellt, Lotmaterial auf eine Oberseite 9 sowie eine Unterseite 10 des Halbleiterbauteils aufgebracht. Anschließend wird auf das Lotmaterial der Oberseite 9/Unterseite 10 eine erste/zweite Metallplatte 11, 12 aufgebracht. Die erste Metallplatte 11 ist mit einem Stromerzeuger 17 über einen vorzugsweise wärmekapazitätsarmen ersten Kontakt 18 elektrisch verbunden. Die zweite Metallplatte 12 ist über einen zweiten vorzugsweise wärmekapazitätsarmen Kontakt 19 elektrisch geerdet.

[0033] Um einen aus elektrischem Bauelement 3, erster und zweiter Metallplatte 11 und 12 sowie erstem und zweitem Seitenelement 15 und 16 bestehenden Verbindungskomplex "zusammenschweißen", erzeugt der Stromgenerator 17 einen Strom, der über den ersten Kontakt 18 durch die erste Metallplatte 11, von dort durch das auf der Oberseite 9 aufgebrachte Lotmaterial in das Halbleiterbauteil 3 gelangt und von dort über das auf der Unterseite des Halbleiterbauteils 3 aufgebrachte Lotmaterial durch die zweite Metallplatte 12 zu dem zweiten Kontakt 19 geführt wird.

[0034] Die "Durchsetzung" des Halbleiterbauteils 3 mit dem elektrischen Strom bewirkt das Erzeugen von Verlustleistung in dem Halbleiterbauteil 3, wobei

die so erzeugte Wärme ein Schmelzen des Lotmaterials auf der Ober- bzw. Unterseite des Halbleiterbauteils 3 bewirkt. Auf diese Art und Weise entstehen Lötkontakte zwischen dem Halbleiterbauteil 3 und der ersten und zweiten Metallplatte 11, 12.

[0035] Fig. 3 zeigt eine mögliche Ausführungsform einer Powerstrip-Halbbrücke 20, die sich mit dem erfindungsgemäßen Verfahren herstellen lässt. Die Powerstrip-Halbbrücke 20 weist auf: ein erstes Halbleiterbauteil 21, ein zweites Halbleiterbauteil 22, ein erstes Gate G1, ein zweites Gate G2, einen ersten Sourcebereich S1, einen zweiten Sourcebereich S2 sowie einen ersten Drainbereich D1 und einen zweiten Drainbereich D2. Eine dazu äquivalente Schaltung 23 ist in Fig. 4 gezeigt. Das "Zusammenschweißen" des in Fig. 3 gezeigten Verbindungskomplexes könnte dabei folgendermaßen erfolgen: In einem ersten Schritt wird auf eine Oberseite/Unterseite des ersten Halbleiterbauteils 21 (Halbleiterschicht) Lotmaterial aufgebracht, und das Lotmaterial der Unterseite mit dem zweiten Gate G2 sowie dem zweiten Sourcebereich S2 verbunden, und das Lotmaterial der Oberseite mit dem ersten Sourcebereich S1 beziehungsweise dem zweiten Drainbereich D2 verbunden. Entsprechend wird auf eine Oberseite/Unterseite des zweiten Halbleiterbauteils 22 (Halbleiterschicht) Lotmaterial aufgebracht und das Lotmaterial der Unterseite mit dem ersten Sourcebereich S1 beziehungsweise dem zweiten Drainbereich D2 sowie dem ersten Gate G1 verbunden, und das Lotmaterial der Oberseite mit dem ersten Drainbereich D1 sowie dem ersten Sourcebereich S1 und dem zweiten Drainbereich D2 verbunden (die beschriebenen Bauteile werden dazu beispielsweise miteinander verklemt). In einem zweiten Schritt wird ein Strom in die Powerstrip-Halbbrücke 20 eingepreßt, der das erste Halbleiterbauteil 21 und das zweite Halbleiterbauteil 22 durchsetzt, die dabei Verlustwärme erzeugen, so dass das Lötmaterial schmilzt und entsprechende Lötkontakte entstehen.

[0036] Das Einprägen des Stromes bzw. der Leistung in die Powerstrip-Halbbrücke 20 kann auf mehrererlei Art und Weise erfolgen. Wie aus Fig. 6 ersichtlich ist, können eine erste Diode 24 und eine zweite Diode 25 der Powerstrip-Halbbrücke 20 gleichzeitig oder getrennt mit einem elektrischen Strom durchsetzt (bestromt) werden, wobei die Bestromung vorzugsweise im Inversbetrieb der ersten und zweiten Diode 24, 25 erfolgt. Die Bestromung der ersten und zweiten Diode 24, 25 bewirkt hierbei die Erzeugung von Verlustleistung, die entsprechende Halbleiterstrukturen aufheizt. Die Einprägung des Stroms erfolgt hierbei über einen ersten bis dritten Anschluss 26 bis 28. Für das Aufheizen der Powerstrip-Halbbrücke brauchen ein vierter und fünfter Anschluss 29, 30 also nicht verwendet zu werden.

[0037] Alternativ hierzu ist es möglich, einen bzw.

beide MOS-Transistoren **31**, **32** in der Powerstrip-Halbbrücke **20** in den Durchbruch zu treiben (V_{DS} ist positiv) und so mit Kontaktstrom zu versorgen, dass deren Heizleistungen für den Lötprozess genutzt werden können. Es können wahlweise beide MOS-Transistoren **31**, **32** der Powerstrip-Halbbrücke einzeln oder gleichzeitig in den Durchbruch betrieben werden. Diese Variante des Aufheizens der Powerstrip-Halbbrücke **20**, die in **Fig. 7** gezeigt ist, hat den Vorteil, dass im Vergleich zu dem in **Fig. 6** beschriebenen Verfahren sehr viel weniger Strom benötigt wird bzw. bei gleichem Strom eine höhere Leistung erzeugt werden kann. Wie aus **Fig. 8** ersichtlich ist, ist ein von einem Stromgenerator **17** erzeugter Strom I_0 sehr niedrig, da eine Durchbruchspannung V_{DS} relativ hoch ist, so dass bei einer festen einzuprägenden Leistung $P_V = I_0 \cdot V_{DS}$ ein nur geringer Strom I_0 benötigt wird. So ist es beispielsweise möglich, die Powerstrip-Halbbrücke **20** mit einer Diodenspannung von 0,7 V aufzuheizen, wohingegen im Durchbruchbetrieb der MOS-Transistoren **31**, **32** circa 50–70 V benötigt werden. Dementsprechend unterschiedlich sind auch die zum Aufheizen der Powerstrip-Halbbrücke **20** benötigten Ströme (hoher Strom für das Aufheizen mit den Dioden **24**, **25**, niedriger Strom für das Aufheizen über den Durchbruchbetrieb der MOS-Transistoren **31**, **32**) bei konstanter einzuprägender Leistung.

[0038] **Fig. 5** zeigt die in **Fig. 3** gezeigte Powerstrip-Halbbrücke **20** von der nach unten gewandten Seite in **Fig. 3** aus. Die Powerstrip-Halbbrücke **20** ist hierbei in einem Gehäuse **33** untergebracht, das mittels eines Verspritzverfahrens hergestellt wird ("Molding Compound")

[0039] Die Erfindung kann auch wie folgt dargestellt werden:

Beim konventionellen Montieren von Chips (z. B. in TO-Gehäusen) wird der komplette Materialstapel (Leadframe-Lot-Chip) auf relativ hohe Temperaturen (bis zu 450°C) aufgeheizt. Dadurch oxidiert das Leadframe, womit eine Aktivierung während bzw. eine Reinigung nach der Chip-Montage des Leadframes notwendig ist, um die Zuverlässigkeit der Chip-Lötung und die spätere Haftung der Pressmasse auf dem Leadframe zu erhöhen. Mittels des erfindungsgemäßen Selbstheiz-Montageverfahrens wird während der Chip-Montage nur der Chip selbst und unmittelbar benachbarte Bereiche erwärmt, womit eine temperaturbedingte Oxidation des gesamten Leadframes weitgehend vermieden werden kann.

[0040] Diese dem Punktschweißen ähnliche Art, einen lokalen Bereich aufzuheizen, um zwei Teile miteinander zu verbinden, ist in besonderem Masse geeignet, Halbleiterchips mit verschiedenen Trägermaterialien zu verbinden (verlöten). Der Vorteil beim Verarbeiten von Halbleiterchips liegt in der kontrollierten flächigen Aufheizung. Es ist darauf zu achten,

dass die dazu nötigen Ströme im Normalfunktionsbereich des Bauelementes liegen. Eine vorzeitige Alterung durch Migration ist dann nicht zu befürchten bzw. leicht zu vermeiden. Der Stromlevel wird beim Verlöten eines MOS-Transistors zum Beispiel deutlich reduziert, wenn zum Aufheizen statt der Freilaufdiode (mit nur 0,7 V Spannungsabfall) ein Power-MOS-Transistor mit aktiver Zenerung bei ca. 40–50 V betrieben wird. Ist eine Zenerklemmung nicht möglich, wäre ein Betrieb mit kontrolliertem Durchbruch denkbar.

[0041] Neue Montagetechniken gemäß Patent Nr. DE 196 35 582 C1 (Chipstapel) machen flächige Chip-Lötungen meist auf beiden Seiten des Chips nötig. Bei konventioneller Montage müssen hierzu zwei Lote mit unterschiedlichen Schmelzpunkten zum Einsatz kommen, da sonst beim zweiten Lötschritt die erste Lotverbindung wieder aufschmilzt und dann undefiniert erstarrt. Mittels des erfindungsgemäßen Selbstheiz-Montageverfahrens kann auf beiden gegenüberliegenden Chipseiten das gleiche Lot verwendet werden, da der Chip während der Montage zwischen den beiden Chipträgern eingeklemmt wird und die beiden Verbindungsschichten gleichzeitig aufschmelzen und wieder erstarren.

[0042] Erfindungsgemäß wird durch definiertes Aufheizen des elektrischen Bauelementes die Lötung der Ober- und Unterseite vollzogen. Es wird also nicht mehr die komplette Vorrichtung aufzuheizen sein.

[0043] Beispielsweise kann in einem MOS-Transistor-Chip durch Inversbetrieb definiert Verlustleistung erzeugt werden.

[0044] Will man einen Chip beidseitig verlöten, so kann gemäß **Fig. 2** der Chip zwischen die beiden Metallplatten des Power-Strip-Gehäuses (blaue Flächen im Bild 2) positioniert werden und mit geeigneten, wärmekapazitätsarmen Kontakten elektrisch verbunden werden.

[0045] Wird nun mit einer Strom- oder Spannungsquelle eine Leistung eingeprägt, kann der Chip definiert erhitzt werden. Bei dem Beispiel beträgt die Leistung $P_V = \text{Flussspannung } V_F \text{ der Power-MOS-Reverse-Diode mal Flusstrom } I_F$. Wird das Halbleiterbauteil mittels der Verlustleistung von Dioden aufgeheizt, so beträgt die Flussspannung V_F vorzugsweise in etwa 0,7 V. Wird das Bauelement in einem Arbeitspunkt mit höherer Spannung betrieben, kann, wie oben schon erwähnt der Strom entsprechend reduziert werden.

[0046] In **Fig. 9** ist eine Diodenkennlinie **34** sowie ein Ersatzschaltbild **35** einer realen Diode gezeigt. Das Ersatzschaltbild **35** besteht aus einer Reihenschaltung einer idealen Diode **36** mit einer Knick-

spannung von 0,7 V und einem Diodenwiderstand **37** ($R = \Delta V_F / \Delta I_F$). In Abhängigkeit der Temperatur kann somit die Leistung $P_V = I_F \cdot V_F$ durch Regelung der Spannung V_F geregelt werden. Somit ist eine kontrollierte Lötung möglich.

[0047] Erfindungsgemäß wird also vorzugsweise die Leistung in das Halbleiterbauteil so eingepreßt, dass stets eine gewünschte, für das Verlöten ideale Temperatur eingehalten werden kann. Um eine bestimmte Temperatur einzuhalten, kann, analog zu üblichen Verfahren zur Wärmewiderstandsmessung, eine momentane Temperatur des Halbleiterbauteils gemessen werden, indem man in kurzen Pausen (beispielsweise 1 ms lang), in denen keine Leistung in das Halbleiterbauteil eingesetzt wird, die Flussspannung P_V der Diode bzw. des Transistors durch Beaufschlagen dieser mit einem sehr kleinen Messstrom (einige mA) ermittelt werden. Aus der ermittelten Flussspannung P_V kann wiederum die Temperatur des Halbleiterbauteils bestimmt werden. Die Temperaturbestimmung ist hierbei sehr genau, da die Flussspannung P_V einen bestimmten, relativ konstanten, linearen und gut reproduzierbaren Temperaturkoeffizienten hat. Mit diesem Wärmewiderstandsmessverfahren kann die Temperatur des Halbleiterbauteils stets auf gewünschte Werte eingestellt werden (sozusagen "online"). Steigt beispielsweise die Temperatur des Halbleiterbauteils über einen oberen Grenzwert, so wird das Einprägen einer Leistung in das Halbleiterbauteil so lange gestoppt, bis die Temperatur wieder auf einen Wert unterhalb des oberen Grenzwerts gesunken ist. Analog wird, wenn die Temperatur des Halbleiterbauteils unter einen unteren Grenzwert fällt, so lange Leistung in das Halbleiterbauteil eingepreßt, bis die Temperatur den unteren Grenzwert wieder überschritten hat. Mit diesem Verfahren lässt sich nicht nur ein bestimmter Temperaturwert einhalten, sondern auch ein definiertes Aufheizen bzw. Abkühlen des Halbleiterbauteils erzielen.

[0048] Eventuelle Rauigkeiten werden dabei automatisch gelappt, da durch die Rauigkeiten der größte Strom zufließt und die Oberfläche bevorzugt abschmilzt. Hierdurch wird der Lötspalt (Verbindungsschicht) dünner als bei herkömmlichen Verfahren und führt so zu einer Verbesserung der thermischen Eigenschaften. Zusätzlich bietet das Verfahren große fertigungs- und prozesstechnische Vorteile (weniger Prozessschritte, kürzere Prozesszeiten, Kostenreduktion).

Bezugszeichenliste

1	Kontakt-/Montageelement
2	Lotmaterial
3	Halbleiterbauteil
4	Behälter
5	Presseinrichtung
6	Chip-Substrat

7	aktives Gebiet
8	Schaltung
9	Oberseite
10	Unterseite
11	erste Metallplatte
12	zweite Metallplatte
13	erste Seitenfläche
14	zweite Seitenfläche
17	Stromgenerator
18	erster Kontakt
19	zweiter Kontakt
20	Powerstrip-Halbbrücke
21	erstes Halbleiterbauteil
22	zweites Halbleiterbauteil
23	Schaltung
PS1-PS5	erster bis fünfter Prozessschritt
S1, S2	erster und zweiter Sourcebereich
D1, D2	erster und zweiter Drainbereich
G1, G2	erstes und zweites Gate
24	erste Diode
25	zweite Diode
26-30	erster bis fünfter Anschluss
31	erster MOS-Transistor
32	zweiter MOS-Transistor
33	Gehäuse
34	Diodenkennlinie
35	Ersatzschaltbild
36	ideale Diode
37	Diodenwiderstand

Patentansprüche

1. Montageverfahren für ein Halbleiterbauteil (**3**), mit den folgenden Schritten:

- Aufbringen von Lotmaterial (**2**) auf das Halbleiterbauteil (**3**) und/oder auf wenigstens ein Kontakt-/Montageelement (**11, 12**) aus Metall und/oder Halbleitermaterial und/oder Isolatormaterial,
- Aufbringen des wenigstens einen Kontakt-/Montageelements (**11, 12**) auf das Halbleiterbauteil (**3**) derart, dass sich das Lotmaterial zwischen dem Halbleiterbauteil und dem wenigstens einen Kontakt-/Montageelement befindet,
- Aufheizen wenigstens eines Teils des Halbleiterbauteils (**3**) auf eine Temperatur, die oberhalb des Schmelzpunkts des Lotmaterials (**2**) liegt, indem eine elektrische Leistung in das Halbleiterbauteil (**3**) eingepreßt wird, wodurch zwischen dem Halbleiterbauteil (**3**) und dem wenigstens einen Kontakt-/Montageelement (**11, 12**) entsprechende Lötverbindungen entstehen,
- Abkühlen eines im vorangehenden Schritt erzeugten, aus dem Halbleiterbauteil (**3**) und dem wenigstens einen Kontakt-/Montageelement (**11, 12**) bestehenden Verbindungskomplexes.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass Lotmaterial (**2**) auf eine Oberseite (**9**) und eine Unterseite (**10**) des Halbleiterbauteils (**3**) aufgebracht wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass auf das Lotmaterial (2) der Oberseite/Unterseite (9, 10) ein erstes Kontakt-/Montageelement/zweites Kontakt-/Montageelement (11, 12) aufgebracht wird.

4. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Einprägen der elektrischen Leistung in das Halbleiterbauteil (3) durch Einprägen eines elektrischen Stroms erfolgt, wobei dieser wenigstens durch einen Teil des Lotmaterials (2) hindurch geführt wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass der elektrische Strom zuerst durch das Lotmaterial (2) der Oberseite (9), dann durch das Halbleiterbauteil (3) und zuletzt durch das Lotmaterial der Unterseite (10) geführt wird, so dass eine Lötverbindung zwischen dem Halbleiterbauteil (3) und dem ersten Kontakt-/Montageelement (11) sowie eine Lötverbindung zwischen dem Halbleiterbauteil (3) und dem zweiten Kontakt-/Montageelement (12) erzeugt wird.

6. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die zum Aufheizen verwendeten Ströme im Normalfunktionsbereich des zu montierenden Halbleiterbauteils (3) liegen.

7. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kontakt-/Montageelemente (11, 12) Metallplatten sind.

8. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Halbleiterbauteil (3) aus einem ersten Teil und einem zweiten Teil besteht, wobei der erste Teil ein Chip-Substrat (6) ist, und der zweite Teil ein auf dem Chip-Substrat aufgebrachtes aktives Gebiet (7) ist.

9. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Halbleiterbauteil (3) ein Leistungs-Halbleiterelement, insbesondere ein MOS-Transistor ist.

10. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Einprägen der elektrischen Leistung/des elektrischen Stroms in das Halbleiterbauteil (3) das Erzeugen von Verlustleistung bewirkt, wodurch das Halbleiterbauteil (3) aufgeheizt wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Verlustleistung durch Bestromung von Flussdioden (24, 25), die Teil des Halbleiterbauteils (3) sind, erzeugt wird.

12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Verlustleistung durch Betrei-

ben des Halbleiterbauteils (3) im kontrollierten Durchbruch beziehungsweise durch Betreiben des Halbleiterbauteils (3) als aktive Zenerstruktur erzeugt wird.

13. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine momentane Temperatur des Halbleiterbauteils (3) gemessen und in Abhängigkeit der gemessenen Temperatur die in das Halbleiterbauteil (3) eingeprägte elektrische Leistung geregelt wird, so dass eine bestimmte Temperatur oder ein bestimmter Temperaturverlauf während einer Aufheizphase/einer Lötphase/einer Abkühlphase des Halbleiterbauteils (3) realisiert werden.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass die momentane Temperatur des Halbleiterbauteils (3) durch Einprägen eines Meßstroms in das Halbleiterbauteil (3) und Messen der dazugehörigen Meßspannung ermittelt wird.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass das Einprägen des Meßstroms in das Halbleiterbauteil (3) und das Messen der dazugehörigen Meßspannung in bestimmten zeitlichen Intervallen erfolgt, wobei während entsprechender Meßphasen das Einprägen der elektrischen Leistung unterbrochen wird.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

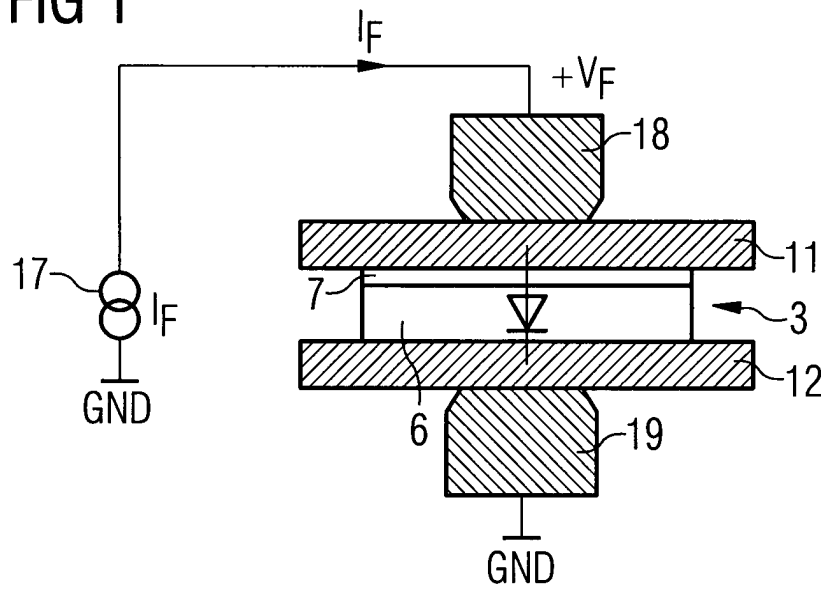


FIG 2

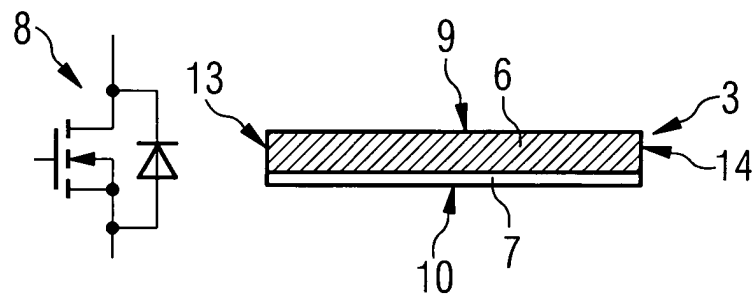


FIG 3

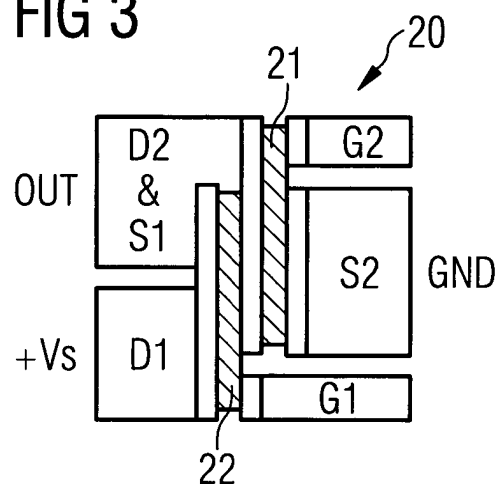


FIG 4

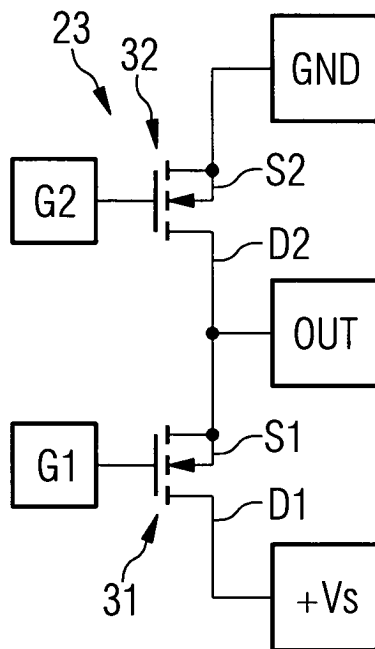


FIG 5

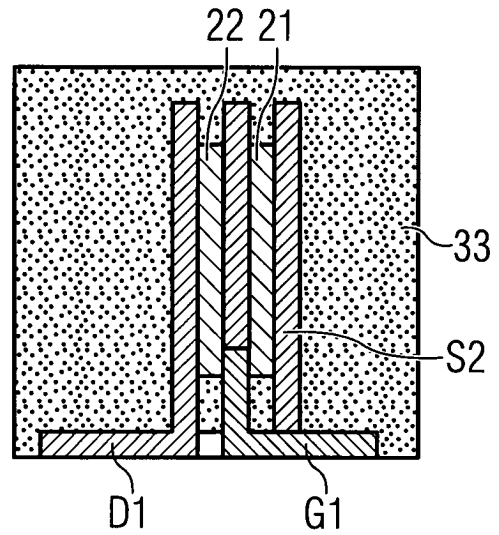


FIG 6

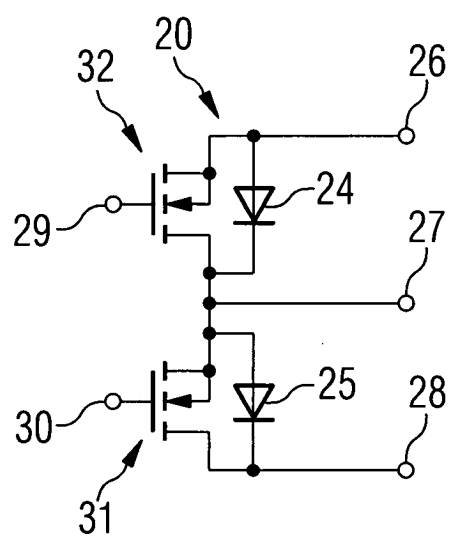


FIG 7

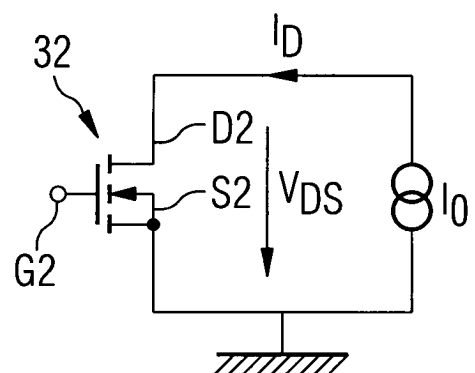


FIG 8

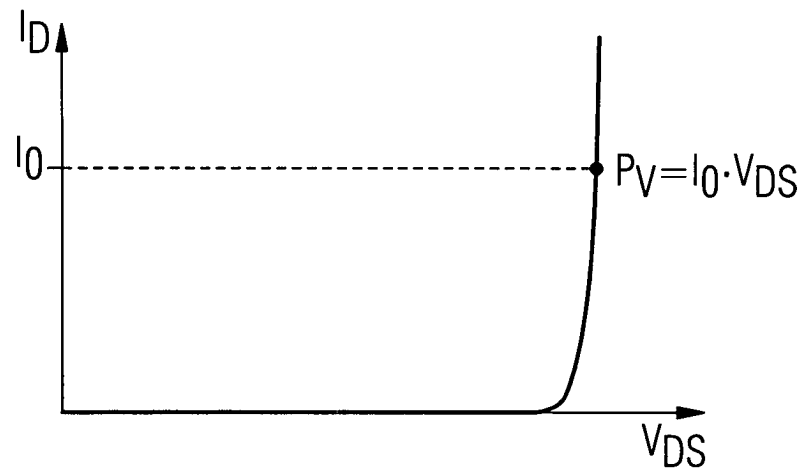


FIG 9

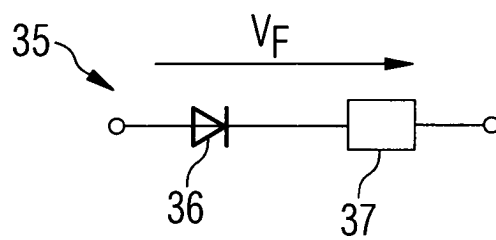
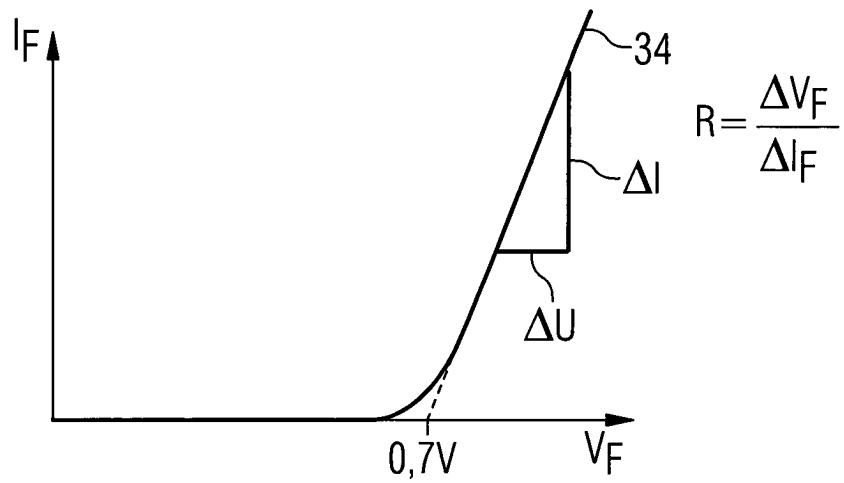


FIG 10

