



1. 一种半导体器件包括:

半导体基片上的半导体主体, 所述半导体主体具有顶面和侧向相对的侧壁;

半导体覆盖层, 它形成在所述半导体主体的所述顶面上和所述侧壁上;

栅极绝缘层, 它形成在所述半导体主体的所述顶面和所述侧壁上的所述半导体覆盖层上;

栅极电极, 它具有在所述栅极绝缘层上并围绕所述栅极绝缘层而形成的一对侧向相对的侧壁; 以及

在所述栅极电极的相对的两侧上, 在所述半导体主体内形成的一对源极/漏极区域。

2. 如权利要求 1 所述的半导体器件, 其中所述半导体覆盖层具有拉应力。

3. 如权利要求 2 所述的半导体器件, 其中所述半导体覆盖层在所述半导体主体的所述侧壁上具有比在所述半导体主体的所述顶面上大的拉应力。

4. 如权利要求 2 所述的半导体器件, 其中所述源极/漏极区域具有 n 型导电性。

5. 如权利要求 1 所述的半导体器件, 其中所述半导体基片是硅基片, 其中所述半导体主体是硅锗合金, 并且其中所述半导体覆盖层是硅薄膜。

6. 如权利要求 1 所述的半导体器件, 其中所述半导体覆盖层具有压应力。

7. 如权利要求 6 所述的半导体器件, 其中所述半导体覆盖层在所述半导体主体的所述侧面上具有比在所述顶面上大的压应力。

8. 如权利要求 6 所述的半导体器件, 其中所述半导体基片是单晶

硅基片，其中所述半导体主体包括硅碳合金，并且其中所述半导体覆盖层是硅薄膜。

9. 如权利要求 1 所述的半导体器件，其中所述半导体基片是硅基片，其中所述半导体主体是硅体，并且其中所述半导体覆盖层是硅覆盖层。

10. 一种半导体器件包括：

硅锗体，它形成在硅单晶基片上，所述硅锗体具有顶面和一对侧向相对的侧壁；

硅薄膜，它形成在所述硅锗体的所述顶面和所述侧壁上；

栅极绝缘层，它形成在所述半导体主体的所述顶面上的所述硅薄膜上和所述半导体主体的所述侧壁上的所述硅薄膜上；

栅极电极，它具有在所述栅极绝缘层上并围绕所述栅极绝缘层而形成的一对侧向相对的侧壁；以及

在所述栅极电极的相对的两侧上，在所述半导体主体内形成的一对源极/漏极区域。

11. 如权利要求 10 所述的半导体器件，其中这样形成所述硅薄膜，使得所述硅薄膜在所述半导体主体的顶面上比在所述半导体主体侧壁上厚。

12. 如权利要求 10 所述的半导体器件，其中所述硅薄膜具有 50-300Å 之间的厚度。

13. 如权利要求 10 所述的半导体器件，其中所述硅锗合金包括 5-40%之间的锗。

14. 如权利要求 13 所述的半导体器件，其中所述硅锗合金包括大约 15-25%的锗。

15. 如权利要求 10 所述的半导体器件，其中所述源极/漏极区域具有 n 型导电性。

16. 一种半导体器件包括：

硅碳合金体，它形成在硅单晶基片上，所述硅碳合金体具有顶面

和一对侧向相对的侧壁;

硅薄膜, 它形成在所述硅碳合金体的所述顶面和所述侧壁上;

栅极绝缘层, 它形成在所述硅碳合金体的所述顶面的所述硅薄膜上和所述硅碳合金体的所述侧壁上的所述硅薄膜上;

栅极电极, 它具有在所述栅极绝缘层上并且围绕所述栅极绝缘层而形成的一对侧向相对的侧壁; 以及

在所述栅极电极的相对的两侧, 在所述半导体主体内形成的一对源极/漏极区域。

17. 如权利要求 16 所述的半导体器件, 其中将所述硅薄膜形成到 50-300Å 之间的厚度。

18. 如权利要求 17 所述的半导体器件, 其中所述硅薄膜具有 50-300Å 之间的厚度。

19. 如权利要求 16 所述的半导体器件, 其中所述源极/漏极区域具有 p 型导电性。

20. 一种形成半导体器件的方法包括:

在半导体基片中形成一对隔离区, 所述一对隔离区在所述半导体基片中在所述一对隔离区之间限定有源基片区, 所述隔离区延伸在所述基片上面;

在所述半导体基片的所述有源区上, 在所述一对隔离区之间形成半导体薄膜;

对所述隔离区进行深蚀刻, 以便由所述半导体薄膜形成半导体主体, 其中所述半导体主体具有顶面和一对侧向相对的侧壁;

在所述半导体主体的所述顶面和所述侧壁上形成半导体覆盖层;

在形成于所述半导体主体的所述顶面的所述侧壁上的所述覆盖层上面形成栅极绝缘层;

形成栅极电极, 所述栅极电极具有在所述栅极绝缘层上并围绕所述栅极绝缘层的一对侧向相对的侧壁; 以及

在所述栅极电极的相对的两侧，在所述半导体主体内形成一对源极/漏极区域。

21. 如权利要求 20 所述的方法，其中所述半导体薄膜是选择性地从所述半导体基片的所述有源区生长的。

22. 如权利要求 20 所述的方法，其中所述覆盖层是选择性地从所述半导体主体生长的。

23. 如权利要求 20 所述的方法，其中利用湿蚀刻剂对所述隔离区进行深蚀刻。

24. 如权利要求 20 所述的方法，其中所述半导体覆盖层具有拉应力。

25. 如权利要求 24 所述的方法，其中所述半导体覆盖层在所述半导体主体的所述侧壁上比在所述半导体主体的所述顶面上具有较大的拉应力。

26. 如权利要求 24 所述的方法，其中所述源极/漏极区域具有 n 型导电性。

27. 如权利要求 20 所述的方法，其中所述半导体基片是硅基片，其中所述半导体主体是硅锗合金，并且其中所述半导体覆盖层是硅。

28. 如权利要求 20 所述的方法，其中所述半导体覆盖层具有压应力。

29. 如权利要求 28 所述的方法，其中所述半导体覆盖层在所述半导体主体的所述侧壁上比在所述半导体主体的顶面上具有较大的压应力。

30. 如权利要求 28 所述的方法，其中所述半导体基片是单晶硅基片，其中所述半导体主体包括硅碳合金，并且其中所述半导体覆盖层是外延硅。

31. 如权利要求 28 所述的方法，其中所述源极/漏极区域具有 p 型导电性。

32. 一种形成半导体器件的方法包括：

在半导体基片中形成一对彼此隔开的隔离区，所述彼此隔开的隔离区在所述基片中限定有源基片区，其中所述隔离区在所述有源基片区上面延伸；

在所述隔离区之间在所述基片的所述有源区上形成半导体薄膜；

在所述隔离区之间在所述半导体薄膜的所述顶面上形成第一覆盖层；

对所述隔离区进行深蚀刻，以便形成具有带有所述第一覆盖层的顶面和一对侧向相对的侧壁的半导体主体；

在所述半导体主体的所述顶面上的所述第一覆盖层上以及在所述半导体主体的所述侧壁上形成第二覆盖层；

在所述半导体主体的所述第一覆盖层上的所述第二覆盖层上以及在所述半导体主体的所述侧壁上的所述第二覆盖层上形成栅极绝缘层；

在所述栅极绝缘层上并围绕所述栅极绝缘层形成具有一对侧向相对的侧壁的栅极电极；以及

在所述栅极电极的相对的两侧，在所述半导体主体内形成一对源极/漏极区域。

33. 如权利要求 32 所述的方法，其中所述第一和第二覆盖层是外延硅，并且其中所述半导体主体是硅锗合金，并且其中所述半导体基片是硅单晶基片。

34. 如权利要求 32 所述的方法，其中所述第一和第二覆盖层是外延硅，其中所述半导体主体是硅碳合金，并且其中所述半导体基片是硅单晶基片。

35. 如权利要求 32 所述的方法，其中所述第一和第二半导体覆盖层具有拉应力。

36. 如权利要求 32 所述的方法，其中所述第一和第二半导体覆盖层具有压应力。

37. 如权利要求 32 所述的方法, 其中所述半导体薄膜具有不同于所述半导体基片的晶格结构, 使得所述半导体薄膜具有在其中形成的应力。

38. 一种形成半导体器件的方法包括:

在基片上形成第一半导体主体和第二半导体主体, 所述第一和所述第二半导体主体各自具有顶面和一对侧向相对的侧壁, 所述第一半导体主体和所述第二半导体主体相隔一段距离;

在所述第一和所述第二半导体主体的所述侧壁和所述顶面上形成半导体覆盖层;

在所述第一和所述第二半导体主体的所述顶面和所述侧壁上形成栅极绝缘层; 以及

在所述第一和第二半导体主体的所述顶面上的所述栅极绝缘层上以及在所述第一和第二半导体主体的所述侧壁上的所述栅极绝缘层旁边形成栅极电极。

39. 如权利要求 38 所述的方法, 其中利用光刻工艺过程限定所述半导体主体, 并且其中隔开所述第一和第二主体的所述距离是所述光刻工艺过程可以达到的最小尺寸。

40. 如权利要求 39 所述的方法, 其中所述第一和第二半导体主体具有等于所述光刻工艺过程可以限定的最小尺寸的宽度。

41. 如权利要求 38 所述的方法, 其中所述半导体主体是外延硅薄膜并且其中所述半导体覆盖层是外延硅薄膜。

42. 如权利要求 38 所述的方法, 其中所述半导体主体是外延硅锗合金薄膜并且其中所述半导体覆盖层是外延硅薄膜。

## 具有增强迁移率的应变沟道的 非平面体晶体管及制造方法

### 发明背景

#### 1. 发明领域

本发明涉及集成电路制造领域，更具体地说，涉及应变增强迁移率的非平面体晶体管的构成及其制造方法。

#### 2. 现有技术讨论

现代集成电路，诸如微处理器，是由数亿个耦合在一起的晶体管构成的。为了改善集成电路的性能和能力，已经提出了一些新的晶体管结构。为了改善器件的性能，有人提出了非平面晶体管，诸如三栅极晶体管。在图 1A 和 1B 中，图解说明三栅极晶体管 100。图 1A 是三栅极晶体管 100 的俯视/侧视图的例图，而图 1B 是穿过三栅极晶体管 100 的栅极截取的剖面图的例图。三栅极晶体管 100 包括硅体 102，硅体 102 具有一对侧向相对的侧壁 103 和顶面 104。硅体 102 形成在包括氧化层 106 的绝缘基片上，氧化层 106 本身形成在单晶硅基片 108 上。栅极绝缘层 110 形成在硅体 102 的顶面 104 上和侧壁 103 上。栅极 120 形成在栅极绝缘层 110 上并包围硅体 102。一对源极/漏极区域 130 形成在硅体 102 内沿着栅极 120 的侧向相对的侧壁。晶体管 130 可以说是三栅极晶体管，因为它本质上具有 3 个栅极 (G1, G2, G3)，3 个栅极 (G1, G2, G3) 本质上形成 3 个晶体管。三栅极晶体管 100 在硅体 102 的一侧 103 上具有第一栅极/晶体管，在硅体 102 的顶面 104 上具有第二栅极/晶体管和在硅体 102 的第二侧 103 上具有第三栅极/晶体管。每一个晶体管都提供与硅体 102 的侧面成正比的电流。三栅极晶体管具有吸引力，因为它们的单位面积的电流大，这提高了器件的性能。



### 附图的简短说明

图 1A 表示标准三栅极晶体管的俯视图；

图 1B 表示标准三栅极晶体管的剖面图；

图 2 是按照本发明的实施例具有应变诱生迁移率的三栅极体晶体管的例图；

图 3A-3I 图解说明按照本发明实施例形成具有应变增强迁移率的三栅极体晶体管的方法；

图 4A-4C 图解说明按照本发明实施例形成具有应变增强迁移率的三栅极体晶体管的方法；以及

图 5 图解说明硅块、应变硅锗半导体主体和应变硅覆盖层的晶格。

### 发明的详细说明

本发明的实施例是具有应变增强迁移率的非平面体晶体管及其制造方法。在以下描述中，提出了许多具体细节以便对本发明提供透彻的理解。为了避免不必要地使本发明模糊不清，在其他实例中，对众所周知的半导体处理和制造技术不再提出具体的细节。

本发明的实施例是具有应变增强迁移率的非平面体晶体管及其制造方法。本发明的实施例包括半导体主体，它使在半导体主体上形成或包围它的覆盖层处于应变之下。处于应变下的覆盖层增大器件中载流子的迁移率，这增大了器件的电流，从而可以用来改善电路速度。

图 2 中图解说明具有应变增强迁移率的非平面或三栅极体晶体管 200 的示例。晶体管 200 形成在体半导体基片 202 上。在本发明的实施例中，基片 202 是单晶硅基片。在半导体基片 202 中形成的是一对彼此隔开的隔离区 204，诸如浅沟槽隔离 (STI) 区，所述隔离区限定它们之间的基片的有源区 206。但是，基片 202 不必是硅单晶基片而可以是其它类型的基片，诸如 (但不限于) 锗 (Ge)、硅锗 (SixGe<sub>y</sub>)、砷化镓 (GaAs)，InSb，GaP 和 GaSb。对于 n 型器件，有源区 206 一般掺

杂到  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 p 型导电级，而对于 p 型器件，则掺杂至  $1 \times 10^{16}$  与  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 n 型导电级。在本发明的其他实施例中，有源区 206 可以是未掺杂的半导体、诸如本征或未掺杂的硅单晶基片。

晶体管 200 具有在体基片 202 的有源基片区 206 上形成的半导体主体 208。半导体主体 208 具有顶面 209 和一对侧向相对的侧壁 211。顶面 209 和在半导体基片 206 上形成的底部表面相隔一个定义体高度的距离。半导体主体 208 的侧向相对的侧壁 211 彼此隔开定义所述体宽度的距离。半导体主体 208 是单晶半导体薄膜。在本发明的实施例中，半导体主体 208 是由不同于用于形成体基片 202 的半导体的半导体材料形成。在本发明的实施例中，半导体主体 208 是由具有不同于体半导体基片 202 的晶格常数或尺寸的单晶半导体形成的，使得半导体主体 208 被置于应变之下。在本发明的实施例中，体半导体基片是单晶硅基片，而半导体主体 208 是单晶的硅-锗合金。在本发明的实施例中，硅锗合金包括 5-40% 之间的锗，而理想的是，大约 15-25% 之间的锗。

在本发明的实施例中，体半导体基片 202 是单晶硅基片，而半导体主体 208 是硅碳合金。

在本发明的实施例中，这样形成体半导体 208，使得其厚度小于半导体主体 208 的外表面将导致晶格弛豫的数量。在本发明的实施例中，半导体主体 208 形成得其厚度在 100-2000Å 之间，更具体地说，在 200-1000Å 之间。在本发明的实施例中，半导体主体 208 的厚度和高度大约相同。

在本发明的实施例中，半导体主体 208 的宽度是体 208 高度一半至体 208 高度两倍之间。在本发明的实施例中，对于 n 型半导体器件，半导体主体 208 掺杂为浓度在  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 p 型导电性，而对于 p 半导体器件型，掺杂为浓度在  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 n 型导电性。在本发明的实施例中，半导体主体 208 是

本征半导体，诸如未掺杂的或本征硅薄膜。

晶体管 200 包括在半导体主体 208 的侧壁 211 上以及在半导体主体 208 的顶面 209 上形成的半导体覆盖层 210。半导体覆盖层 210 是单晶半导体薄膜。在本发明的实施例中，半导体覆盖层 210 是由具有不同于半导体主体 208 的晶格常数的半导体材料形成的，使得在覆盖层中形成应变。在本发明的实施例中，覆盖层具有拉伸应变。拉伸应变被认为改善了电子的迁移率。在本发明的实施例中，覆盖层具有压缩应变。压缩应变被认为改善了空穴的迁移率。在本发明的实施例中，电流在覆盖层 210 中在垂直于应变的方向上流动。在本发明的实施例中，半导体主体 208 的侧壁 211 上的覆盖层 210 中的应变大于半导体主体 208 的顶面 209 上的覆盖层 210 中的应变。

在本发明的实施例中，半导体覆盖层 210 是单晶硅薄膜。在本发明的实施例中，覆盖层 210 是在硅-锗合金体 208 上形成的单晶硅薄膜。在硅-锗合金半导体主体 208 上形成的单晶硅薄膜将使单晶硅薄膜具有拉应力。在本发明的实施例中，覆盖层 210 是在硅碳合金半导体主体 208 上形成的单晶硅薄膜。在硅碳合金半导体主体 208 上形成的单晶硅覆盖层 210 将使单晶硅薄膜 210 具有压应力。

在本发明的实施例中，这样形成半导体覆盖层 210，使得其厚度小于使单晶薄膜的晶格弛豫的数量。在本发明的实施例中，这样形成半导体覆盖层 210，使得其厚度在 50-300Å 之间。在本发明的实施例中，半导体主体 208 侧壁 211 上的覆盖层的厚度与半导体主体 208 的顶面 209 上的覆盖层 210 的厚度相同，如在图 2 图解说明的。在本发明的实施例中，这样形成半导体覆盖层 210，使得半导体主体 208 顶面上的厚度大于侧壁 211 上的厚度，例如，在图 4C 中所表示的。

晶体管 200 包括栅极绝缘层 212。在形成于半导体主体 208 的侧壁 211 上的覆盖层 210 上形成栅极绝缘层 212，并在形成于半导体主体 208 的顶面 209 上的半导体覆盖层 210 上形成栅极绝缘层 212。栅极绝缘层 210 可以是任何众所周知的栅极绝缘层。在本发明的实施

例中,栅极绝缘层是二氧化硅( $\text{SiO}_2$ )、氮氧化硅( $\text{SiO}_x\text{N}_y$ )或氮化硅( $\text{Si}_3\text{N}_4$ )绝缘层。在本发明的实施例中,栅极绝缘层 212 是氮氧化硅薄膜,其厚度在 5-20Å 之间。在本发明的实施例中,栅极绝缘层 212 是高 K 栅极绝缘层,诸如金属氧化物电介质,诸如(但不限于)五氧化钽( $\text{Ta}_2\text{O}_5$ )、氧化钛( $\text{TiO}_2$ )、氧化铪( $\text{HfO}$ )和氧化锆( $\text{ZrO}$ )。但是,栅极绝缘层 212 可以是其它类型的高 K 电介质,诸如(但不限于)PZT 和 BST。

晶体管 200 包括栅极 214。在栅极绝缘层 212 上并围绕它形成栅极 214,如图 2 所示。在形成于半导体主体 208 的侧壁 211 上的覆盖层 210 上形成的栅极绝缘层 212 上及其附近形成栅极 214,并且在形成于半导体主体 208 的顶面 209 上的覆盖层 210 上形成的栅极绝缘层 212 上形成栅极 214,并且在形成于栅极电极 208 的侧壁 211 上的覆盖层 210 上形成的栅极绝缘层 212 上或其附近形成栅极 214,如图 2 所示。栅极 214 具有一对侧向相对的侧壁 216,所述一对侧向相对的侧壁 216 隔开定义晶体管 200 的栅极长度( $L_g$ )的距离。在本发明的实施例中,栅极 214 的侧向相对的侧壁 216 在垂直于半导体主体 208 的侧向相对的侧壁 211 的方向延伸。栅极 214 可以由任何适当的栅极材料形成。在本发明的实施例中,栅极 214 包括掺杂至浓度在  $1 \times 10^{19}$  至  $1 \times 10^{20}$  原子/ $\text{cm}^3$  之间的多晶硅薄膜。对于 n 型器件,栅极 214 可以掺杂为 n 型导电性,而对于 p 型器件,掺杂为 p 型导电性。在本发明的实施例中,栅极可以是金属栅极。在本发明的实施例中,栅极 214 由金属薄膜形成,所述金属薄膜具有适合于(tailored for)n 型器件的逸出功,诸如 3.9 电子伏至 4.2 电子伏之间的逸出功。在本发明的实施例中,栅极 214 由金属薄膜形成,所述金属薄膜具有适合于(tailored for)p 型器件的逸出功,诸如 4.9 电子伏至 5.2 电子伏之间的逸出功。在本发明的实施例中,栅极 214 由具有 4.6 至 4.8 电子伏之间的中间能阶(midgap)逸出功的材料形成。中间能阶逸出功对当半导体主体 208 和覆盖层 210 是本征半导体薄膜时的应用是理想的。下面将指出,栅极 214 不必是单一材料的,可以是薄膜组合堆叠,

诸如(但不限于)多晶硅/金属电极或金属多晶硅电极。

晶体管 200 具有一对在半导体主体 208 上以及在栅极 214 的侧向相对的侧壁 216 的相对的两侧上的覆盖层上形成的源极/漏极区域, 如图 2 所示。当形成 n 型器件时, 源极/漏极区域 218 掺杂为 n 型导电性, 而当形成 p 型器件时, 掺杂为 p 型导电性。在本发明的实施例中, 源极/漏极区域具有  $1 \times 10^{19}$  至  $1 \times 10^{21}$  原子/cm<sup>3</sup> 之间的掺杂浓度。源极/漏极区域 218 可以由均匀的浓度形成, 或者可以包括不同浓度的或不同掺杂分布的子区域, 诸如触点 (tip) 区域 (例如, 源极/漏极扩展)。在本发明的实施例中, 当晶体管 200 是对称的晶体管时, 源极和漏极区域将具有相同的掺杂浓度分布。在本发明的实施例中, 晶体管 200 是不对称晶体管, 源极区域和漏极区域可以改变, 以便获得特定的电气特性。

半导体主体 208 和覆盖层 210 的位于源极/漏极区域 216 之间并且在栅极 214 之下的所述部分形成晶体管的沟道区域。所述沟道区域也可以定义为半导体主体 208 和覆盖层 210 的被栅极 214 包围的区域。源极/漏极区域一般通过例如扩散略微扩展到栅极下面, 以便形成略微小于栅极长度 (Lg) 的沟道区域。当晶体管 300 "导通" 时, 在器件的沟道区域中形成反型层, 所述反型层形成导电沟道, 使电流能够在源极/漏极区域 340 之间流动。在半导体主体 208 的侧壁 211 上的覆盖层表面上以及在半导体主体 208 的顶面 209 上的覆盖层的表面上形成反型层或导电沟道。

通过提供在 3 个侧面上包围半导体主体 208 和覆盖层 210 的栅极绝缘层 212 和栅极 214, 所述非平面晶体管具有以下特征: 所述非平面晶体管具有 3 个沟道和 3 个栅极, 其中一个栅极 (G1) 延伸在半导体主体 208 的一个侧面 211 上的源极/漏极区域之间, 第二栅极 (G2) 延伸在半导体主体 208 的顶面 209 上的源极/漏极区域之间, 而第三栅极 (G3) 延伸在半导体主体 208 的侧壁 211 上的源极/漏极区域之间。晶体管 200 的栅极的 "宽度" (Gw) 是 3 个沟道区域的和。就是说, 晶体

管 200 的栅极宽度等于半导体主体 208 的高度加上侧壁 211 的顶面上覆盖层的厚度、加上半导体主体 208 的宽度、加上半导体主体的两侧 211 中的每一侧上覆盖层的厚度、加上半导体主体 208 的顶面 209 上覆盖层 210 的厚度。可以利用由单个栅极包围的多个半导体主体 208 和覆盖层获得"宽度"较大的晶体管, 诸如在图 3I 中图解说明的。

尽管在图 2 中图解说明了三栅极晶体管 200, 但是本发明同样地可以应用于其它非平面晶体管。例如, 本发明可以应用于"finfet"或双栅极晶体管或仅仅在半导体主体的相对的两侧上形成两个栅极。另外, 本发明可应用于"omega"栅极或环绕栅极器件, 其中栅极环绕半导体主体以及在半导体主体的一部分的下面。可以通过包括在半导体主体 208 上形成的覆盖层 210 来改善"finfet"器件和"omega"器件的性能, 并以此增强器件内载流子的迁移率。下面将指出, 非平面器件是一种这样的器件, 当"导通"时, 在垂直于基片平面的方向上形式导电沟道或导电沟道的一部分。非平面晶体管也可以是一种这样的器件, 其中既在水平方向又在垂直方向形成导电沟道区域。

图 3A-3I 图解说明按照本发明实施例的具有应变增强迁移率的非平面晶体管的形成方法。首先, 如图 3A 所示, 提供半导体基片 300。在本发明的实施例中, 半导体基片 300 是单晶硅基片。基片 300 不必是硅基片, 而可以是其它类型的基片, 诸如硅锗基片、锗基片、硅锗合金、砷化镓、InSb 和 GaP。在本发明的实施例中, 半导体基片 300 是本征(亦即, 未掺杂的)硅基片。在本发明的其他实施例中, 半导体基片 300 掺杂至浓度在  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 p 型导电性或 n 型导电性。接着, 在基片 300 上形成具有掩模部分 302 的掩模, 所述掩模部分 302 用于形成各隔离区, 如图 3A 所示。在本发明的实施例中, 所述掩模是抗氧化掩模。在本发明的实施例中, 掩模部分 302 包括薄的衬垫氧化层 304 和较厚的氮化硅或抗氧化层 306。掩模部分 302 在基片 300 限定要在其中形成晶体管体的有源区 308。掩模部分 302 可以通过淀积衬垫氧化层, 然后在基片 300 上面形成衬垫氮化硅

层而形成。接着，使用众所周知的光刻法技术，对要在其中形成掩模部分 302 的位置上面的光刻胶掩模层进行遮蔽、曝光和显影。然后与所形成的光刻胶掩模对准，蚀刻氮化物薄膜 306 和衬垫氧化层 304，以便形成掩模部分 302，如图 3A 所示。

在本发明的实施例中，掩模部分 302 具有宽度 (W1)，宽度 (W1) 是最小宽度或最小特征尺寸 (亦即，关键尺寸 (CD))，可以在制造晶体管时利用光刻法来形成宽度 (W1)。另外，在本发明的实施例中，各掩模部分 302 彼此隔开距离 D1，距离 D1 是在制造过程中可以利用光刻法限定的最小距离。就是说，掩模部分 302 具有可以是可靠的并能利用制造晶体管用的光刻法处理达到的最小尺寸并彼此隔开最小尺寸 (亦即，关键尺寸)。这样，将掩模部分 302 定义为具有能够利用制造晶体管用的光刻工艺过程实现的最小尺寸和最大密度。

在本发明的实施例中，掩模部分 302 具有厚度 (T1)，所述厚度 (T1) 等于或大于随后形成的半导体主体所要求的厚度或高度。

接着，如图 3B 所示，以与掩模部分 302 的外边缘对齐的方式蚀刻半导体 300 的各曝露部分，以便形成沟槽开口 310。将所述沟槽开口蚀刻到足以将相邻的晶体管彼此隔离的深度。

接着，如图 3C 所示，用绝缘层 312 填充沟槽，以便在基片 300 中形成浅沟槽隔离 (STI) 区域 312。在本发明的实施例中，所述绝缘层是通过首先在沟槽 310 的侧壁底部生长薄的衬垫氧化物而形成的。接着，例如，通过利用高密度等离子体 (HDP) 化学气相淀积处理，在衬垫氧化物上面覆盖淀积氧化物绝缘层，来填充沟槽 312。还将在掩模部分 302 的顶部上形成填充绝缘层。然后通过例如化学机械抛光从掩模部分 302 的顶部除去填充绝缘层。继续所述化学机械抛光处理直到掩模部分 302 的顶面露出，使浅槽隔离区 312 的顶面基本上与掩模部分 302 的顶面同平面为止，如图 3C 所示。

尽管浅槽隔离区用于本发明是理想的，但是也可以利用其它众所周知的隔离区和技术，诸如硅的局部氧化 (LOCOS) 或凹槽 LOCOS。

接着,如图 3D 所示,从基片 300 除去掩模部分 302,以便形成半导体主体开口 314。首先,利用蚀刻剂除去氮化硅部分 306,所述蚀刻剂把抗氧化部分或氮化硅部分 306 蚀刻掉,而基本上不蚀刻隔离区 312。除去氮化硅部分 306 之后,除去衬垫氧化物部分 304。例如,可以利用包括氟氢酸(HF)的湿蚀刻剂除去衬垫氧化物部分 304。除去掩模部分 302 形成具有基本上垂直的侧壁的半导体主体开口或沟槽 314。所述垂直侧壁使半导体主体能够在沟槽内生长,并限于其中,以便能够形成带有几乎垂直的侧壁的半导体主体。

接着,如图 3E 所示,在开口 314 中形成半导体主体薄膜 316,如图 3E 所示。在本发明的实施例中,半导体主体薄膜 316 是外延半导体薄膜。在本发明的实施例中,当需要应变增强半导体器件时,由单晶半导体薄膜形成半导体薄膜,所述单晶半导体薄膜具有与在其上生长该单晶半导体薄膜的底层半导体基片的不同晶格常数或不同的晶格尺寸,使得所述半导体薄膜处于应变下。在本发明的实施例中,单晶硅薄膜 316 具有比底层半导体基片 300 大的晶格常数或晶格尺寸。在本发明的实施例中,单晶半导体薄膜 316 具有比底层半导体基片 300 小的晶格尺寸或常数。

在本发明的实施例中,半导体薄膜 316 是在硅单晶基片 300 上选择性地生长的外延硅锗合金薄膜。可以利用包括二氯硅烷(DCS)、 $H_2$ 、锗烷( $GeH_4$ )和 HCl 的淀积气体选择性地在外延反应器中生长硅锗合金。在本发明的实施例中,硅锗合金包括 5-40%之间的锗,而理想的是 15-25%之间的锗。在本发明的实施例中,外延半导体薄膜 316 是在硅基片 300 上形成的单晶硅碳合金。把单晶半导体薄膜 316 淀积至半导体主体的厚度所要求的厚度。在本发明的实施例中,把单晶半导体薄膜 316 生长或淀积至小于隔离区 312 顶面的高度的厚度。这样,隔离区 312 限定沟槽内的半导体薄膜 316,使得形成带有几乎垂直侧壁的半导体薄膜。作为另一方案,可以在基片 300 上面覆盖淀积包括沟槽 314 内和隔离区 312 顶部上的半导体薄膜 316,然后对其



进行深抛光(polish back),以便从隔离区顶部除去半导体薄膜 316,只剩下在沟槽 314 内的半导体薄膜 316,如图 3E 所示。

在本发明的实施例中,半导体薄膜 316 是未掺杂的或本征半导体薄膜。在本发明的实施例中,制造 p 型器件时,把半导体薄膜 316 掺杂至浓度在  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 n 型导电性。在本发明的实施例中,制造 n 型器件时,把半导体薄膜 316 掺杂至浓度在  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 p 型导电性。可以在"原位"处理中的淀积过程中通过在淀积处理气体混合物中包括掺杂剂气体来对半导体薄膜 316 进行掺杂。作为另一方案,可以随后通过例如离子注入或热扩散来对半导体薄膜 316 进行掺杂,以便形成掺杂半导体薄膜 316。

接着,深蚀刻隔离区 312 或使之凹进,以便暴露半导体薄膜 316 的侧壁 320,并以此形成半导体主体 318,如图 3F 所示。半导体主体 318 具有几乎垂直的侧壁 320,因为在淀积过程中半导体薄膜 316 侧向被隔离区 312 限制。利用不明显蚀刻半导体薄膜 316 的蚀刻剂深蚀刻隔离区 312。当半导体薄膜 316 是硅或硅合金时,可以利用包括 HF 的湿蚀刻剂使隔离区 312 凹进。在本发明的实施例中,深蚀刻隔离区至这样一个水平,使得它们基本上与在半导体基片 300 上形成的有源区 308 的顶面同平面,如图 3F 所示。

接着,如图 3G 所示,在半导体主体 318 的顶面 319 和侧壁 320 上形成半导体覆盖层 322。半导体覆盖层 322 是单晶半导体薄膜。在本发明的实施例中,半导体覆盖层 322 是由具有不同于半导体主体 318 的晶格常数或尺寸的材料形成的。在本发明的实施例中,半导体覆盖层 322 是单晶硅薄膜。在本发明的实施例中,半导体覆盖层 322 是在硅锗合金体 318 上形成的单晶硅薄膜。在本发明的实施例中,半导体覆盖层 322 是在硅碳合金半导体主体 318 上形成的单晶硅薄膜。可以利用包括 DCS、HCl 和 H<sub>2</sub> 的处理气体选择性地在外延淀积反应器中淀积单晶硅覆盖层 322。在本发明的实施例中,这样形成半导体覆盖层 322,使得其厚度小于在半导体覆盖层 322 内导致显著弛豫的数

量。在本发明的实施例中，这样形成半导体覆盖层 322，使得其厚度在晶体管“导通”时足以在覆盖层内形成整个反型层。在本发明的实施例中，这样形成半导体覆盖层 322，使得其厚度在 50-300Å 之间。在本发明的实施例中，半导体覆盖层 322 是未掺杂的或本征半导体薄膜。在本发明的实施例中，在形成 p 型器件时把半导体覆盖层 322 掺杂成  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 n 型导电性，而当形成 n 型器件时，掺杂至  $1 \times 10^{16}$  至  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之间的 p 型导电性。在本发明的实施例中，半导体覆盖层 322 在原位淀积处理中掺杂。作为另一方案，可以通过其它众所周知的技术，诸如通过离子注入或固态源扩散来对覆盖层 322 进行掺杂。

接着，如图 3H 所示，在形成于半导体主体 318 的侧壁 320 上的覆盖层 322 上形成栅极绝缘薄膜 324，并且在形成于半导体主体 318 的顶面 319 上覆盖层 322 上形成栅极绝缘薄膜 324，如图 3H 所示。在本发明的实施例中，栅极绝缘层 324 是生长栅极绝缘层，诸如(但不限于)二氧化硅层、氮氧化硅层或它们的组合。可以利用众所周知的干/湿氧化处理在半导体覆盖层上生长氧化硅或氮氧化硅层。当生长栅极绝缘层 324 时，将仅仅在包含诸如覆盖层 322 等区域的半导体上而不在隔离区 312 上形成栅极绝缘层 324。作为另一方案，栅极绝缘层 324 可以是淀积绝缘层。在本发明的实施例中，栅极绝缘层 324 是高 K 栅极绝缘层，诸如金属氧化物绝缘层，诸如(但不限于)氧化铪、氧化锆、氧化钽和氧化钛。可以通过众所周知的技术(诸如化学气相淀积或溅射淀积)淀积高 K 氧化物绝缘层。当淀积栅极绝缘层 324 时，还将在隔离区 312 上形成栅极绝缘层 324。

接着，如图 3H 所示，在基片 300 上面覆盖淀积栅极材料 326，使得栅极材料 326 淀积在栅极绝缘层 324 上并围绕栅极绝缘层 324。就是说，在形成于半导体主体 318 的顶面上的覆盖层 322 上形成的栅极绝缘层 324 上淀积所述栅极材料，并且在形成于半导体主体 318 的侧壁 320 上的覆盖层 322 上或其附近形成所述栅极材料。在本发明的

实施例中，栅极材料 326 是多晶硅。在本发明的实施例中，栅极材料 326 是金属薄膜。在本发明的实施例中，栅极材料 326 是具有适合于 n 型器件的逸出功的金属薄膜，而在本发明的实施例中，栅极材料是具有适合于 p 型器件的逸出功的金属薄膜。这样形成栅极材料 326，使得其厚度足以完全覆盖或包围半导体主体 318、覆盖层 322 和栅极绝缘层 324，如图 3H 所示。

接着，如图 3I 所示，通过众所周知的技术使栅极材料 326 和栅极绝缘层 324 具有图案，以便形成栅极电极 330 和栅极绝缘层 328。可以利用众所周知光刻法和蚀刻技术使栅极材料 326 和栅极绝缘层 324 具有图案。栅极电极 330 具有一对侧向相对的侧壁 332，它们定义所述器件的栅极长度。在本发明的实施例中，侧向相对的侧壁 332 在垂直于半导体主体 318 的方向上延伸。尽管图中示出用于形成栅极电极 330 的腐蚀法，但是其它众所周知的技术，诸如置换栅极处理都可以用来形成栅极电极 330。

接着，还如图 3I 所示，在栅极电极 330 的相对的两侧，在覆盖层 332 和半导体主体 318 中形成一对源极/漏极区域 340。形成 n 型器件时，可以把源极/漏极区域形成为具有  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子/cm<sup>3</sup> 之间浓度的 n 型导电性。在本发明的实施例中，形成 p 型器件时，可以把源极/漏极区域形成为具有  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子/cm<sup>3</sup> 之间浓度的 p 型导电性。任何众所周知的技术，诸如离子注入或热扩散，都可以用来形成源极/漏极区域。使用离子注入时，栅极电极可以用来把晶体管的沟道区域与离子注入处理隔开，从而使源极/漏极区域 340 与栅极电极 330 自对准。另外，必要时源极/漏极区域可以包括子区域，诸如源极/漏极扩展和源极/漏极触点区域。包括垫片形成的众所周知的工艺过程可以用来形成所述子区域。另外，必要时可以在源极/漏极区域 340 上和栅极电极 330 的顶部上形成硅化物，以便进一步减小电接触电阻。这便完成了具有应变增强迁移率的非平面体晶体管的制造。

众所周知的"后端"技术可以用来形成金属触点、金属化层和夹层介质,以便使不同的晶体管互联在一起,变成功能集成电路,诸如微处理器。

本发明宝贵的方面是覆盖层增大了晶体管的栅极宽度。这样,可以用最小特征尺寸和间隔来形成半导体主体,然后可以在按最小尺寸限定的半导体主体上并围绕它形成覆盖层,以便增大器件的栅极宽度。这增大了器件的单位面积的电流,改善器件的性能。在按最小尺寸限定和隔开的特征上形成覆盖层把按最小尺寸彼此隔开的所述主体之间的距离减小到小于所述关键尺寸或者小于利用用来形成所述器件的光刻工艺过程可实现的尺寸。这样,覆盖层的形成使每一个半导体主体能够实现较大的栅极宽度,同时仍旧利用所述最小关键尺寸(CD)和间隔来限定所述主体。利用覆盖层来增大栅极宽度即使在不要或要求应力增强迁移率的用途上也是宝贵的。本发明的实施例本身包括这样的用途,例如,其中在以最小尺寸彼此隔开的硅主体上形成硅覆盖层,以便增大所制造的晶体管的栅极宽度。另外,使用覆盖层来增大单位面积的栅极宽度在非体器件中,诸如在绝缘的基片(诸如在绝缘体基外延硅(SOI)基片)上形成的三栅极或非平面器件中也是有用的。

在本发明各实施例中,半导体薄膜的堆叠(亦即,体半导体 300、半导体主体 318 和覆盖层 322)是设计来在覆盖层 322 中产生高应变的,这使载流子迁移率激烈增大。图 5 图解说明块硅单晶硅基片、硅锗合金半导体主体 320 和硅覆盖层 322 如何可以在硅覆盖层 322 中产生高的拉应力。当在单晶基片 300(图 3E)上生长外延硅锗合金薄膜 316 时,硅锗薄膜 318 的平行于硅单晶基片 300 的表面的平面 502 的晶格常数与体硅基片 300 的硅晶格匹配。由于硅锗外延薄膜 316 的四边形畸变的缘故,硅锗合金 316 的垂直于硅基片表面的平面 504 的晶格常数大于与硅基片 300 平行的平面 502。一旦使隔离区 312 凹进(图 3F)以便形成硅锗体 318,顶部 319 上的硅锗晶格将膨胀,而两侧上

的晶格常数将由于自由表面的存在而收缩。一般，硅锗合金 318 的侧壁 320 上的晶格常数将大于硅锗合金的顶面 319 上的晶格常数，这将大于硅单晶基片上硅锗合金的晶格常数。当在应变硅锗合金(图 3G)上生长硅覆盖层 322 时，硅锗合金 318 将把它的延长的垂直晶胞尺寸 504 强制加在硅覆盖层 322 已经较小的晶胞尺寸上，在 SiGe 主体 318 的侧壁上产生正交的应变硅覆盖层 322。因而，在硅锗合金的侧壁 322 上形成的硅覆盖层将呈现相当大的拉伸应变和在硅锗合金的顶面 319 上较低的但是显著的拉伸应变。在硅覆盖层 322 产生的应变是在垂直于流入器件的电流的方向上的。

图 4A-4C 图解说明形成具有应变增强迁移率的非平面体晶体管的方法，其中这样形成覆盖层，使得在半导体主体的顶面上比在侧壁上厚。如在图 4A 图解说明的，在隔离区 312 之间生长半导体主体薄膜 316，如参照图 3E 所描述的。但是，在所述实施例中，在使隔离区 312 凹陷之前在半导体主体 316 上生长覆盖层的第一部分 410。在本发明的实施例中，形成比半导体主体 318 所需的厚的氮化硅层 306，以便提供附加的空间，使得能够在沟槽 310 内生长半导体覆盖层的第一部分 410。这样，可以把覆盖层 410 的第一部分限制在隔离区 312 内。形成覆盖层的第一部分 410 之后，使隔离区 312 凹进，如上面所描述的，以便形成具有在顶面上形成的覆盖层 410 的半导体主体 318，如图 4B 所示。接着，如图 4C 所示，在半导体主体 318 的侧壁 320 上并且在形成于半导体主体 320 的顶面 319 上的覆盖层的第一部分 410 上生长所述覆盖层的第二部分 412。在本发明的实施例中，这样形成半导体覆盖层 410，使得其厚度基本上等于覆盖层 412 的第二部分的厚度。这样，当形成基本上正方形的半导体主体 318 时，半导体主体 318 加上覆盖层将仍旧提供一个基本上正方形的覆盖体。接着，如在图 3H 和 3I 图解说明的，可以继续进行处理，以便完成具有应变增强迁移率的非平面体晶体管的制造。

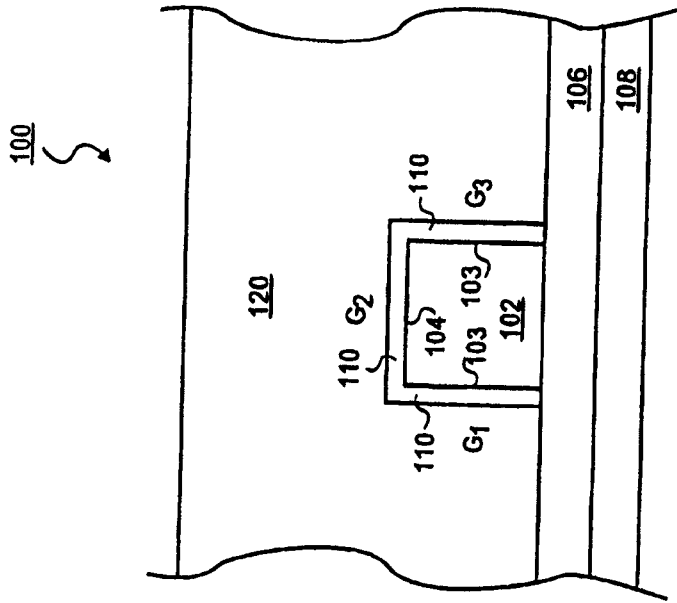


图 1B  
(现有技术)

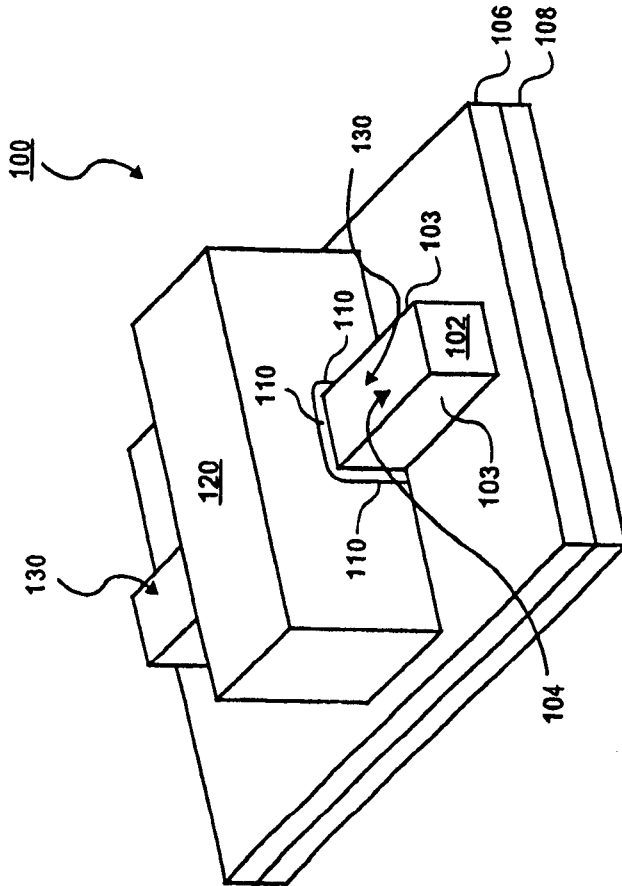


图 1A  
(现有技术)

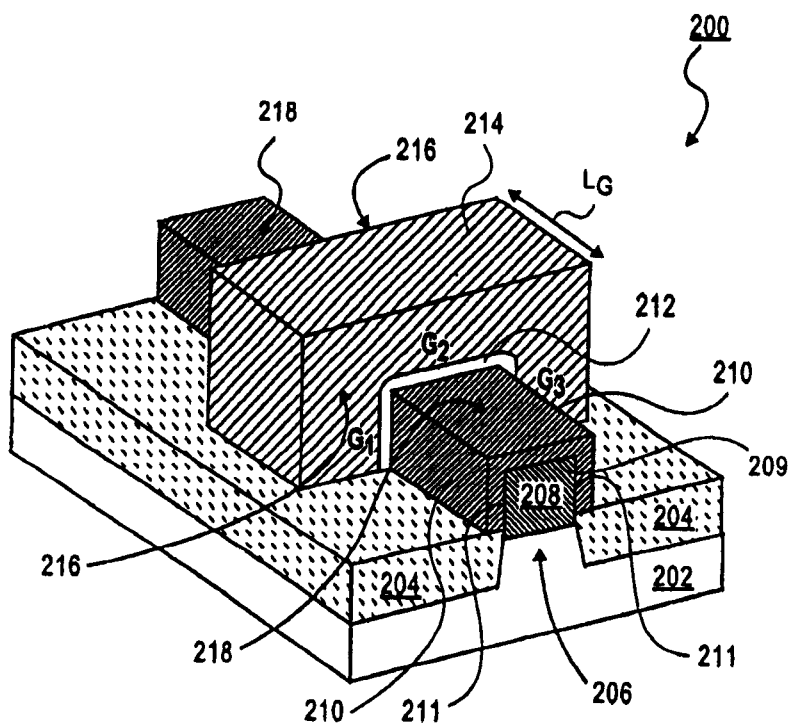


图 2

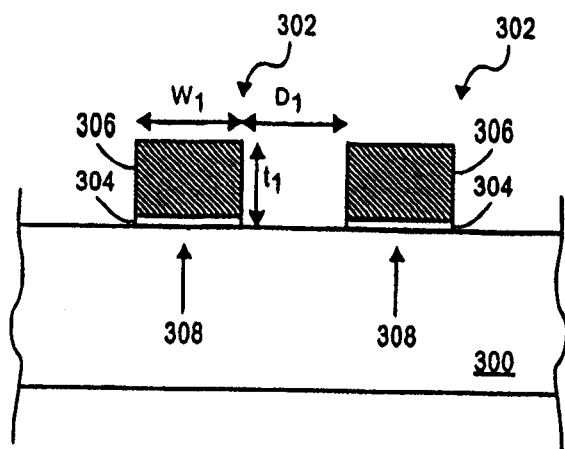


图 3A

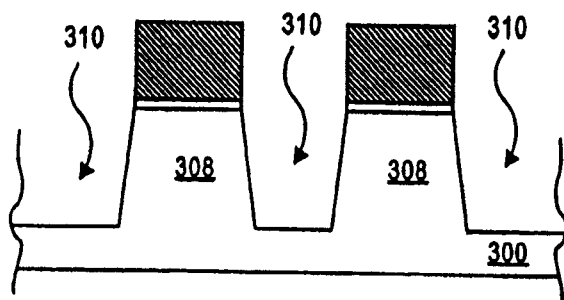


图 3B

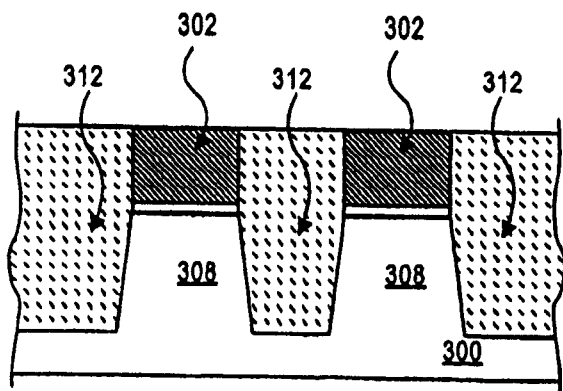


图 3C



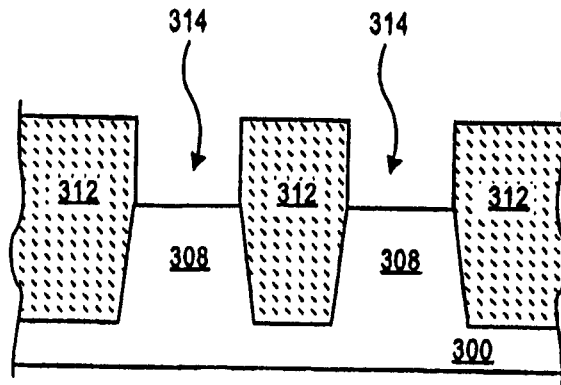


图 3D

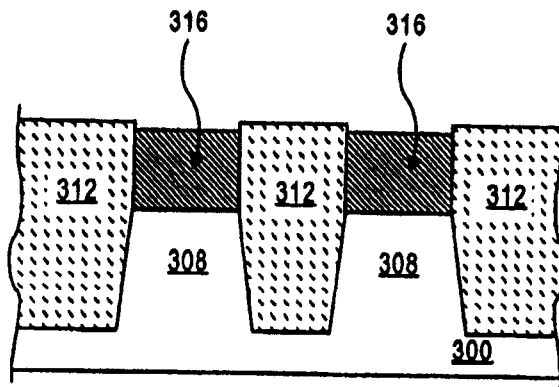


图 3E

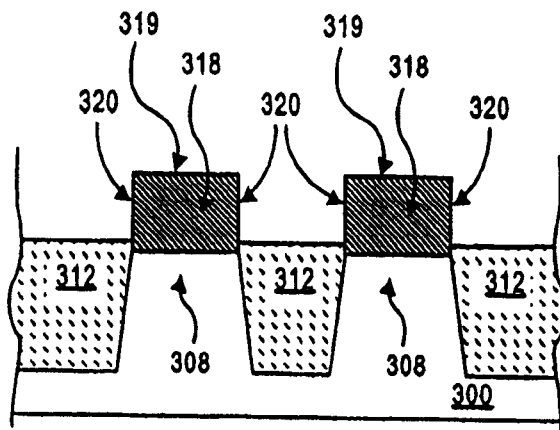


图 3F

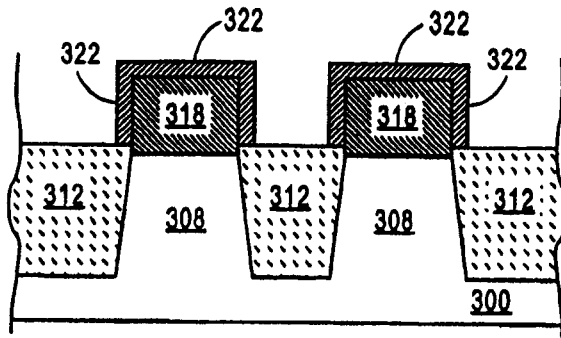


图 3G

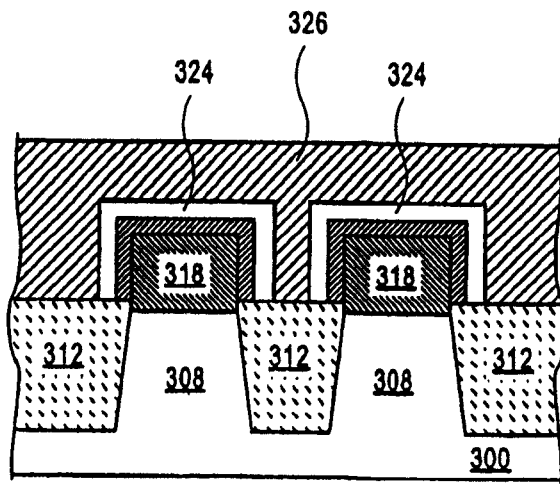


图 3H

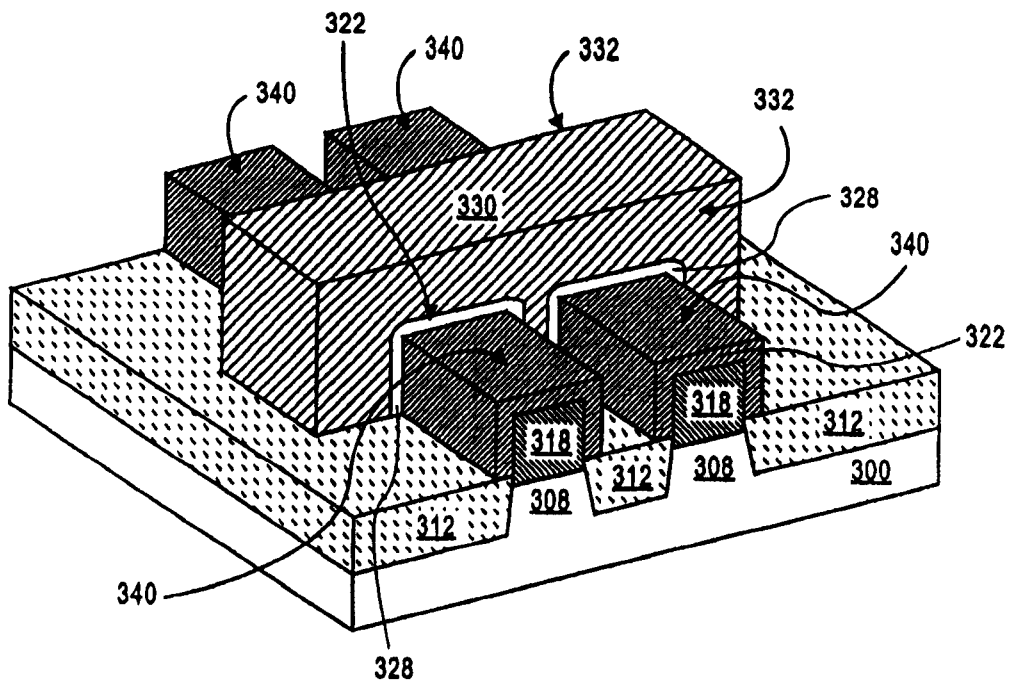


图 3I

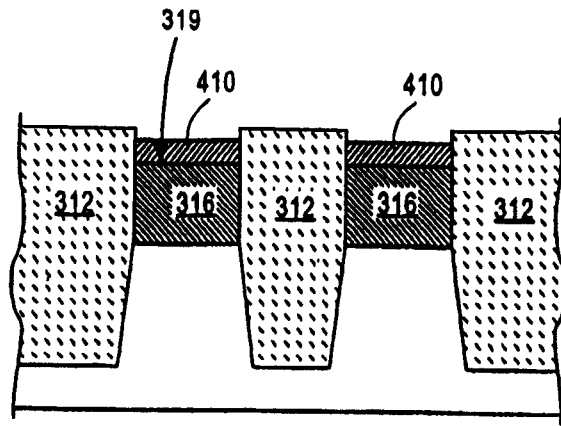


图 4A

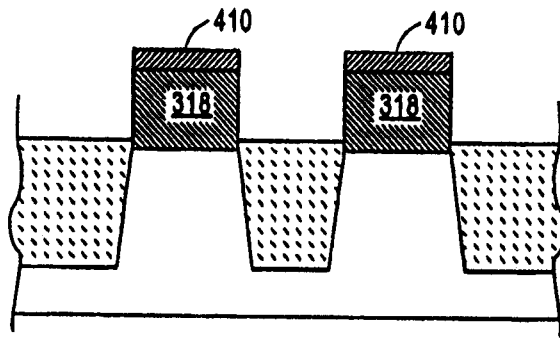


图 4B

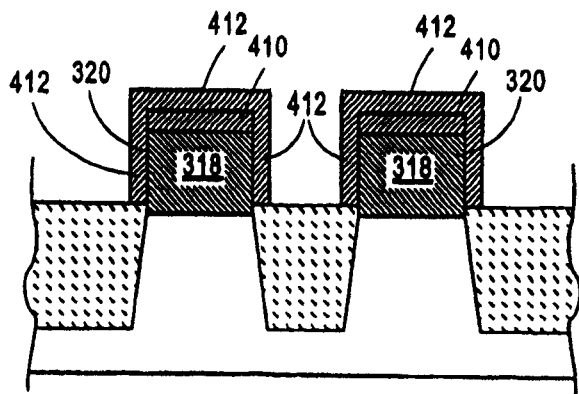


图 4C

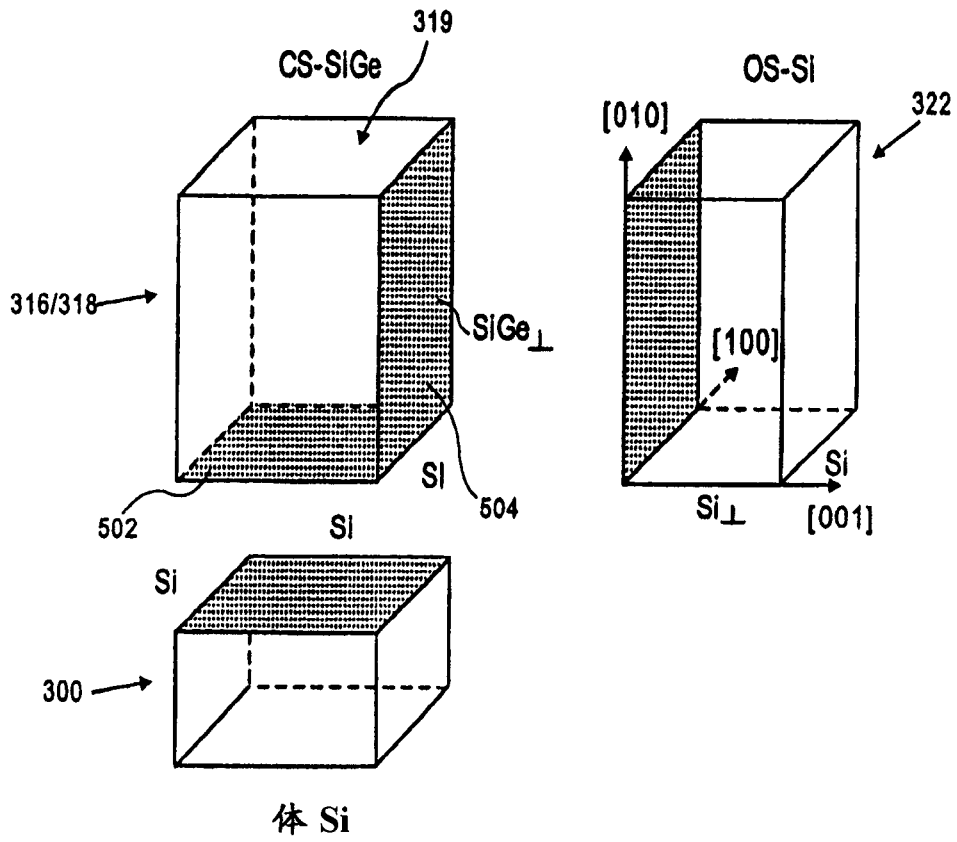


图 5