(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103119536 B
(45)授权公告日 2017.02.15

(21)申请号 201180044835.1

(22)申请日 2011.08.25

(65)同一申请的已公布的文献号
申请公布号 CN 103119536 A

(43)申请公布日 2013.05.22

(30)优先权数据
12/868,996 2010.08.26 US

(85)PCT国际申请进入国家阶段日
2013.03.18

(86)PCT国际申请的申请数据
PCT/US2011/049171 2011.08.25

(87)PCT国际申请的公布数据
WO2012/027584 EN 2012.03.01

(73)专利权人 超威半导体公司
地址 美国加利福尼亚州

(72)发明人 亚历山大·布兰欧威
莫里斯·斯坦曼 威廉·L·伯彻

(74)专利代理机构 上海胜康律师事务所 31263
代理人 李献忠

(51)Int.Cl.
G06F 1/32(2006.01)

(56)对比文件
CN 101379453 A,2009.03.04,
US 2009/0235108 A1,2009.09.17,
US 2007/0016815 A1,2007.01.18,
CN 1577280 A,2005.02.09,

审查员 王敏

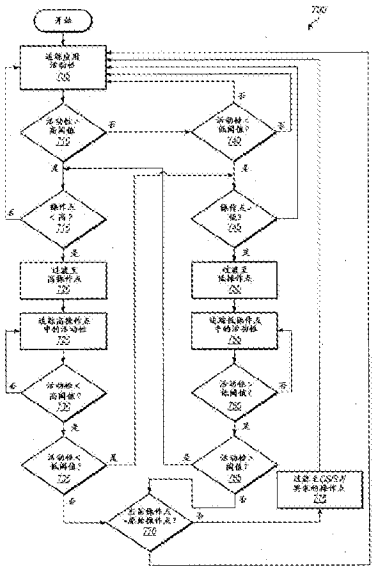
权利要求书2页 说明书15页 附图10页

(54)发明名称

处理节点的动态性能控制

(57)摘要

公开了一种用于处理节点的动态性能控制的设备和方法。在一个实施方案中，系统包括处理节点和电源管理单元，所述电源管理单元被配置来针对多个时间间隔的每一个而监测所述处理节点的活动性水平，在所述给定间隔中的所述活动性水平大于高活动性阈值的情况下导致所述处理节点在一个连续时间间隔期间在高操作点上操作，在所述活动性水平小于低活动性阈值的情况下在至少一个连续时间间隔期间在低操作点上操作或使操作系统软件能在所述活动性水平小于所述高活动性阈值并且大于所述低活动性阈值的情况下导致所述处理节点在所述多个操作点的一个或多个预定义中间操作点之一上操作。



CN 103119536 B

1.一种用于处理节点的动态性能控制的系统，其包括：

处理节点；和

电源管理电路，其被配置来针对多个第一时间间隔的每一个而监测所述处理节点的活动性水平并且还被配置来：

在给定第一时间间隔中的所述活动性水平大于高活动性阈值的情况下导致所述处理节点独立于操作系统软件在至少一个连续第一时间间隔期间在多个操作点的预定义高操作点上操作；

在所述给定第一时间间隔中的所述活动性水平小于低活动性阈值的情况下导致所述处理节点独立于操作系统软件在所述至少一个连续第一时间间隔期间在所述多个操作点的预定义低操作点上操作；和

使操作系统软件能在所述活动性水平介于所述低活动性阈值与所述高活动性阈值之间的情况下导致所述处理节点针对所述至少一个连续第一时间间隔在所述多个操作点的一个或多个预定义中间操作点之一上操作。

2.根据权利要求1所述的系统，其中每个所述第一时间间隔的第一持续时间小于由所述操作系统软件用于监测所述处理节点的所述活动性水平并且还由所述操作系统软件用于在所述监测到的活动性水平小于所述高活动性阈值并且大于所述低活动性阈值时改变所述处理节点的所述操作点的多个第二时间间隔的每一个的第二持续时间。

3.根据权利要求2所述的系统，其中所述多个第一间隔的每一个具有小于或等于100微秒的持续时间且其中所述多个第二时间间隔的每一个具有大于或等于30微秒的持续时间。

4.根据权利要求1所述的系统，其中所述预定义高操作点是所述多个操作点的最高者，其中所述预定义低操作点是所述多个操作点的最低非空闲者，及其中所述一个或多个中间操作点的每一个低于所述预定义高操作点并且高于所述预定义低操作点。

5.根据权利要求1所述的系统，其中所述电源管理电路还被配置来针对两个或更多个处理节点的每一个将对应活动性水平与所述高活动性阈值和所述低活动性阈值进行比较，其中所述两个或更多个处理节点各被配置来在对应操作点上彼此独立操作。

6.根据权利要求1所述的系统，其中所述电源管理电路被配置来在改变所述至少一个处理节点的所述操作点时改变时钟信号的时钟频率。

7.根据权利要求6所述的系统，其中在最高操作点上操作时的所述时钟频率大于在所述多个操作点的任意他者中操作时的所述时钟频率，及其中在最低非空闲操作点上操作时的所述时钟频率小于在所述多个操作点的他者的任一个中操作时的所述时钟频率及其中所述最低非空闲操作点上的所述时钟频率大于零。

8.根据权利要求5所述的系统，其中所述多个操作点的每一个还包括操作电压，其中所述电源管理电路被配置来在改变所述处理节点的所述操作点时改变提供至所述处理节点的所述操作电压。

9.根据权利要求1所述的系统，其中所述电源管理电路被配置来：

响应于所述多个第一时间间隔的给定者中接收的回退指令的每个指示使计数器递增；

响应于确定所述多个第一时间间隔的给定者的许多指令回退小于或等于指令回退的预期数而使计数器递减；和

将在所述多个第一时间间隔的给定者结束时由所述计数器提供的计数值与所述高活

动性阈值和低活动性阈值进行比较。

10.根据权利要求9所述的系统，其中所述电源管理电路还被配置来在使所述计数器递增时应用第一加权因子及在使所述计数器递减时应用第二加权因子。

11.一种用于处理节点的动态性能控制的方法，其包括：

针对多个第一时间间隔的每一个确定处理节点的活动性水平；

电源管理电路在所述活动性水平超过高活动性阈值的情况下导致所述处理节点独立于操作系统软件在至少一个连续第一时间间隔中在多个操作点的预定义高操作点上操作；和

所述电源管理电路在所述活动性水平小于低活动性阈值的情况下导致所述处理节点独立于操作系统软件在所述至少一个连续第一时间间隔中在所述多个操作点的预定义低操作点上操作；和

操作系统软件在所述活动性水平介于所述低活动性阈值与所述高活动性阈值之间的情况下导致所述处理节点在所述多个操作点的一个或多个中间操作点之一上操作。

12.根据权利要求11所述的方法，其还包括：

所述操作系统软件在多个第二时间间隔内监测所述活动性水平，其中每个所述第一时间间隔的持续时间小于每个所述第二时间间隔的第二持续时间。

13.根据权利要求11所述的方法，其中所述预定义高操作点是所述多个操作点的最高者，其中所述预定义低操作点是所述多个操作点的最低非空闲者，及其中所述一个或多个中间操作点的每一个低于所述预定义高操作点并且高于所述预定义低操作点。

14.根据权利要求11所述的方法，其还包括：

针对所述多个第一时间间隔的每一个，将两个或更多个处理节点的对应活动性水平与高活动性阈值和低活动性阈值进行比较；

基于对应活动性水平的所述比较设定所述两个或更多个处理节点的第一者的操作点；和

基于对应活动性水平的所述比较设定所述两个或更多个处理节点的第二者的操作点，其中所述两个或更多个处理节点的所述第二者的所述操作点独立于设定所述两个或更多个处理节点的所述第一者的所述操作点而设定。

15.根据权利要求11所述的方法，其中改变所述处理节点的所述操作点包括改变提供至所述处理节点的时钟信号的频率。

处理节点的动态性能控制

[0001] 背景

1.技术领域

[0002] 本发明涉及处理器，且更具体涉及平衡处理器的性能和电力消耗。

[0003] 2.发明背景

[0004] 在设计基于计算机或其它处理器的系统期间，必须考虑许多设计因素。成功的设计可能需要在电力消耗、性能、热输出及等等之间进行多项权衡。例如，注重高性能的计算机系统的设计可能允许更大电力消耗和热输出。相反地，有时由电池供电的便携式计算机系统的设计可能注重以一些性能为代价来减小电力消耗。

[0005] 在一些计算机系统中，可根据工作负载调整操作点(例如，时钟频率和操作电压)。在这类系统中，计算限制工作负载(即，处理密集型工作负载)可能导致处理节点在较高操作点上操作，而存储器限制工作负载(即，包括大量存储器访问的工作负载，其可能涉及大延迟)可能导致处理节点在较低操作点上操作。例如，在一些计算机系统中，活动状态的时间量对操作时间总量(即，活动状态和空闲状态)的比率可由操作系统软件针对给定间隔计算。如果比率超过特定阈值，那么处理节点可在较高操作点上操作。否则，操作可能在较低操作点上发生。执行计算的典型间隔的范围可从30微秒到100微秒，一些高级系统按每10微秒的频率执行计算。

[0006] 发明概要

[0007] 公开了一种用于处理节点的动态性能控制的设备和方法。在一个实施方案中，系统包括处理节点和电源管理单元。电源管理单元可被配置来针对多个第一时间间隔的每一个监测处理节点的活动性水平。电力管理还可被配置来在给定第一时间间隔中的活动性水平大于高活动性阈值的情况下导致处理节点在至少一个连续第一时间间隔期间在多个操作点的预定义高操作点上操作，并且在给定第一时间间隔的活动性水平小于低活动性阈值的情况下导致处理节点在至少一个连续第一时间间隔的多个操作点的预定义低操作点上操作。电源管理单元还可被配置来使操作系统软件能在至少一个连续第一时间间隔的活动性水平在给定第一时间间隔中小于高活动性阈值并且大于低活动性阈值的情况下导致处理节点在多个操作点的一个或多个预定义中间操作点之一上操作。

[0008] 在一个实施方案中，方法包括针对多个第一时间间隔的每一个确定处理节点的活动性水平。方法还可包含电源管理单元在活动性水平超过高活动性阈值的情况下导致处理节点在至少一个连续第一时间间隔中在多个操作点的预定义高操作点上操作以及电源管理单元在活动性水平小于低活动性阈值的情况下导致处理节点在至少一个连续第一时间间隔中在多个操作点的预定义低操作点上操作。方法还可包括操作系统软件在活动性水平小于高活动性阈值并且大于低活动性阈值的情况下导致处理节点在多个操作点的一个或多个中间操作点之一上操作。

[0009] 附图简述

[0010] 在阅读下文详细描述以及参考附图时可了解本发明的其它方面，其中：

[0011] 图1是集成电路(IC)系统级芯片(SOC)的一个实施方案的框图；

[0012] 图2是处理节点的一个实施方案的框图；

[0013] 图3是图示电源管理单元的一个实施方案的操作的图；

[0014] 图4是电源管理单元的一个实施方案的框图；

[0015] 图5是图示活动性监测器的一个实施方案的框图；

[0016] 图6是图示CIPS(约定每秒指令数)单元的一个实施方案的框图；

[0017] 图7是IPC(每循环指令数)单元的一个实施方案的框图；

[0018] 图8是操作电源管理单元的方法的一个实施方案的流程图；

[0019] 图9是图示许多时间间隔内方法的一个实施方案的操作的图；和

[0020] 图10是包括描述包括电源管理单元的电路的实施方案的数据结构的计算机可读介质的一个实施方案的框图。

[0021] 虽然本发明存在各种修改和替代形式，然而其具体实施方案在附图中按示例的方式被示出并且将在本文中被详细地描述。然而，应了解附图及其详细描述不旨在将本发明限制于所公开的特定形式，而是相反，本发明涵盖属于如附属权利要求所定义的本发明的精神和范围内的所有修改、等同物及替代物。

具体实施方式

[0022] 概述：

[0023] 本公开内容涉及一种用于改进基于处理器的系统的每瓦性能的方法和设备。更具体地，本文公开的方法和设备可用于基于应用活动性(例如，处理工作负载)的一个或多个处理节点(例如，单核或多核处理器、个别独立微处理器等的处理器核心)的操作点。在各种实施方案中，处理节点的操作点可包括提供至其上的时钟信号的频率。操作点还可包括提供给处理节点的操作电压(例如，供电电压)。最高操作点因此可定义为具有可用于处理节点的最高时钟频率的操作点并且还可定义为具有可用于处理节点的最高操作电压的操作点。相反地，最低操作点可定义为具有可用于处理节点的最低操作(例如，非零)时钟频率的操作点并且还可定义为具有可用的最低非零操作电压的操作点。中间操作点可定义为时钟频率和操作电压的至少一个设定为可另外用于定义最高操作点和最低操作点的值之间的对应值的操作点。

[0024] 一个或多个处理节点的每一个的操作点可由在一个或多个处理节点的至少一个上执行的电源管理单元或操作系统(OS)软件设定。对于每个处理节点，电源管理单元可在许多第一时间间隔内监测其活动性水平并且可将监测到的活动性水平与高活动性阈值和低活动性阈值进行比较。电源管理单元可在活动性水平超过高活动性阈值的情况下导致处理节点在多个操作点的较高一个(例如，最高者)上操作。电源管理单元可在活动性水平小于低活动性阈值的情况下导致处理节点在多个操作点的较低者上操作。如果活动性水平大于低阈值并且小于高阈值，那么电源管理单元可使操作系统软件能针对处理节点选择一个或多个中间操作点之一。操作系统软件可在第二时间间隔周期内监测活动性水平，其持续时间大于每个第一时间间隔。在一个实施方案中，每个第一时间间隔的持续时间小于或等于100微秒，而每个第二时间间隔的持续时间大于或等于30微秒。因此，电源管理单元可比操作系统软件更快实现操作点的改变，从而实现电力消耗的更精密控制及因此处理器的每

瓦性能。应注意，在监测到的活动性水平达到或超过高活动性阈值或等于或小于低活动性阈值的情况下，电源管理单元可随时修改操作系统所作的操作点选择。

[0025] 如本文所述的电源管理单元可实施为处理器内的硬件单元且这些实施方案可在基于检测到的活动性水平选择和设定操作点时独立于OS软件操作。在一些实施方案中，电源管理单元的功能可实施为独立于OS操作的固件或其它软件。不考虑具体实施方式，电源管理单元可在无可能伴随单独由OS控制的实施方案的开销(例如，中断等)的情况下执行本文所述的功能。针对电源管理单元的不同实施方案监测活动的时间间隔可明显小于(例如，一个或多个数量级)OS可执行用于设定操作点的活动性监测的时间间隔。

[0026] 在一个实施方案中，处理节点的操作点可依据其中的应用活动性是计算限制、存储器限制或在这两点之间的某处而调整。计算限制工作负载可被定义为计算密集型的处理工作负载，其不频繁(若有)访问主存储器。在可行的最短时间量中完成计算限制工作负载可能要求执行工作负载的处理节点在使每循环执行的指令数最大化的同时在最高可用时钟频率下操作。因此，本文所述的方法和设备可被实现来确定何时执行计算限制工作负载以及进一步响应于此使操作点增大(使时钟频率和/或操作电压增)至高性能状态。在一个实施方案中，方法和设备可响应于检测到计算限制工作负载而导致处理节点在对应于可用于所述特定节点的最高性能状态的操作点上操作。

[0027] 当处理工作负载是存储器限制时，处理节点可执行主存储器的频繁访问。由于与主存储器访问相关的延迟可为大于处理器循环时间的数量级，所以存储器限制工作负载可能对其正被执行的处理节点的操作频率(即，时钟频率)不敏感得多。更具体地，存储器访问可能导致处理器停顿且因此这些停顿的持续时间是存储器访问延迟的函数。与存储器访问相关的延迟是存储器总线时钟频率的函数，其通常比核心时钟频率低得多。因此，核心时钟频率的增大通常不导致存储器限制工作负载处理的相应性能增大。此外，在处理存储器限制工作负载时减小核心时钟频率通常不导致相应的性能损耗，因为存储器访问延迟通常是确定这些工作负载可执行的速度的限制因素。因此，本文所述的方法和设备可被实现来确定何时执行存储器限制工作负载以及进一步响应于此使操作点降低(例如，使时钟频率和/或操作电压减少)至低性能状态。在执行存储器限制工作负载时使操作点降低至低性能状态可导致电力节省而不会不利地影响性能。在一个实施方案中，方法和设备可响应于检测到存储器限制工作负载而导致处理节点在对应于最低非空闲性能状态的操作点上操作。最低非空闲操作点在本文中可定义为处理节点按非零频率接收电力和时钟信号的操作点。

[0028] 针对给定处理节点检测计算限制和存储器限制工作负载可涉及将所述节点的活动性水平与高阈值和低阈值进行比较。如果活动性水平超过高阈值，那么处理节点可在对应于高性能状态的操作点上操作。如果活动性水平小于低阈值，那么处理节点可在对应于低性能状态的操作点上操作。如果活动性水平小于高阈值但大于低阈值，那么处理节点可在一个或多个中间操作点之一上操作。在一个实施方案中，中间操作点可由软件(例如，由操作系统软件)选择。

[0029] 每个处理节点的活动性水平的检测和比较可由电源管理单元针对许多连续第一时间间隔的每一个执行。如上所述，间隔的持续时间可以是微秒的数量级。在一个实施方案中，间隔的最大持续时间可能是100微秒，考虑小至10微秒的间隔。也考虑第一间隔的持续时间小于10微秒的实施方案。因此，本文公开的方法和设备可允许与由操作系统软件提供

的控制相比精密的操作点控制，其中监测、比较和设定操作点的时间间隔范围可介于30微秒与100微秒之间。此外，活动性水平和操作点的确定可在无需操作系统软件可能需要的中断或其它开销的情况下执行。因此，所消耗电力的每瓦性能可优化。

[0030] 具有电源管理单元的处理器：

[0031] 图1是耦合至存储器的集成电路(IC)的一个实施方案的框图。在本实例中，IC2和存储器6连同显示器3和显示器存储器300形成计算机系统10的至少一部分。在所示的实施方案中，IC2是具有许多处理节点11的处理器。处理节点11在该特定实例中是处理器核心且因此也被指定为核心#1、核心#2及等等。应注意，将本文中描述的方法可应用于其它配置，诸如在单独、唯一IC晶片上实施多个处理器(其可为单核或多核处理器)的多处理器计算机系统。此外，仅具有单个处理节点11的实施方案也可行并且予以考虑。

[0032] 在所示的实施方案中，每个处理节点11耦合至北桥12。北桥12可针对每个处理节点11提供多种接口功能，包括至存储器以及至各种外围设备的接口。此外，北桥12包括电源管理单元20，如下文将更详细讨论，其被配置来基于其对应活动性水平或工作负载管理每个处理节点11的电力消耗。此外，在多核(或多处理器)实施方案中，电源管理单元20可将个别处理节点11的操作点彼此独立设定。因此，当第一处理节点11可在第一操作点上操作的同时，第二处理节点11可在不同于第一操作点的第二操作点上操作。

[0033] 在不同实施方案中，处理节点11的数量可能少至一个或可能与对于IC晶片上的实施方式可行的数量一样多。在多核实施方案中，处理节点11可能彼此相同(即，同构多核)或一个或多个处理节点11可能与他者不同(即，异构多核)。处理节点11可各包括一个或多个执行单元、高速缓冲存储器、调度器、分支预测电路及等等(示例性处理节点将在下文中参考图2讨论)。此外，每个处理节点11可被配置来使访问存储器6的请求生效，其可充当计算机系统10的主存储器。这些请求可包括读请求和/或写请求并且可最初通过北桥12从对应处理节点11接收。在所示的实施方案中，访问存储器6的请求可路由穿过存储器控制器18。

[0034] 在所示的实施方案中，I/O接口13还耦合至北桥12。I/O接口13可充当计算机系统10中的南桥装置。许多不同类型的外围总线可耦合至I/O接口13。在该特定实例中，总线类型包括外围组件互连(PCI)总线、PCI扩展(PCI-X)、PCIE(PCI Express)总线、千兆以太网(GBE)总线和通用串行总线(USB)。然而，这些总线类型是示例性的且许多其它总线类型也可耦合至I/O接口13。外围装置可耦合至一些或所有外围总线。这些外围装置包括(但不限于)键盘、鼠标、打印机、扫描仪、操纵手柄或其它类型的游戏控制器、媒体记录装置、外部存储装置、网络接口卡及等等。可经由相应外围总线耦合至I/O单元13的至少一些外围装置可使用直接存储器访问(DMA)使存储器访问请求生效。这些请求(其可包括读请求和写请求)可经由I/O接口13传输至北桥12并且可路由至存储器控制器18。

[0035] 在所示的实施方案中，IC2包括耦合至计算机系统10的显示器3的显示器/视频引擎14。显示器3可能是平板LCD(液晶显示器)、等离子显示器、CRT(阴极射线管)或任意其它适当显示器类型。显示器/视频引擎14可执行各种视频处理功能并且提供经处理信息至显示器3以输出为视觉信息。一些视频处理功能，诸如3-D处理、视频游戏的处理和更复杂类型的图形处理可由图形引擎15执行，经处理信息经由北桥12中继至显示器/视频引擎14。

[0036] 在该特定实例中，计算机系统10实施非统一存储器架构实施(NUMA)方式，其中视频存储器和RAM彼此分开。在所示的实施方案中，计算机系统10包括耦合至显示器/视频引

擎14的显示器存储器300。因此，取代从存储器6接收视频数据，视频数据可由显示器/视频引擎14从显示器存储器300访问。这可接着允许针对每个核心11和经由外围总线之一耦合至I/O接口13的任意外围装置的更大存储器访问频宽。

[0037] 在所示的实施方案中，IC2包括被耦合来接收系统时钟信号的锁相回路(PLL)4。PLL4可将相应时钟信号分配给每个处理节点11。在本实施方案中，由每个处理节点11接收的时钟信号彼此独立。此外，在本实施方案中PLL4被配置来个别控制和改变彼此独立提供给处理节点11的对应者的每个时钟信号的频率。如将在下文更详细地讨论，由处理节点11的任意给定者接收的时钟信号的频率可根据加于其上的性能需求增大或减小。时钟信号可从PLL4输出的各种频率可对应于每个处理节点11的不同操作点。因此，处理节点11的特定者的操作点的改变可通过改变其对应接收的时钟信号的频率而生效。

[0038] 在改变一个或多个处理节点11的对应操作点包括改变一个或多个对应时钟频率的情况下，电源管理单元20可改变提供至PLL4的数字信号SetF[M:0]的状态。响应于这些信号的改变，PLL4可改变受影响处理节点的时钟频率。

[0039] 在所示的实施方案中，IC2还包括电压调节器5。在其它实施方案中，电压调节器5可独立于IC2实施。电压调节器5可提供供电电压至每个处理节点11。在一些实施方案中，电压调节器5可提供可根据特定操作点变化的供电电压(例如，为了更大性能而增大，为了更大电力节省而减小)。在一些实施方案中，每个处理节点11可共用电压平面。因此，在这样一个实施方案中，每个处理节点11在与其它处理节点11相同的电压下操作。在另一个实施方案中，电压平面不共用，且因此每个处理节点11所接收的供电电压可独立于其它处理节点11所接收的对应供电电压设定和调整。因此，包括供电电压调整的操作点调整可独立于具有非共用电压平面的实施方案中的他者选择性地应用至每个处理节点11。在改变操作点包括改变一个或多个处理节点11的操作电压的情况下，电源管理单元20可改变提供至电压调节器5的数字信号SetV[M:0]的状态。响应于信号SetV[M:0]的改变，电压调节器5可调整提供至受影响处理节点11的供电电压。

[0040] 操作点可根据对应活动性水平(例如，处理工作负载)针对每个处理节点11彼此独立设定。在所示的实施方案中，电源管理单元20可接收指示每个处理节点11的活动性水平的信息。所指示的每个处理节点的活动性水平可与阈值进行比较且相应处理节点的操作点可基于比较结果相应地调整。阈值可包括高活动性阈值和低活动性阈值。如果给定处理节点11的活动性水平超过高活动性阈值，那么其操作点可调整至预定义高操作点(例如，最高时钟频率和操作电压)。如果给定处理节点11的活动性水平小于低活动性阈值，那么操作点可调整至预定义低非空闲操作点(例如，最低非零时钟频率和电压)。

[0041] 如果比较操作指示给定处理节点11的活动性水平小于高活动性阈值但大于低活动性阈值，那么电源管理单元20可使操作系统软件(或其它软件)能让特定处理节点11在一个或多个中间操作点之一上操作。在一些实施方案中，可实施单个中间操作点。在其它实施方案中，可利用多个中间操作点。

[0042] 将每个处理节点11的活动性水平与上述阈值进行比较可在许多连续时间间隔内执行。当给定时间间隔期间的比较指示需要调整处理节点11的操作点时，操作点可针对下一个连续时间间隔而调整。比较操作可针对每个间隔执行一次，且将基于比较结果作出的任意调整可应用至下一个连续间隔。如果比较结果指示无需改变，那么处理节点11可在其

当前操作点上继续达一个或多个连续时间间隔直到比较结果指示对应于不同操作点的活动性水平。

[0043] 在一个实施方案中，在集成电路2上执行的软件，诸如操作系统(OS)软件可在活动性水平小于高阈值且大于低阈值时针对每个处理节点11选择操作点。然而，比较操作可继续由电源管理单元针对每个时间间隔执行。如果比较操作检测到活动性水平超过高阈值或降至低于低阈值，那么受影响处理节点11的操作点可相应改变，修改可能另外由OS和用于选择中间操作点的其它机构指定的操作点。OS可在各具有大于电源管理单元20所使用的时间间隔的持续时间的另一组时间间隔内监测活动。OS监测活动性水平的时间间隔的持续时间可比电源管理单元20大至少一个数量级。例如，在一个实施方案中，电源管理单元20可在不大于100微秒的时间间隔内监测活动性水平(及因此实现操作点改变)。相比之下，在本实施方案中，操作系统软件可在不小于30微秒的时间间隔内监测活动性水平(及因此实现操作点改变)。

[0044] 如上所述，处理节点11的操作点可至少由时钟频率定义并且还可由操作电压定义。一般而言，过渡至“较高”操作点可由增大受影响处理节点11的时钟频率定义。过渡至较高操作点还可包括增大其操作(例如，供电)电压。类似地，过渡至“较低”操作点可由降低受影响处理节点11的时钟频率定义。提供至受影响处理节点11的操作/供电电压的降低还可包括在过渡至较低操作点的定义中。

[0045] 在一个实施方案中，操作点可对应于高级配置和电源接口(ACPI)规格的性能状态(下文中称作‘P状态’)。下表1列出使用ACPI标准实施的一个实施方案的P状态。

[0046]

P状态指数	频率	电压
P0	2GHz	1.1V
P1	1.8GHz	1.0V
P2	1.5GHz	0.9V
P3	1GHz	0.85V
P4	800MHz	0.8V

[0047] 表1

[0048] 上表1所列P状态可在ACPI兼容处理器在被称作C0的非空闲状态中操作时应用。对于对应于上表1的实施方案，P状态P0是最高操作点，具有2GHz的时钟频率和1.1伏的操作电压。在一个实施方案中电源管理单元20可响应于相应活动性水平超过高活动性阈值而导致处理节点11在P状态P0下操作。P状态P0中的操作可用于处理计算限制工作负载。计算限制工作负载可能是时间敏感和计算密集型，要求较少(若有)存储器访问。可能需要在可行的最短时间内执行工作负载以维持最大性能同时实现更快速返回至相当于较低电力消耗的P状态。所以，具有高活动性水平的计算限制工作负载可在P状态P0中执行，其可实现更快速完成。

[0049] 在这个特定实施方案中，P状态P4是最低非空闲操作点，具有800MHz的时钟频率和0.8V的操作电压。电源管理单元20可响应于小于低活动性阈值的相应活动性水平导致处理节点11在P状态P4中操作。P状态P4可与存储器限制工作负载以及非时间敏感(或频率敏感)的其它任务一起使用。存储器限制工作负载是包括频率访问系统存储器的工作负载。由于

存储器访问涉及大延迟(与不访问存储器的指令的执行次数相比),所以减小存储器限制工作负载的时钟频率可具有可能改进系统的每瓦性能计量的最小性能影响以及电力节省。

[0050] 如果检测到的活动性水平大于低活动性阈值并且小于高活动性阈值,那么相应处理节点11的操作可依据具体实施方案在OS、其它软件、固件和/或其它硬件的指导下设定为P状态P1、P2、P3的任一个。

[0051] 应注意表1所列P状态是示例性操作点组。使用具有不同时钟频率和操作电压的操作点的实施方案可行并且予以考虑。此外,如上所述,一些实施方案可利用处理节点11的共用电压平面且因此其对应操作点可基于时钟频率定义。在一些实施方案中,每个处理节点的操作电压可保持固定,而在其它实施方案中,操作电压可针对所有处理节点11同时调整。

[0052] 应注意其中上述各种单元实施在单独IC上的实施方案可行并且予以考虑。例如,考虑一个实施方案,其中核心11实施在第一个IC上,北桥12和存储器控制器18在另一个IC上,而其余功能单元在另一个IC上。通常,上述功能单元可实施在多达或少至所需的不同IC上以及单个IC上。

[0053] 还应注意在上表1中列为P状态的操作点还可与非ACPI实施方案一起使用。

[0054] 处理节点:

[0055] 图2是处理节点11的一个实施方案的框图。处理节点11被配置来执行可存储在系统存储器200中的指令。许多这些指令操作也存储在系统存储器200中的数据。应注意,系统存储器200可实体分布遍及计算机系统及/或可被一个或多个处理器100访问。

[0056] 在图示的实施方案中,处理节点11可包括一级(L1)指令缓存106和L1数据缓存128。处理节点11可包括耦合至指令缓存106的预取单元108。分派单元104可被配置来从指令缓存106接收指令及分派操作至调度器118。一个或多个调度器118可被耦合来从分派单元104接收所分派操作并且发布操作至一个或多个执行单元124。执行单元124可包括一个或多个整数单元、一个或多个浮点单元和一个或多个加载/存储单元。执行单元124所生成的结果可输出至一个或多个结果总线130(本文中为明了起见示出单个结果总线,然而多个结果总线可行并且予以考虑)。这些结果可用作后续发布指令的操作数值及/或存储至寄存器文件116。回退队列102可耦合至调度器118和分派单元104。回退队列102可被配置来确定每个所发布操作何时可回退。

[0057] 在一个实施方案中,处理节点11可被设计成与x86架构(也被称作英特尔架构-32或IA-32)兼容。在另一个实施方案中,处理节点11可与64位架构兼容。与其它架构兼容的处理节点11的实施方案也予以考虑。

[0058] 注意每个处理节点11还可包括许多其它组件。例如,处理节点11可包括分支预测单元(未示出),其被配置来预测执行指令线程的分支。

[0059] 指令缓存106可存储供分派单元104提取的指令。指令代码可通过透过预取单元108从系统存储器200预取代码而提供至指令缓存106供存储。指令缓存106可实施为各种配置(例如,组相联、全相联或直接映射)。

[0060] 处理节点11还可包括二级(L2)缓存140。虽然指令缓存106可用于存储指令且数据缓存128可用于存储数据(例如,操作数),但是L2缓存140可统一用于存储指令和数据。虽然本文中未明确示出,但是一些实施方案还可包括三级(L3)缓存。通常,缓存等级数可随实施方案而不同。

[0061] 预取单元108可从系统存储器200预取指令代码供存储在指令缓存106内。预取单元108可采用多种绝对代码预取技术和算法。

[0062] 分派单元104可输出可由执行单元124执行的操作以及操作数地址信息、直接数据和/或位移数据。在一些实施方案中，分派单元104可包括用于将特定指令解码为可在执行单元124内执行的操作的解码电路(未示出)。简单指令可对应于单个操作。在一些实施方案中，更复杂的指令可对应于多个操作。在涉及寄存器更新的操作解码时，寄存器文件116内的寄存器位置可被保留来存储推测寄存器状态(在替代实施方案中，记录缓冲器可用于存储每个寄存器的一个或多个推测寄存器状态且寄存器文件116可存储每个寄存器的约定寄存器状态)。寄存器图134可将源和目的操作数的逻辑寄存器名转换为物理寄存器数以促进寄存器重命名。寄存器图134可追踪寄存器文件116的哪些寄存器目前被分配及未分配。

[0063] 图2的处理节点11可支持乱序执行。回退队列102可追踪寄存器读操作和写操作的源程序顺序，允许推测指令执行和分支误测恢复以及促进精确异常。在一些实施方案中，回退队列102还可通过提供推测寄存器状态的数据值存储而支持寄存器重命名(例如，类似于记录缓冲器)。在其它实施方案中，回退队列102可类似于记录缓冲器起作用但可能不提供任何数据值存储。当操作回退时，回退队列102可解除分配不再需要存储推测寄存器状态的寄存器文件116中的寄存器并且提供信号至寄存器图134指示那些寄存器目前空闲。通过维持寄存器文件116内(或在替代实施方案中，在记录缓冲器内)的推测寄存器状态直到生成所述状态的操作被验证，在分支预测不正确的情况下，沿着误测路径的推测执行操作的结果可在寄存器文件116中作废。

[0064] 在一个实施方案中，寄存器文件116的给定寄存器可被配置来存储所执行指令的数据结果并且还可存储可由所执行指令更新的一个或多个标记位。标记位可传输可能对于执行后续指令很重要的各种类型的信息(例如，指示因加法或乘法运算而存在进位或溢出情形)。架构上，标志寄存器可定义为存储标记。因此，写入给定寄存器可更新逻辑寄存器和标记寄存器。应当注意，并非所有指令都可更新一个或多个标记。

[0065] 寄存器图134可指派实体寄存器至被指定作为操作的目的操作数的特定逻辑寄存器(例如，架构寄存器或微架构指定寄存器)。分派单元104可确定寄存器文件116具有指派给被指定作为给定操作中的源操作数的逻辑寄存器的先前分配实体寄存器。寄存器图134可提供最新指派给所述逻辑寄存器的实体寄存器的标记。这个标记可用于访问寄存器文件116中操作数的数据值或经由结果总线130上的结果转发接收数据值。如果操作数对应于存储器位置，那么操作数值可透过加载/存储单元(未示出)提供在结果总线上(供结果转发和/或存储在寄存器文件116中)。当操作由调度器118之一发布时，操作数数据值可提供至执行单元124。注意在替代实施方案中，当操作被分派时，操作数值可提供至相应调度器118(而非当操作被发布时，提供至相应执行单元124)。

[0066] 如本文中所使用，调度器是检测操作何时预备用于执行以及发布预备操作至一个或多个执行单元的装置。例如，保留站可以是一种调度器。可提供每个执行单元的独立保留站或可提供从其中发布操作的中心保留站。在其它实施方案中，可使用保持操作直到退出的中心调度器。每个调度器118可能够持有等待发布至执行单元124的数个待定操作的操作信息(例如，操作以及操作数值、操作数标记和/或直接数据)。在一些实施方案中，每个调度器118可能不提供操作数值存储。而是，每个调度器可监测可用于寄存器文件116的所发布

操作和结果以确定操作数值何时可供执行单元124(从寄存器文件116或结果总线130)读取。

[0067] 虽然本文中未明确示出,然而可在处理节点11的各种单元(包括未明确示出的单元)与图1所示的电源管理单元20之间提供许多不同的通信路径。更具体地,处理节点11可利用这些通信路径以提供指示活动性水平的信息至电源管理单元20。例如,回退队列102可提供有关指令回退的信息至电源管理单元20。在另一个实例中,执行单元124可提供有关所执行指令的信息,分派单元104可提供有关所分派指令的信息,调度器118可提供有关所调度指令的信息且各种缓存的任一个(或所有)可提供有关缓存命中或缺失的信息。在本文中可能存在但未明确示出的单元中,作为一个实例,分支预测单元可提供有关分支误测的信息。本文中未提到的其它单元还可提供其它类型的信息至电源管理单元20。接收自处理节点11的各种单元的信息可用于确定其活动性水平。确定活动性水平的方法可应用并且可将特定类型信息加权超过其它类型。此外,一些类型的信息可在特定时刻全部忽视。从信息中确定的活动性水平可接着提供用于选择处理节点11的操作点。

[0068] 概念图:

[0069] 图3是图示有关应用活动性的电源管理单元的一个实施方案的操作的图。在所示的实例中,曲线图分为三个主要区域:'空闲'与低阈值之间的区域、低阈值与高阈值之间的区域和高阈值之上的区域。

[0070] 第一区域(即,小于低阈值)中的活动性水平指示存储器限制或另外低频率灵敏度(有关相应处理节点11的时钟频率)的处理工作负载。其上检测到这样一个活动性水平的处理节点11可放置在最低可行非空闲操作点中,对总处理节点性能具有较少(若有)负面影响。最低非空闲操作点可定义为具有最低时钟频率的操作点。最低可行操作点还可由具有最低可行操作电压的操作点定义。使用上表1的实例,当处理节点11的活动性水平在给定时间间隔期间确定为在这个区域中时,其可至少针对下一时间间隔放置在P状态P4中。

[0071] 第三区域(即,高于高阈值)中的活动性水平指示计算限制或另外高频率灵敏度(有关时钟频率)的处理工作负载。当在一个时间间隔期间针对给定处理节点11检测到这一活动性水平时,可至少针对下一时间间隔针对所述节点选择最高操作点。使用上表1的实例,检测到高活动性水平可能导致电源管理单元20导致相应处理节点被放置在P0状态中。这可允许工作负载以最大性能执行同时更快完成任务。

[0072] 当在第二区域(高于低阈值但小于高阈值)中检测到给定时间间隔的检测到的活动性水平,相应的处理节点可放置在操作系统(OS)、其它软件、固件或其它硬件所请求的操作点上。来自表1的P状态P1、P2和P3是可第二区域中利用的中间操作点的实例。

[0073] 在OS或其它软件选择第二区域中的操作点的实施方案中,处理节点可在所述特定点上保持操作达许多时间间隔,假设检测到的应用活动性水平仍与第二区域(即,高于低阈值并且小于高阈值)相当。从一个中间操作点至另一个操作点的改变可根据比用于确定最高操作点和最低操作点上的操作的时间间隔长得多的时间间隔发生。虽然将应用活动性水平与低阈值和高阈值的比较可继续按每10至100微秒的数量级的间隔发生,然而用于确定哪个中间操作点最合适的比较可按每30至100微秒的数量级的间隔发生。因此,电源管理单元20可继续进行应用活动性水平与低阈值和高阈值的比较并且可在检测到相应活动性水平的任何时候通过将受影响处理节点11偏移至最高操作点或最低操作点而修改中间操作

点选择。

[0074] 除图3所示的高阈值和低阈值外，在确定是否改变处理节点的操作点时还可考虑滞后阈值水平。当确定过渡进或出最高操作点时还可考虑高滞后阈值而在确定过渡进或出最低操作点时可考虑低滞后阈值。利用这些滞后阈值可防止因异常而过渡至非最佳操作点。例如，考虑当计算限制工作负载在P状态P0中执行时的情形。这种情形中的分支误测可能导致流水线停顿，从而导致总活动性水平的瞬时减小。高滞后阈值水平可针对这样一种情形作为因素考虑，从而使相应处理节点11能保持在P状态P0中操作。

[0075] 上述操作可通过改进其消耗电力的每瓦性能而提高处理器的效率。针对最小频率敏感和/或存储器限制应用将时钟频率和操作电压减小至其最低可行操作值可接着允许所述应用仍以及时方式执行而不浪费另外不必要的电力。针对最大频率敏感和/或计算限制应用将时钟频率和操作电压增大至其最高可行操作值可允许所述应用按所要性能水平更快执行及因此在完成时实现更快速返回较低电力消耗的操作点。

[0076] 电源管理单元及其组件：

[0077] 图4是图示电源管理单元的一个实施方案的框图。在所示的实施方案中，电源管理单元20被配置来使用活动性监测器202监测一个或多个处理节点的每一个的活动性水平、约定每秒指令数(CIPS)单元204和每循环指令数(IPC)单元206，其每一个将在下文中更详细地讨论。这些不同单元可提供信息至决策单元208。这个信息可由决策单元208用于设定每个处理节点11的操作点。决策单元208可考虑从这些单元的选中者或从每一个中提供的信息以确定每个处理节点11的操作点。决策单元208还被耦合来接收指示每个处理节点11的目前操作点的信息。

[0078] 改变至给定处理节点11的操作点可通过提供至其中的时钟信号的频率而执行并且还可包括改变对应供电电压。由决策单元208进行的每个处理节点11的时钟频率调整可通过改变至信号SetF[N:0]的状态而实现。每个处理节点11的操作电压调整可通过改变信号SetV[N:0]的状态而实现。

[0079] 应注意，图4所示的电源管理单元20的实施方案是示例性的，且其它实施方案可行并且予以考虑。仅包括活动性监测器202、CIPS单元204或IPC单元206之一的实施方案也可行并且予以考虑且这些实施方案可在不使用决策单元208的情况下实施。例如，考虑其中基于提供至CIPS单元204的信息确定处理节点11的活动性水平的实施方案。在这样一个实施方案中，CIPS单元204可并入至少一些另外由决策单元208提供的功能。

[0080] 一般而言，电源管理单元20可实施为任意配置，其中可监测一个或多个处理节点的活动性水平/处理工作负载并且其可相应实现操作点的改变。更具体地，电源管理单元20可实施为任意配置，其中将一个或多个处理节点的每一个的活动性水平与多个时间间隔的每一个的高活动性阈值和低活动性阈值进行比较且其中下一连续时间间隔的对应操作点可根据比较结果选择。更具体地，电源管理单元20可实施为任意配置，其中下一连续时间间隔中的操作在监测到的活动性水平超过高活动性阈值的情况下设定为最高操作点(例如，来自上表1的P状态P0)，在活动性水平小于低活动性阈值的情况下设定为最低操作点(例如，P状态P4)或在活动性水平小于高阈值并且大于低阈值的情况下设定为一个或多个中间操作点之一(例如，P状态P1、P2或P3)。

[0081] 现参考图5，示出图示活动性监测器的一个实施方案的框图。在所示的实施方案

中，活动性监测器202包括平均活动性计算器(AAC)250、阈值比较器252和间隔计时器254。在所示的实施方案中，活动性监测器202被配置来计算并且追踪一个或多个处理节点11的活动性的移动平均值并且将平均活动性水平与高活动性阈值和低活动性阈值进行比较。比较结果可用于确定处理节点的适当操作点。在所示的实施方案中，每一个时间间隔进行一次比较，其由间隔计时器254计时。

[0082] AAC250可基于一个或多个计量确定耦合至其中的每个处理节点11的活动性水平。在这个特定实施方案中，AAC250被耦合来接收有关流水线停顿、指令执行、缓存命中和缺失、分支误测和所发布指令的信息。利用除本文明确讨论的计量以外或作为本文所述的计量的补充的计量也可行并且予以考虑。还应注意，在一些实施方案中，这些计量的一些可能被赋予比他者更大的权重。

[0083] 由AAC250计算出来并且追踪的平均活动性水平可基于这些计量的任一个、这些计量的两个或更多个的总和或所有这些计量的组合确定。例如，AAC250可确定处理器工作负载是基于缓存缺失和流水线停顿两者的存储器限制，两者可能在需要大量存储器访问的应用中频繁发生。在另一个实例中，具有较少缓存访问(由缓存命中和缺失的总数所示)的大量指令执行可指示计算限制工作负载。

[0084] 基于当前时间间隔期间接收的信息以及历史信息，AAC250可确定对其报告活动的每个处理节点11的平均活动性。在所示的实施方案中，可响应于间隔计时器254使信号T生效而确定平均值。所示实施方案中的间隔计时器254被耦合来接收间隔时钟信号并且可在已接收这个时钟信号的特定数量的循环后使信号T生效。

[0085] 计算出来的每个处理节点11的活动性平均值可从AAC250提供至阈值比较器252。阈值比较器252可响应于间隔计时器254使信号T生效而进行所接收活动性水平的比较，其可在其比较输入上接收。可允许延时时间来使AAC250能确定并且提供结果，阈值比较器252在延时时间已过去后进行比较。阈值比较器252可将计算出来的每个处理节点的活动性平均值与上述低活动性阈值和高活动性阈值进行比较。这些比较结果随后可从阈值比较器252提供至决策单元208，所述决策单元208随后可根据如上所述的电源管理单元20的操作导致对所述处理节点11的操作点的调整。活动性监测器202中的这些操作可针对如间隔计时器254所计时的每个时间间隔重复。

[0086] 图6是图示CIPS单元204的一个实施方案的框图。在所示的实施方案中，CIPS单元204包括低通滤波器266、CIPS计数器260、阈值比较器262和间隔计时器264。在所示的实施方案中，CIPS单元154被耦合来从每个处理节点11的回退队列(例如，图2的回退队列102)接收有关回退指令的信息。CIPS单元204可确定在预定间隔中回退的许多指令并且可使用这个值外推CIPS值。CIPS值可因此指示指令执行和实际回退的速率(相对于例如因分支误测而推测执行并且未回退的一些指令)。

[0087] 可从处理节点11接收的回退指示可最初提供至低通滤波器266。低通滤波器266可实施为一个或多个计数器，每个计数器对应于处理节点11之一。低通滤波器266中的计数器可具有上限M且因此在本实施方案中CIPS单元204在间隔T内追踪不超过M个回退。这可防止活动性的短、突发被误解为高活动性并且导致另外不必要地过渡至报告处理节点11的最高操作点。

[0088] 低通滤波器266包括耦合至间隔计时器264的重设输入。当间隔完成时，间隔计时

器264可使T信号生效。响应于在重设输入上接收到T信号，低通滤波器266的每个计数器可重设为零。

[0089] 所示的实施方案中，CIPS计数器260还包括许多计数器，各对应于每个处理节点11。每当低通滤波器中的计数器递增时，CIPS计数器260中的相应计数器也可递增。CIPS计数器260中计数器的递增可加权。因此，低通滤波器266的计数器与CIPS计数器260的增量之间可能不总是一一对应。

[0090] CIPS计数器260的计数器还可响应于间隔计时器264使T信号生效而有条件地递减(其提供至DecAll)。在一个实施方案中，CIPS计数器260的给定计数器可(响应于T信号的生效)在任意间隔结束时递减，其中相应处理节点11的指令回退数小于或等于当前操作点的期望数。否则，如果相应处理节点11的指令回退数在所述给定间隔期间超过期望回退数，那么计数器无法响应于T信号的生效而递减。

[0091] 减量也可加权。增量和减量加权可使本文所述的电源管理功能偏重为性能偏重或电力偏重。在电力管理功能是性能偏重的情况下，加权可强调递增，从而响应于指令回退导致CIPS计数器260中的较高计数。在注重减小电力消耗(即，电力偏重)的情况下，加权强调递减，从而响应于指令回退而导致CIPS计数器260中的较低计数。这个加权可通过各种机构配置，诸如由用户编程、通过固件、编程熔丝及等等。

[0092] 由CIPS计数器260生成的计数值可提供至阈值比较器262。在所示的实施方案中，阈值比较器262可以与图5所示的其对应物类似的方式起作用。每个计数值可与高活动性阈值和低活动性阈值进行比较且操作点可针对所述处理节点调整，其中已相对于前一时间间隔穿越高活动性阈值或低活动性阈值。可响应于由间隔计时器264使T信号生效而每个间隔进行一次比较，其可在比较输入上接收。比较结果可提供至决策单元208，其可相应地调整处理节点11的操作点。

[0093] 图7是IPC单元206的一个实施方案的框图。在所示的实施方案中，IPC单元206包括可被耦合来从许多处理节点11的每一个接收所执行指令的指示。这在处理节点11是超标量处理节点的实施方案中可包括从超过一个执行单元接收所执行指令的指示。指令计数器270可追踪针对每个处理节点11执行的指令的计数。针对每个处理节点追踪的计数可作为计数值提供至阈值比较器272，其可以与上文参考图5和图6所述的其对应物类似的方式执行与高活动性阈值和低活动性阈值的比较。比较结果可提供至决策单元208，其可使用计数值来确定是否对相应处理节点11做出任何操作点改变。计数和比较可根据间隔计时器274的控制逐个间隔执行。如由间隔计数器274使T信号生效所示，指令计数器270的计数器可在每个间隔完成时重设。

[0094] 如上所述，由活动性监测器202、CIPS单元204和IPC单元206提供的比较结果可各提供至决策单元208。基于所提供的比较结果，决策单元208可通过导致对应时钟频率、对应操作电压或两者的改变而导致一个或多个处理节点11的操作点的改变。在一些实施方案中，决策单元208可提供加权至比较结果，赋予其中一些比他者更大的权重。例如，决策单元208可提供接收自活动性监测器202和CIPS单元204的相对于从IPC单元206接收的比较结果的额外加权比较结果。

[0095] 在另一个实施方案中，在接收到不同比较结果的情况下，决策单元208可基于表决方案确定是否改变操作点。例如，活动性监测器202和CIPS单元204都指示活动性水平超过

高活动性阈值而IPC单元206不指示相同情况的，决策单元208可将相应处理节点的操作点改变为P状态P0。在另一个实施方案中，决策单元208可被配置来在确定是否改变处理节点的操作点时仅考虑一个单元(例如，仅考虑来自CIPS单元204的信息)。

[0096] 通常，决策单元208可被配置来以任意适当方式确定每个处理节点11的适当操作点。此外，仅包括一个单元(例如，活动性监测器202)的电源管理单元20的实施方案也可行并且予以考虑且在这些实施方案中，类似于设定SetF和SetV信号的状态的功能可并入其中。

[0097] 动态性能控制方法：

[0098] 图8和图9图示上述电源管理单元20的不同实施方案可操作的方法。方法实施方案在本文参考单个处理节点描述。然而，根据上文讨论，应注意电源管理单元20可同时针对许多不同处理节点执行本文所述方法的各种实施方案。

[0099] 图8是操作电源管理单元的方法的一个实施方案的流程图。在所示的实施方案中，方法700从追踪处理节点中的应用活动性(方块705)开始。活动性水平可与低阈值和高阈值比较。如果活动性水平超过高阈值(方块710，是)但处理节点已在高操作点(例如，最高P状态，P0；方块715，是)上操作，那么不进行改变且应用活动性的追踪继续(方块705)。

[0100] 如果活动性水平超过高阈值(方块710，是)且操作点小于高操作点(方块715，是)，那么所述处理节点的操作点可至少针对下一时间间隔过渡至高操作(方块720)。在过渡至新操作点后，活动性再次被追踪(方块725)。如果活动性水平仍高于高阈值(方块730，否)，那么处理节点的操作可在高操作点上继续。如果间隔的活动性水平小于高阈值(方块730，是)但仍高于低阈值(方块735，否)且当前操作点与原始操作点不同(方块770，否)，那么处理节点根据OS或其它软件的需要过渡至中间操作点(方块775)。

[0101] 如果在方块710中，活动性水平小于高阈值(方块710，否)并且大于低阈值(方块740，否)，那么方法返回在方块705中追踪应用活动性。如果在方块740中，活动性水平小于低阈值(方块740，是)且操作点处于低操作点(方块745，否)上，那么方法再次返回在方块705中追踪应用活动性。然而，如果在方块740中，活动性水平小于低阈值(方块740，是)且操作点大于低操作点(方块745，是)，那么处理节点过渡至低操作点(方块750)。在过渡至低操作点后，追踪应用活动性(方块755)且如果活动性水平仍小于低阈值(方块760，否)，那么方法返回方块755且处理节点保留且操作点保持不变。然而，如果活动性水平超过低阈值(方块760，是)但不超过高阈值(方块765，否)，那么方块770将产生‘否’且处理节点将根据操作系统或其它软件的需要转移至中间操作点。

[0102] 如果在方块735中，活动性水平小于低阈值(方块735，是)，那么方法可过渡至方块745。如果处理节点在除低操作点外的操作点上操作(方块745，是)，那么其可至少针对下一时间间隔过渡至低操作点(方块750)。在此过渡之后，方法可遵循如上文所述从方块755开始的顺序。否则，如果处理节点已在低操作点上操作(方块745，否)，那么方法可返回方块705。

[0103] 如果在方块765中，活动性水平大于高阈值(方块765，是)，那么方法可过渡至方块715。如果处理节点在除高操作点外的操作点上操作(方块715，是)那么其可至少针对下一时间间隔过渡至高操作点(方块720)。在此过渡之后，方法可遵循如上文所述从方块725开始的顺序。否则，如果处理节点已在高操作点上操作(方块715，否)，那么方法可返回方块

705。

[0104] 图9是图示许多时间间隔内方法的一个实施方案的操作的图。为便于说明，方法仅参考单个中间操作点描述。然而，根据上文(例如，见表1)，应了解其中可实施许多中间操作点的实施方案可行并且予以考虑。此外，如上所述，参考单个处理节点作出图9的实例，然而应了解所述方法可针对相同电子系统内的许多唯一处理节点同时执行。

[0105] 在所示的实例中，在紧贴T0之前的点上，处理节点的活动性水平小于低阈值。因此，对于实例的第一全时间间隔，从T0至T1，处理节点的操作点设定至低操作点。在这个第一间隔期间，活动性水平增大并且保持在高于低阈值的点上。因此，对于下一间隔，T1至T2，处理节点的操作点设定至中间操作点。

[0106] 在间隔T1至T2期间，处理节点的活动性水平增至其超过高阈值的点。因此，对于T2至T3的间隔，处理节点在高操作点上操作。活动性水平在这个间隔内保持高于高阈值且因此处理节点在跨T3至T4的间隔内保持在高操作点上操作。

[0107] 在介于T3与T4之间的间隔中，活动性水平在再次上升至高于高阈值的点之前在间隔的一部分内降至低于高阈值。各种事件，诸如分支误测、缓存缺失、中断或可能因其它原因而导致流水线刷新或停顿的其它事件可瞬间指示处理吞吐量的下降而不一定指示处理工作负载本身的下降。因此，被配置来执行本文所述方法的电源管理单元可被配置来考虑这样一种情形。例如，取代基于前一间隔结束时的实际活动性水平设定下一间隔的操作点，电源管理单元可取而代之在紧接间隔和一个或多个先前间隔内确定平均活动性水平(例如，诸如上文参考图5描述的实施方案)。因此，可能导致处理器吞吐量瞬间下降但不另外指示任意减小的工作负载的事件可被有效过滤使得操作点保持在其当前水平或在这个特定实例中保持在高点上。类似地，在当前和一个或多个先前间隔内使用平均活动性水平可针对另一低(例如，存储器限制)工作负载有效滤除活动的突发。使用这些技术可允许如本文所述的电源管理单元更有效地将操作点与处理器工作负载匹配同时防止异常事件影响操作点。

[0108] 对于从T4开始的间隔，活动性水平再次多次下降和上升，操作点紧随。如上所述，间隔的持续时间可能是短的。在一个实施方案中，间隔的范围可从10微秒至100微秒，然而其它持续时间的间隔(包括短于10微秒的持续时间间隔)可行并且予以考虑。利用短间隔可允许处理节点的操作点密切反映其相应活动性水平。这可防止处理节点在计算限制工作负载已完成后维持在最高操作点上达大量时间或在工作负载需求增大后维持在最低操作点上达大量时间。

[0109] 图9还图示第二持续时间T0-OS至T1-OS的多个间隔之一。应注意，如本文所示的第一间隔T0至T10的数量至第二间隔的数量是示例性的且第一间隔对第二间隔的比率可变化。本文所示的第二间隔的示例可能是操作系统软件可监测处理节点的活动性水平的间隔。这些间隔的持续时间可明显比第一间隔长并且在一些情况下，长一个或多个数量级。操作系统可在这些第二间隔内监测活动性水平并且可相应调整操作点。然而，本文所述的电源管理单元的各种实施方案可在活动性水平大于或等于高活动性阈值或小于或等于低活动性阈值时保留对每个处理节点的操作点的控制。对于落在这两个阈值之间的活动性水平，电源管理单元可使操作系统能设定处理器的每个处理节点(或处理器核心)的操作点。然而，如果在第一间隔期间检测到大于或等于高活动性阈值或小于或等于低活动性阈值的

活动性水平，那么电源管理单元可在第二间隔之一期间随时修改操作系统作出的操作点选择。

[0110] 计算机可访问存储介质：

[0111] 接下来参考图10，示出包括代表系统10的数据库405的计算机可访问存储介质400的框图。一般而言，计算机可访问存储介质400可包括在用于提供指令和/或数据至计算机期间可由计算机访问的任意非暂时性存储介质。例如，计算机可访问存储介质400可包括存储介质，诸如磁或光介质，例如，磁盘(固定或可拆卸)、磁带、CD-ROM或DVD-ROM、CD-R、CD-RW、DVD-R、DVD-RW或Blu-Ray。存储介质还可包括易失性或非易失性存储器介质，诸如RAM(例如，同步动态RAM(SDRAM)、双倍数据速率(DDR、DDR2、DDR3等)SDRAM、低功率DDR(LPDDR2等)SDRAM、Rambus DRAM(RDRAM)、静态RAM(SRAM)等)、ROM、闪存、可经由外围接口诸如通用串行总线(USB)接口访问的非易失性存储器(例如，闪存)等。存储介质可包括微型机电系统(MEMS)以及可经由通信介质(诸如网络和/或无线链路)访问的存储介质。

[0112] 通常，计算机可访问存储介质400上携带的系统10的数据库405可能是可直接或间接由程序读取并且使用以制作包括系统10的硬件的数据库或其它数据结构。例如，数据库405可能是高级设计语言(HDL)诸如Verilog或VHDL的硬件功能的行为级描述或寄存器传送级(RTL)描述。描述可由综合描述以从综合库产生包括一系列门的网单的综合工具读取。网表包括也代表包括系统10的硬件的功能的一组门。网表随后可被放置并且路由来产生描述将应用至掩码的几何形状的数据组。掩码随后可在不同半导体制作步骤中用于产生对应于系统10的半导体电路。或者，计算机可访问存储介质400上的数据库405根据需要可以是网表(具有或不具有综合库)或数据组。

[0113] 虽然计算机可访问存储介质400携带系统10的表示，但是其它实施方案可根据需要携带系统10的任意部分的表示，包括IC2、任意代理组(例如，处理节点11、I/O接口13、电源管理单元20等)或代理部分(例如，活动性监测器202、CIPS单元204等)。

[0114] 虽然本发明已参考特定实施方案描述，然而应了解实施方案是说明性的且发明范围不限于此。所述实施方案的任意变化、修改、添加和改进是可行的。这些变化、修改、添加和改进可属于如下文权利要求内详述的本发明的范围内。

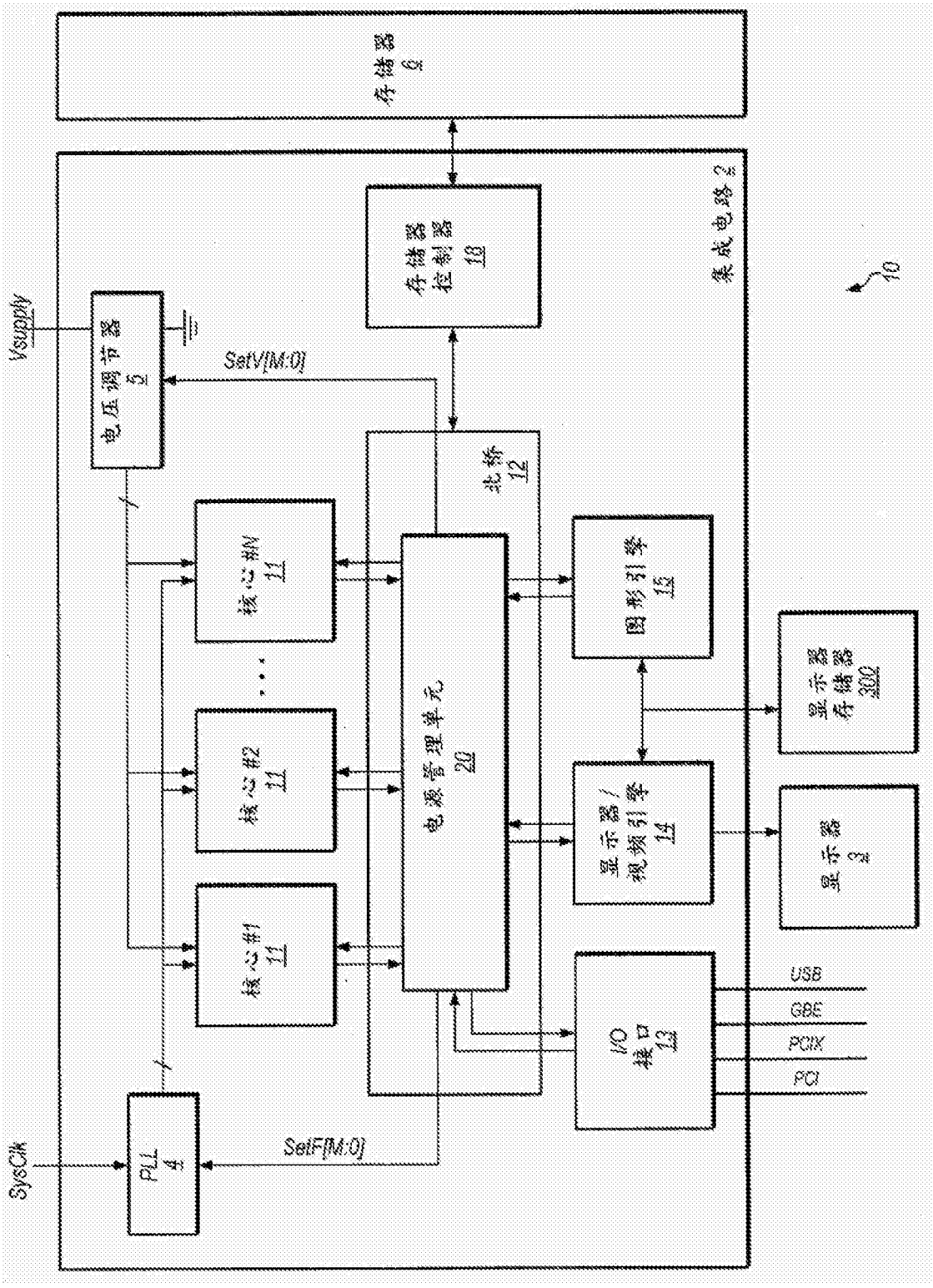

存储器
6
集成电路 2
10
存储器
控制器
18
Vsupply
电压调节器
5
SetV[M:0]
北桥
12
核心#N
11
核心#2
11
核心#1
11
电源管理单元
20
图形引擎
15
显示器
存储器
300
显示器/
视频引擎
14
显示器
8
I/O
接口
13
USB
GBE
PCIX
PCI
PLL
4
SysClk
SetF[M:0]

图1

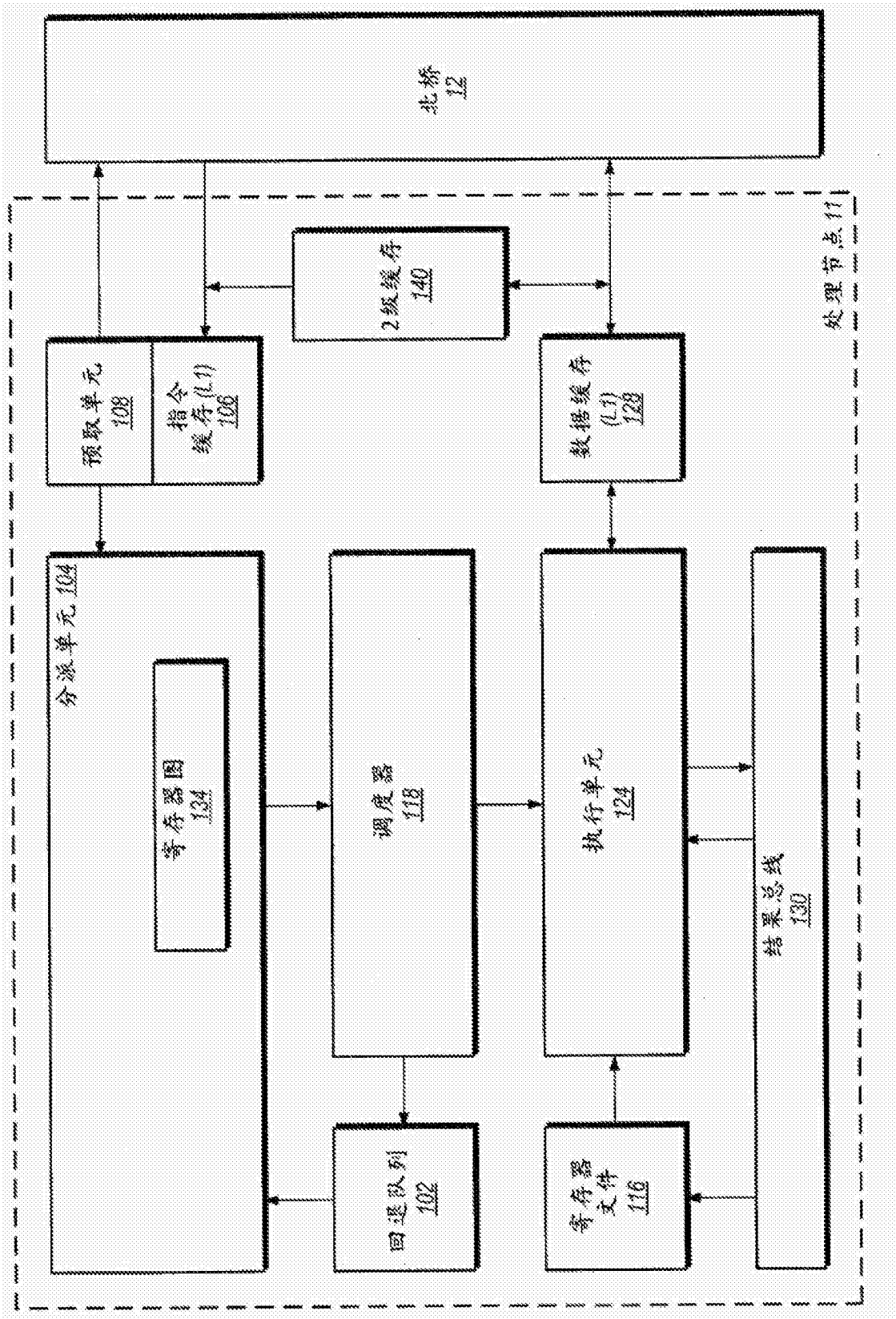

北桥
12
处理节点 11
2级缓存
140
预取单元
108
指令
缓存(L1)
106
数据缓存
(L1)
128
分派单元 104
寄存器图
124
调度器
118
执行单元
124
结果总线
130
回退队列
102
寄存器
文件
116

图2

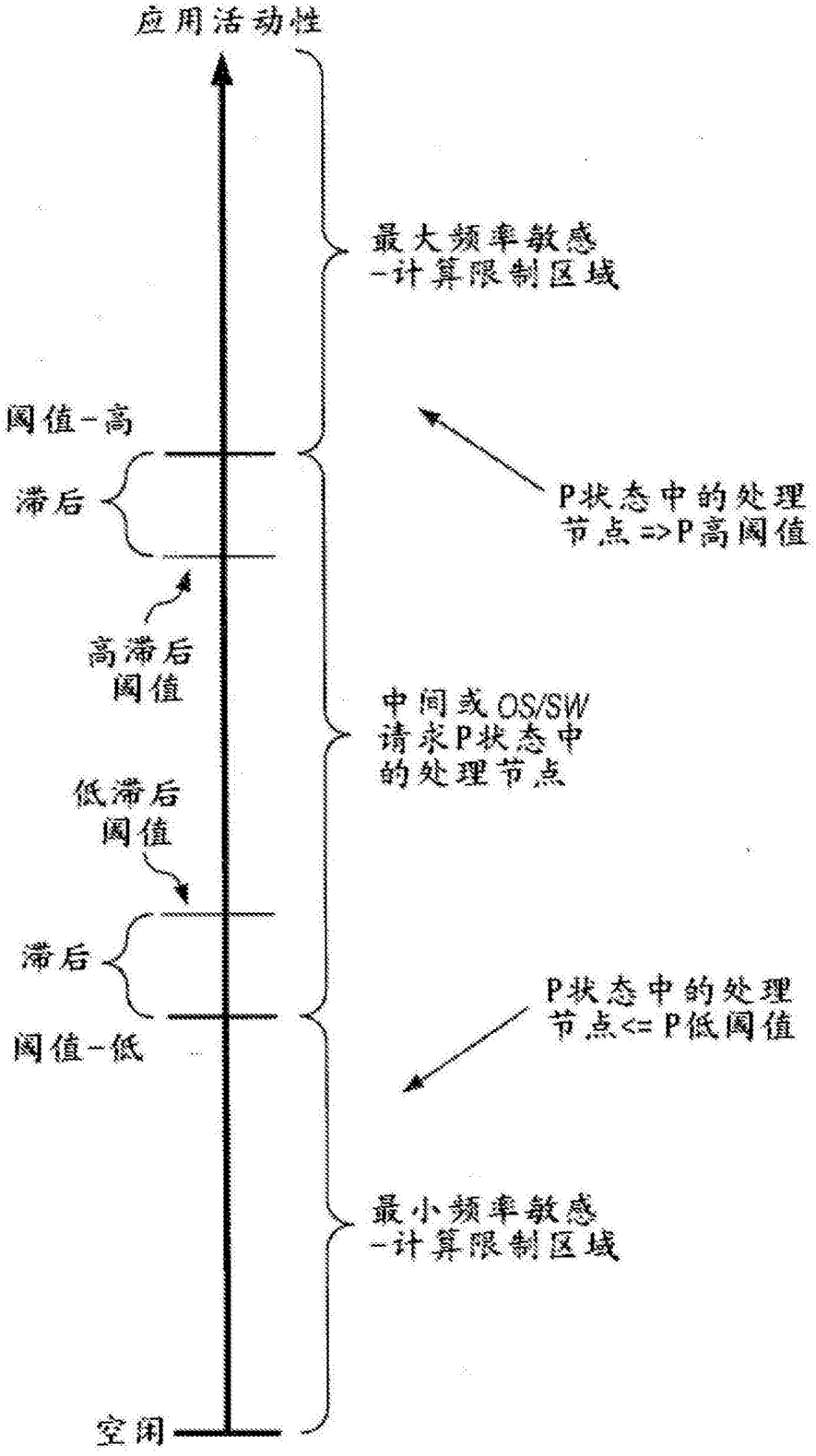

应用活动性
最大频率敏感
-计算限制区域
阈值-高
滞后
P状态中的处理
节点=>P高阈值
高滞后
阈值
中间或OS/SW
请求P状态中
的处理节点
低滞后
阈值
滞后
P状态中的处理
节点<= P低阈值
阈值-低
最小频率敏感
-计算限制区域
空闲

图3

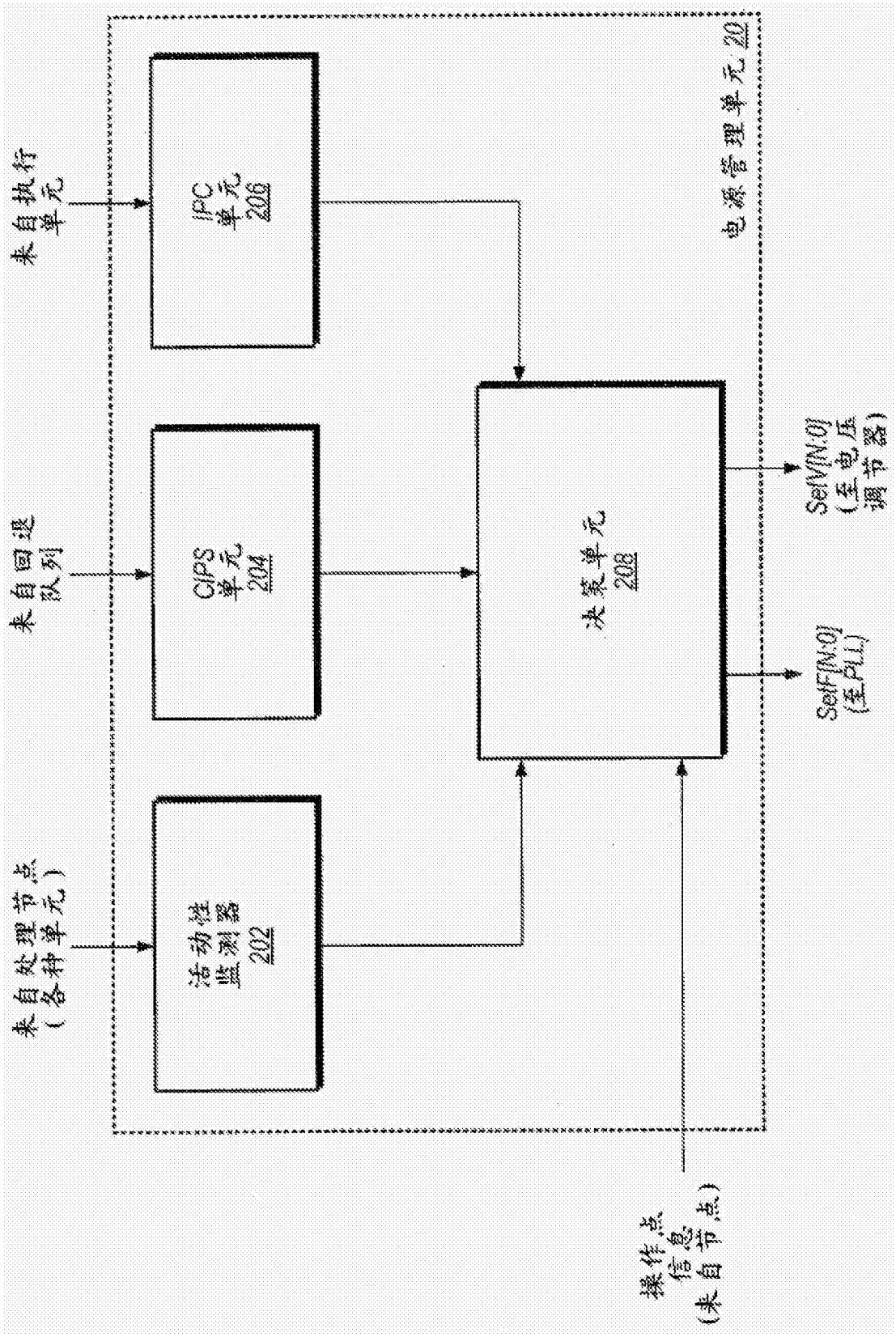

电源管理单元 20
来自执行单元
IPC 单元 206
来自回退队列
CIPS 单元 204
来自处理节点（各种单元）
动态性监测器 202
决策单元 208
SetV[N:0]（至电压调节器）
SetF[N:0]（至PLL）
操作点信息（来自节点）

图4

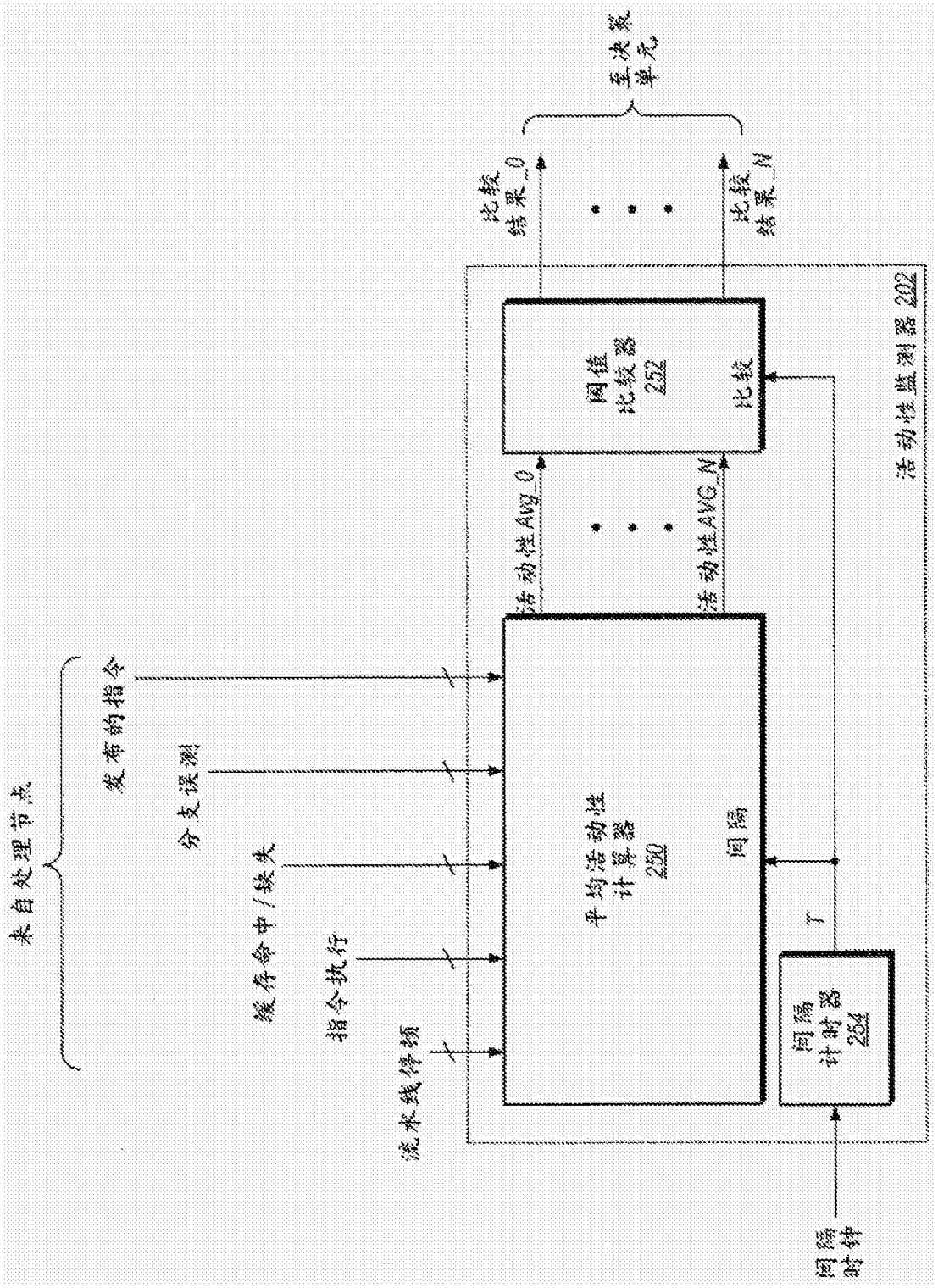

来自处理节点
发布的指令
分支误测
缓存命中/缺失
指令执行
流水线停顿
平均活动性计算器 250
间隔
活动性 Avg_0
活动性 AVG_N
阈值比较器 252
比较
比较结果_0
比较结果_N
至决策单元
活动性监测器 202
间隔计时器 254
T
间隔时钟

图5

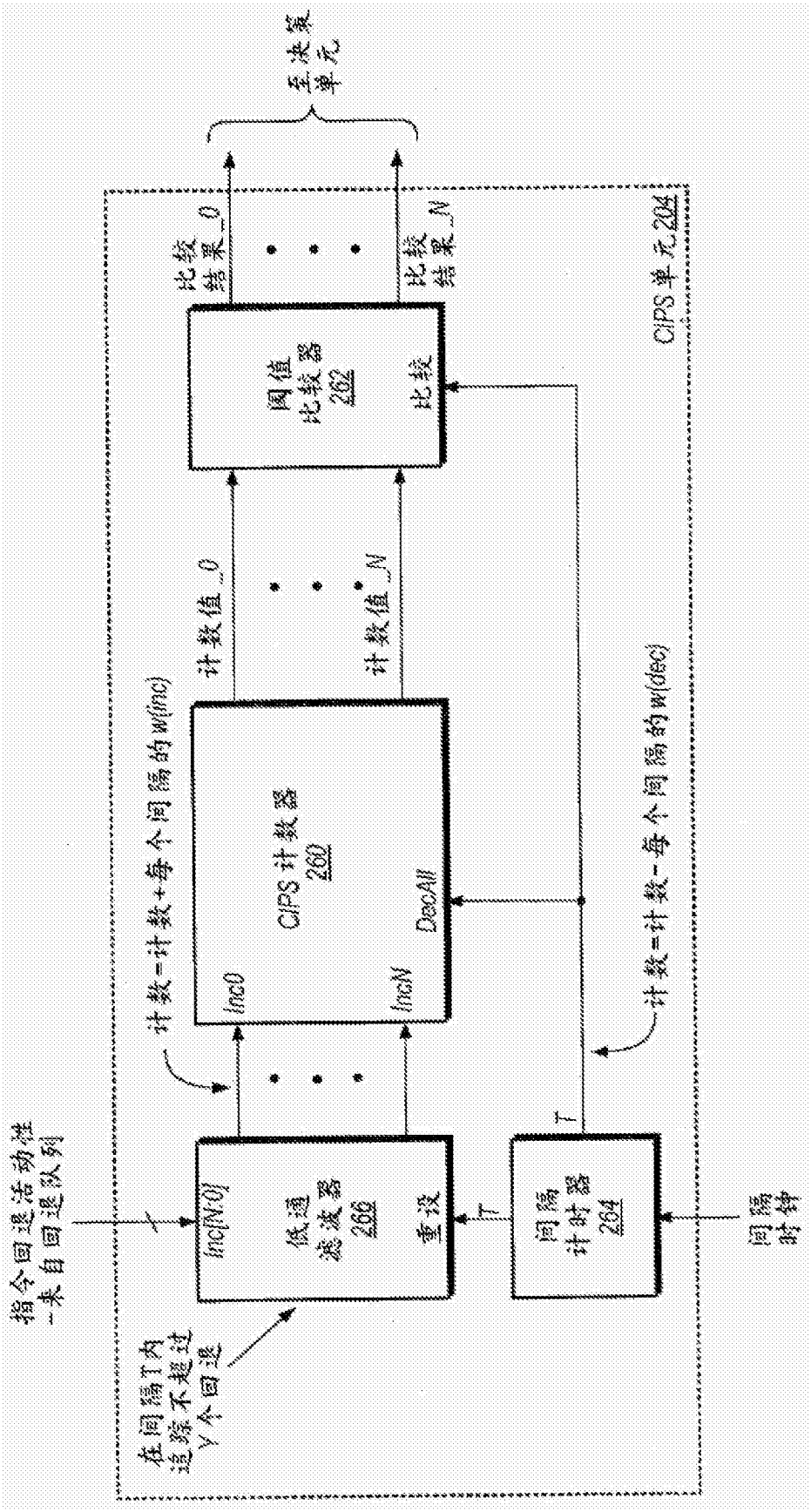

至决策单元
比较结果_0
比较结果_N
阈值比较器262
比较
CIPS单元204
计数值_0
计数值_N
CIPS计数器260
Inc0
IncN
DecAll
计数=计数+每个间隔的w(inc)
计数=计数-每个间隔的w(dec)
指令回退活动性-来自回退队列
在间隔T内追踪不超过Y个回退
Inc[N:0]
低通滤波器266
查没
T
间隔计时器264
间隔时钟

图6

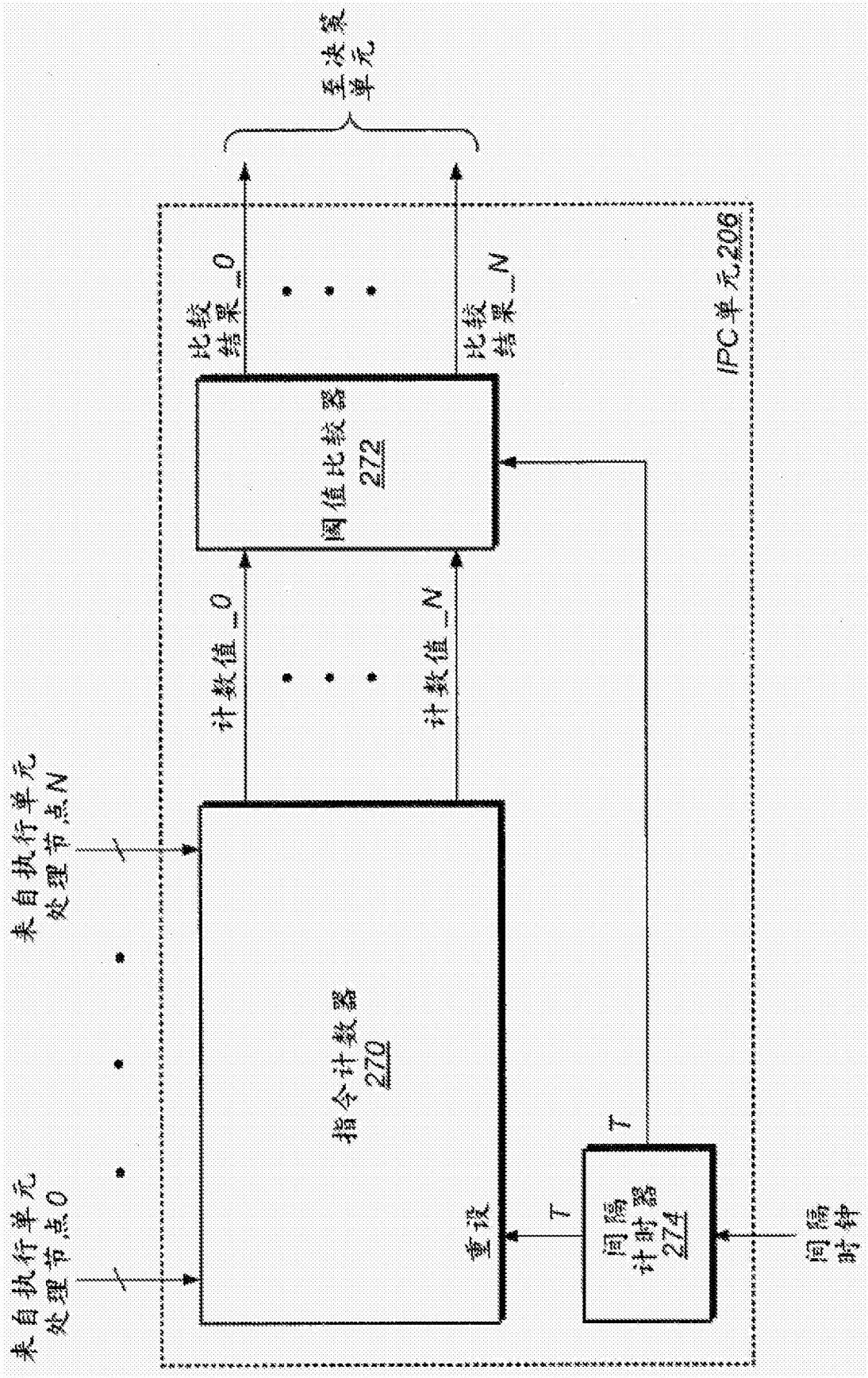

至决策单元
比较结果_0
比较结果_N
阈值比较器 272
IPC单元206
计数值_0
计数值_N
来自执行单元处理节点N
来自执行单元处理节点0
指令计数器 270
重设
T
T
间隔计时器 274
间隔时钟

图7

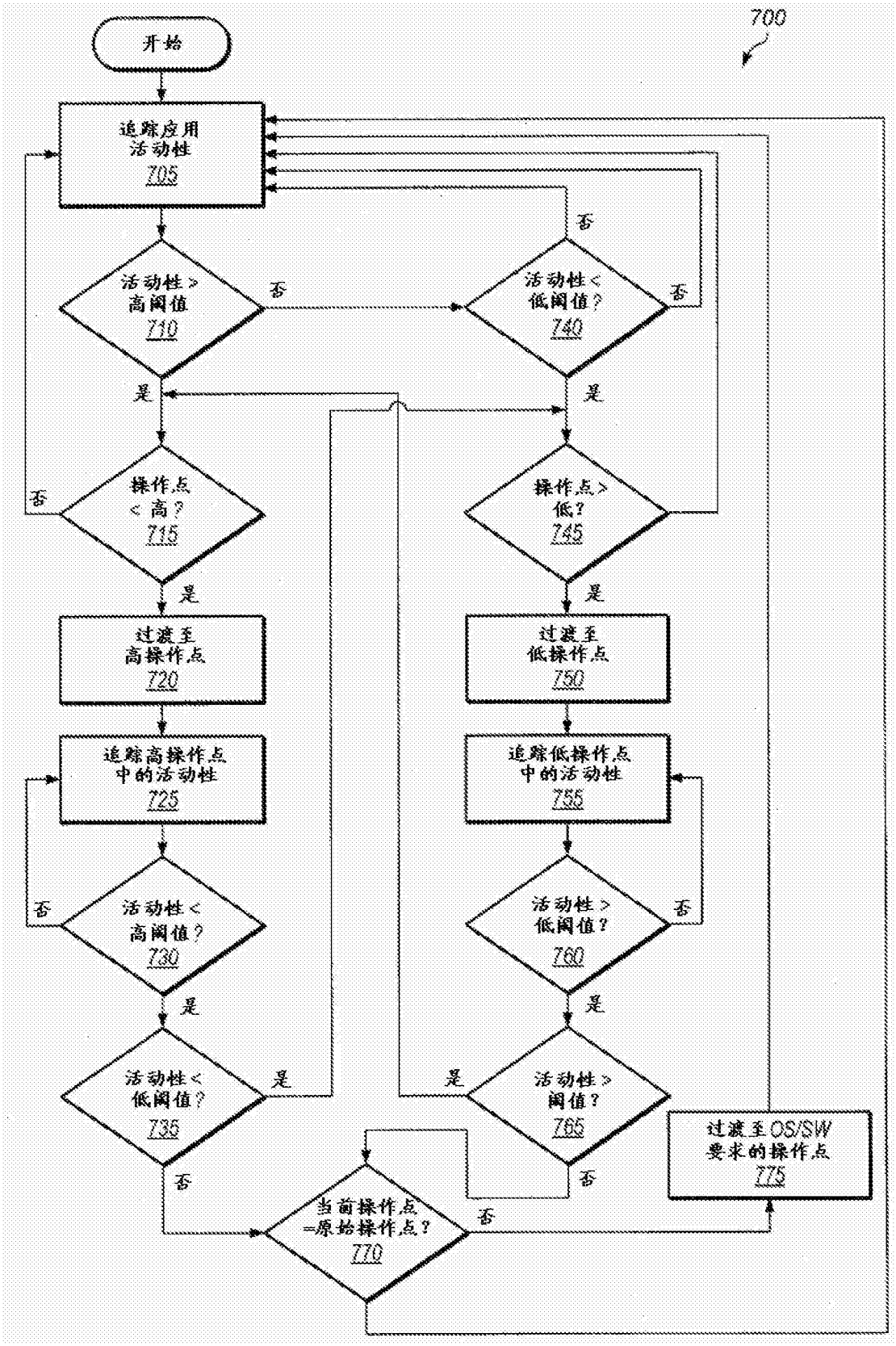

700
开始
追踪应用活动性 705
活动性 > 高阈值 710
否
活动性 < 低阈值? 740
否
否
是
是
操作点 < 高? 715
否
操作点 > 低? 745
是
是
过渡至高操作点 720
过渡至低操作点 750
追踪高操作点中的活动性 725
追踪低操作点中的活动性 755
活动性 < 高阈值? 730
否
活动性 > 低阈值? 760
否
是
是
活动性 < 低阈值? 735
是
活动性 > 阈值? 765
是
否
否
过渡至OS/SW要求的操作点 775
当前操作点 = 原始操作点? 770
否

图8

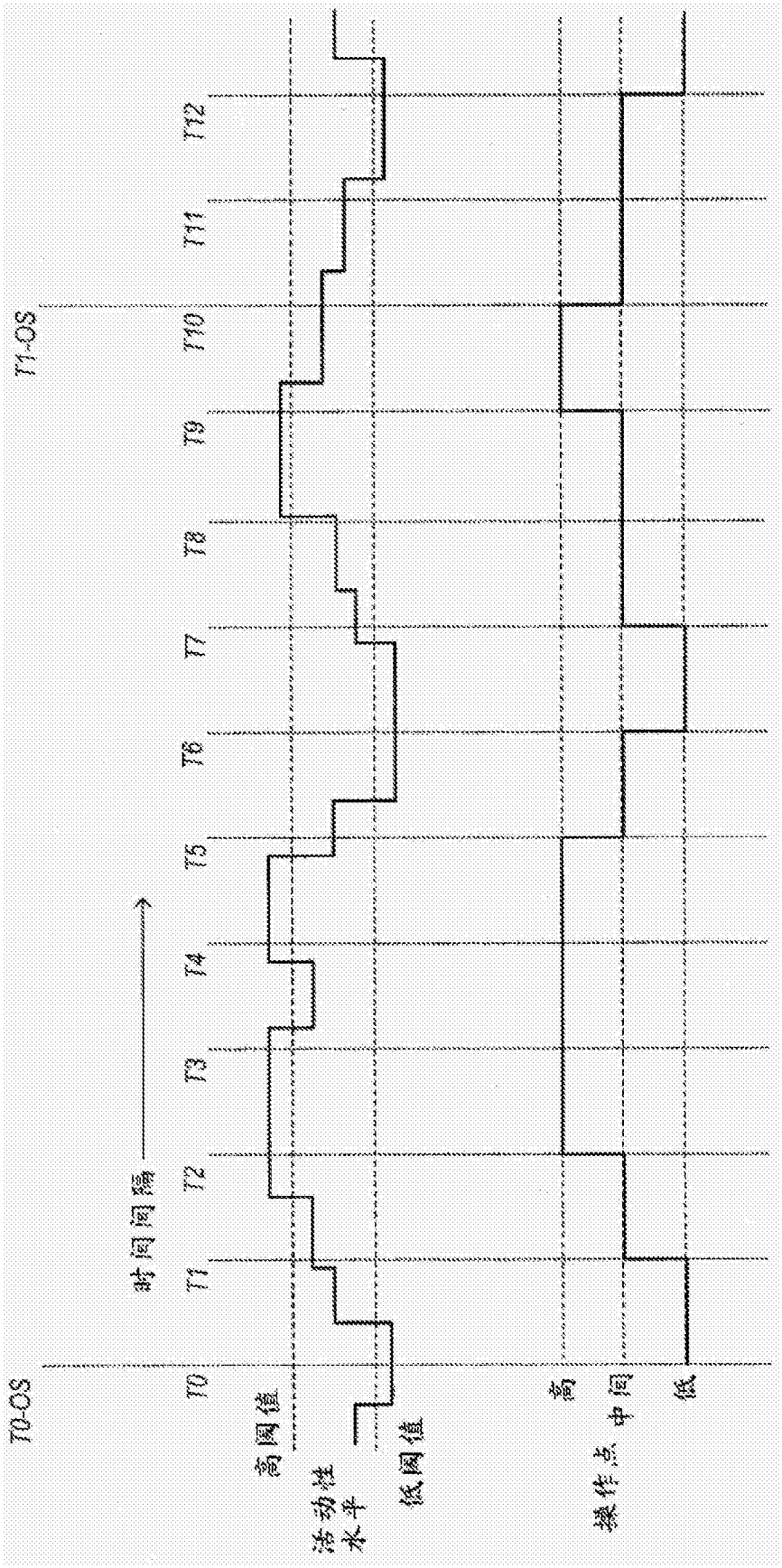

T0-OS
T1-OS
T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
时间间隔
高阈值
活动性水平
低阈值
高
操作点 中间
低

图9

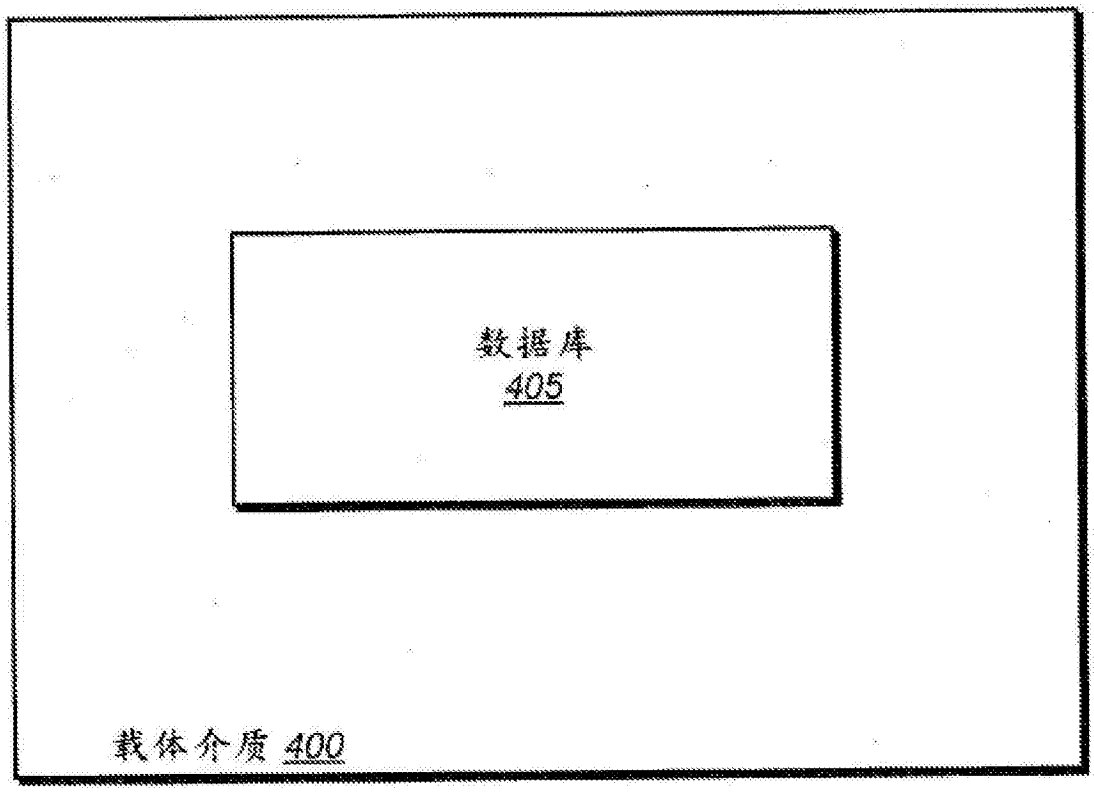


图10