

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6300513号
(P6300513)

(45) 発行日 平成30年3月28日 (2018. 3. 28)

(24) 登録日 平成30年3月9日 (2018. 3. 9)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04 P
HO 1 L 27/04 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 2 Z
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 3 A
GO 2 F 1/1368 (2006. 01)	GO 2 F 1/1368

請求項の数 12 (全 102 頁) 最終頁に続く

(21) 出願番号	特願2013-263874 (P2013-263874)	(73) 特許権者	000153878
(22) 出願日	平成25年12月20日 (2013. 12. 20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-143404 (P2014-143404A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成26年8月7日 (2014. 8. 7)	(72) 発明者	山崎 舜平
審査請求日	平成28年9月28日 (2016. 9. 28)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2012-281873 (P2012-281873)		半導体エネルギー研究所内
(32) 優先日	平成24年12月25日 (2012. 12. 25)		
(33) 優先権主張国	日本国 (JP)	審査官	戸次 一夫

最終頁に続く

(54) 【発明の名称】 回路、保護回路、及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の抵抗素子と、第 2 の抵抗素子と、第 1 の配線と、第 2 の配線と、第 3 の配線と、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の配線と電氣的に接続し、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続し、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと、前記第 3 の配線と電氣的に接続し、

前記第 1 の抵抗素子の端子の一方は、前記第 1 の配線と電氣的に接続し、

前記第 1 の抵抗素子の端子の他方は、前記第 3 の配線と電氣的に接続し、

前記第 3 のトランジスタのソースとドレインの一方は、前記第 3 の配線と電氣的に接続し、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタのゲートと、前記第 4 のトランジスタのソースまたはドレインの一方と電氣的に接続し、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 4 のトランジスタのゲートと、前記第 2 の配線と電氣的に接続し、

前記第 2 の抵抗素子の端子の一方は、前記第 3 の配線と電氣的に接続し、

10

20

前記第 2 の抵抗素子の端子の他方は、前記第 2 の配線と電氣的に接続し、
前記第 1 の抵抗素子は第 1 の酸化物半導体層を有し、
前記第 2 の抵抗素子は第 2 の酸化物半導体層を有することを特徴とする回路。

【請求項 2】

請求項 1 において、
前記第 1 の配線は、高電源電位を与えられ、
前記第 2 の配線は、低電源電位を与えられることを特徴とする回路。

【請求項 3】

請求項 1 または請求項 2 において、
前記第 1 のトランジスタのチャネルは、第 3 の酸化物半導体層を有し、
前記第 2 のトランジスタのチャネルは、第 4 の酸化物半導体層を有し、
前記第 3 のトランジスタのチャネルは、第 5 の酸化物半導体層を有し、
前記第 4 のトランジスタのチャネルは、第 6 の酸化物半導体層を有することを特徴とする回路。

10

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、
前記第 1 の酸化物半導体層および前記第 2 の酸化物半導体層は、インジウム (In)、
亜鉛 (Zn) 及び M (Al、Ga、Ge、Y、Zr、Sn、La、Ce または Hf) を有
する、ことを特徴とする回路。

20

【請求項 5】

請求項 3 または請求項 4 において、
前記第 3 乃至 6 の酸化物半導体層は、インジウム (In)、亜鉛 (Zn) 及び M (Al
、Ga、Ge、Y、Zr、Sn、La、Ce または Hf) を有する、ことを特徴とする回
路。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、
前記回路を有する保護回路。

【請求項 7】

駆動回路部と、画素部と、保護回路部と、を有し、
前記保護回路部は、前記画素部または前記駆動回路部のいずれか一方または双方に電氣
的に接続され、

30

前記保護回路部は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジス
タと、第 4 のトランジスタと、第 1 の抵抗素子と、第 2 の抵抗素子と、第 1 の配線と、第
2 の配線と、第 3 の配線と、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の配線と電氣的に
接続し、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 1 のトランジスタの
ゲートと、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続し、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタの
ゲートと、前記第 3 の配線と電氣的に接続し、

40

前記第 1 の抵抗素子の端子の一方は、前記第 1 の配線と電氣的に接続し、

前記第 1 の抵抗素子の端子の他方は、前記第 3 の配線と電氣的に接続し、

前記第 3 のトランジスタのソースとドレインの一方は、前記第 3 の配線と電氣的に接続
し、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタの
ゲートと、前記第 4 のトランジスタのソースまたはドレインの一方と電氣的に接続し、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 4 のトランジスタの
ゲートと、前記第 2 の配線と電氣的に接続し、

前記第 2 の抵抗素子の端子の一方は、前記第 3 の配線と電氣的に接続し、

前記第 2 の抵抗素子の端子の他方は、前記第 2 の配線と電氣的に接続し、

50

前記第 1 の抵抗素子は第 1 の酸化物半導体層を有し、

前記第 2 の抵抗素子は第 2 の酸化物半導体層を有することを特徴とする表示装置。

【請求項 8】

請求項 7 において、

前記第 1 の配線は、高電源電位を与えられ、

前記第 2 の配線は、低電源電位を与えられることを特徴とする表示装置。

【請求項 9】

請求項 7 または請求項 8 において、

前記第 3 の配線は、前記画素部または前記駆動回路部のいずれか一方または双方に電氣的に接続されることを特徴とする表示装置。

10

【請求項 10】

請求項 7 乃至 9 のいずれか一において、

前記第 1 のトランジスタのチャネルは、第 3 の酸化物半導体層を有し、

前記第 2 のトランジスタのチャネルは、第 4 の酸化物半導体層を有し、

前記第 3 のトランジスタのチャネルは、第 5 の酸化物半導体層を有し、

前記第 4 のトランジスタのチャネルは、第 6 の酸化物半導体層を有することを特徴とする表示装置。

【請求項 11】

請求項 7 乃至 10 のいずれか一において、

前記第 1 の酸化物半導体層および前記第 2 の酸化物半導体層は、インジウム (In)、亜鉛 (Zn) 及び M (Al、Ga、Ge、Y、Zr、Sn、La、Ce または Hf) を有する、ことを特徴とする表示装置。

20

【請求項 12】

請求項 10 または請求項 11 において、

前記第 3 乃至 6 の酸化物半導体層は、インジウム (In)、亜鉛 (Zn) 及び M (Al、Ga、Ge、Y、Zr、Sn、La、Ce または Hf) を有する、ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明の一態様は、物、方法、製造方法、プロセス、マシン、マニファクチャー、または、組成物 (コンポジション オブ マター) に関する。特に、本発明の一態様は、例えば、半導体装置、表示装置、発光装置、電子機器、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、例えば、酸化物半導体を有する抵抗素子、半導体装置、表示装置、電子機器、または、発光装置に関する。

【0002】

なお、表示装置とは、表示素子を有する装置のことをいう。なお、表示装置は、複数の画素を駆動させる駆動回路等を含む。なお、表示装置は、別の基板上に配置された制御回路、電源回路、信号生成回路等を含む。

【背景技術】

40

【0003】

液晶表示装置に代表される表示装置は、近年の技術革新の結果、素子及び配線の微細化が進み、量産技術も各段に進歩してきている。今後はより、製造歩留まりの向上を図ることで、低コストを図ることが求められている。

【0004】

表示装置に静電気等によるサージ電圧が印加されると、素子が破壊してしまい、正常な表示ができなくなる。そのため、製造歩留まりが悪化するおそれがある。その対策として、表示装置には、サージ電圧を別の配線に逃がすための保護回路が設けられている (例えば特許文献 1 乃至 7 を参照)。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】特開2010-92036号公報

【特許文献2】特開2010-92037号公報

【特許文献3】特開2010-97203号公報

【特許文献4】特開2010-97204号公報

【特許文献5】特開2010-107976号公報

【特許文献6】特開2010-107977号公報

【特許文献7】特開2010-113346号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

表示装置では、保護回路に代表されるように、信頼性の向上を目的とした構成が重要である。

【0007】

そこで、本発明の一態様では、新規な構成の抵抗素子などを提供することを課題の一とする。または信頼性を向上しうる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、静電破壊を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、静電気の影響を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、ラビング工程において、トランジスタに与える影響を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、検査工程において、トランジスタに与える影響を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、タッチセンサを使用したときの不具合の影響を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、トランジスタの特性の変動または劣化を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、トランジスタのしきい値電圧の変動または劣化を低減することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、トランジスタの製造歩留まりを向上することができる、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、導電率の向上した酸化物半導体層を有する、新規な構成の表示装置などを提供することを課題の一とする。または、本発明の一態様では、酸化物半導体層の導電率を制御することができる、新規な構成の表示装置などを提供することを課題の一とする。

20

30

【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、上記以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、上記以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0009】

本発明の一態様は、半導体層と、半導体層上に形成された絶縁層と、を有し、半導体層は、少なくともインジウム(In)、亜鉛(Zn)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHfの金属)を含むIn-M-Zn酸化物で表記される酸化物であり、絶縁層は、少なくとも水素を含むことを特徴とする抵抗素子である。

【0010】

また、本発明の他の一態様は、画素部と、画素部の外側に配置された駆動回路部と、画素部または駆動回路部のいずれか一方または双方に電氣的に接続された保護回路部と、を有し、画素部は、マトリクス状に配置された画素電極と、画素電極に電氣的に接続された

50

第1のトランジスタと、を有し、駆動回路部は、第1のトランジスタのオン状態、オフ状態を制御する第2のトランジスタと、を有し、第1のトランジスタ、及び第2のトランジスタは、チャネル形成領域に第1の酸化物半導体層を有し、保護回路部が、第1の酸化物半導体層と同一工程で形成された第2の酸化物半導体層を有し、第1の酸化物半導体層と、第2の酸化物半導体層とは、水素濃度が異なることを特徴とする表示装置である。

【発明の効果】

【0011】

本発明の一態様により、新規な構成の抵抗素子を提供できる。また、表示装置の信頼性を高めることができる。

【図面の簡単な説明】

10

【0012】

【図1】表示装置の平面模式図、及び保護回路部を説明する回路図。

【図2】抵抗素子の上面図、及び断面図を説明する図。

【図3】抵抗素子の上面図、及び断面図を説明する図。

【図4】表示装置の平面模式図、及び保護回路部を説明する回路図。

【図5】保護回路部を説明する回路図。

【図6】表示装置に用いることのできる画素回路図を説明する回路図。

【図7】表示装置の上面図を説明する図。

【図8】表示装置の上面図を説明する図。

【図9】表示装置の断面図を説明する図。

20

【図10】表示装置の作製方法を説明する断面図。

【図11】表示装置の作製方法を説明する断面図。

【図12】表示装置の作製方法を説明する断面図。

【図13】表示装置の作製方法を説明する断面図。

【図14】表示装置の作製方法を説明する断面図。

【図15】表示装置の作製方法を説明する断面図。

【図16】表示装置の作製方法を説明する断面図。

【図17】表示装置の作製方法を説明する断面図。

【図18】表示装置の作製方法を説明する断面図。

【図19】表示装置の作製方法を説明する断面図。

30

【図20】表示装置の作製方法を説明する断面図。

【図21】表示装置の作製方法を説明する断面図。

【図22】表示装置の作製方法を説明する断面図。

【図23】表示装置の作製方法を説明する断面図。

【図24】表示装置の断面図を説明する図。

【図25】表示装置の作製方法を説明する断面図。

【図26】表示装置の作製方法を説明する断面図。

【図27】表示装置の作製方法を説明する断面図。

【図28】表示装置の作製方法を説明する断面図。

【図29】表示装置の作製方法を説明する断面図。

40

【図30】表示装置の断面図を説明する図。

【図31】表示装置の作製方法を説明する断面図。

【図32】表示装置の作製方法を説明する断面図。

【図33】表示装置の作製方法を説明する断面図。

【図34】表示装置の作製方法を説明する断面図。

【図35】表示装置の作製方法を説明する断面図。

【図36】表示装置の断面図を説明する図。

【図37】表示装置の作製方法を説明する断面図。

【図38】表示装置の作製方法を説明する断面図。

【図39】表示装置の作製方法を説明する断面図。

50

- 【図 4 0】表示装置の作製方法を説明する断面図。
- 【図 4 1】表示装置の作製方法を説明する断面図。
- 【図 4 2】表示装置の断面図を説明する図。
- 【図 4 3】表示装置の断面図を説明する図。
- 【図 4 4】表示装置の断面図を説明する図。
- 【図 4 5】トランジスタの断面図、及び酸化物積層を説明する図。
- 【図 4 6】成膜装置、基板加熱装置を説明する模式図。
- 【図 4 7】DC 電源によるスパッタリング装置を説明する断面図。
- 【図 4 8】基板加熱装置を説明する断面図。
- 【図 4 9】タッチセンサを説明する図。 10
- 【図 5 0】タッチセンサを説明する回路図。
- 【図 5 1】タッチセンサを説明する断面図。
- 【図 5 2】本発明の一態様である表示装置を用いた表示モジュールを説明する図。
- 【図 5 3】本発明の一態様である表示装置を用いた電子機器を説明する図。
- 【図 5 4】本発明の一態様である表示装置を用いた電子機器を説明する図。
- 【図 5 5】実施例 1 の試料を説明する上面図、及び断面図。
- 【図 5 6】実施例 1 のシート抵抗の測定結果を説明する図。
- 【図 5 7】実施例 2 の水素 (H) 濃度のプロファイルを説明する図。
- 【図 5 8】実施例 3 の ESR の測定結果を説明する図。
- 【図 5 9】実施例 3 の ESR の測定結果を説明する図。 20
- 【図 6 0】酸化物半導体膜の CPM 測定結果を示す図。
- 【図 6 1】酸化物半導体膜の CPM 測定結果を示す図。
- 【図 6 2】CAAC-OS 膜の断面 TEM 像を示す図。
- 【図 6 3】CAAC-OS 膜の電子線回折パターンを示す図。
- 【図 6 4】CAAC-OS 膜の断面 TEM 像を示す図。
- 【図 6 5】CAAC-OS 膜の断面 TEM 像および X 線回折スペクトルを示す図。
- 【図 6 6】CAAC-OS 膜の電子線回折パターンを示す図。
- 【図 6 7】CAAC-OS 膜の断面 TEM 像および X 線回折スペクトルを示す図。
- 【図 6 8】CAAC-OS 膜の電子線回折パターンを示す図。
- 【図 6 9】CAAC-OS 膜の断面 TEM 像および X 線回折スペクトルを示す図。 30
- 【図 7 0】CAAC-OS 膜の電子線回折パターンを示す図。
- 【図 7 1】ナノ結晶酸化物半導体膜の断面 TEM 像及び極微電子線回折パターンを示す図。
- 。 【図 7 2】ナノ結晶酸化物半導体膜の平面 TEM 像及び制限視野電子線回折パターンを示す図。
- 【図 7 3】電子線回折強度分布の概念図を示す図。
- 【図 7 4】石英ガラス基板の極微電子線回折パターンを示す図。
- 【図 7 5】ナノ結晶酸化物半導体膜の極微電子線回折パターンを示す図。
- 【図 7 6】ナノ結晶酸化物半導体膜の断面 TEM 像を示す図。
- 【図 7 7】ナノ結晶酸化物半導体膜の X 線回折分析結果を示す図。 40
- 【発明を実施するための形態】
- 【0013】
- 以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。
- 【0014】
- また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズ 50

による信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0015】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

【0016】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第1電極と表記し、ソースとドレインとの他方を第2電極と表記する場合がある。

【0017】

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0018】

また、本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

【0019】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0020】

また、図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路や領域においては同じ回路や同じ領域内で別々の機能を実現しうるように設けられている場合もある。また図面におけるブロック図の各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路や領域においては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

【0021】

また、画素とは、一つの色要素（例えばR（赤）G（緑）B（青）のいずれか1つ）の明るさを制御できる表示単位に相当するものとする。従って、カラー表示装置の場合には、カラー画像の最小表示単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。ただし、カラー画像を表示するための色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。

【0022】

本明細書においては、本発明の実施の形態について図面を参照しながら説明する。なお各実施の形態での説明は、以下の順序で行う。

1. 実施の形態1 (本発明の一態様に関する基本構成について)
2. 実施の形態2 (表示装置の一態様について)
3. 実施の形態3 (表示装置の作製方法について)
4. 実施の形態4 (表示装置の変形例、及び作製方法について)
5. 実施の形態5 (表示装置の変形例、及び作製方法について)
6. 実施の形態6 (表示装置の変形例、及び作製方法について)

10

20

30

40

50

- 7 . 実施の形態 7 (表示装置の変形例について)
- 8 . 実施の形態 8 (トランジスタの構成について)
- 9 . 実施の形態 9 (酸化物半導体膜の電子線回折パターンについて)
- 10 . 実施の形態 10 (金属膜、半導体膜、無機絶縁膜などの成膜方法について)
- 11 . 実施の形態 11 (酸化物半導体を成膜、及び加熱できる装置について)
- 12 . 実施の形態 12 (タッチセンサ、表示モジュールについて)
- 13 . 実施の形態 13 (電子機器について)
- 14 . 実施例 1 (酸化物半導体層、酸化物積層の抵抗について)
- 15 . 実施例 2 (酸化物半導体層の不純物分析について)
- 16 . 実施例 3 (酸化物半導体膜、及び酸化物積層の ESR について)

10

【0023】

(実施の形態 1)

本実施の形態では、本発明の一態様の表示装置について、図 1 乃至図 5 を用いて説明を行う。

【0024】

図 1 (A) に示す表示装置は、画素の表示素子を有する領域 (以下、画素部 102 という) と、画素を駆動するための回路を有する回路部 (以下、駆動回路部 104 という) と、素子の保護機能を有する回路部 (以下、保護回路部 106 という) と、端子部 107 と、を有する。

【0025】

20

画素部 102 は、X 行 (X は 2 以上の自然数) Y 列 (Y は 2 以上の自然数) に配置された複数の表示素子を駆動するための回路 (以下、画素回路部 108 という) を有し、駆動回路部 104 は、画素を選択する信号 (走査信号) を出力する回路 (以下、ゲートドライバ 104a という)、画素の表示素子を駆動するための信号 (データ信号) を供給するための回路 (以下、ソースドライバ 104b) などの駆動回路を有する。なお、画素回路部 108 は、マトリクス状に形成され、各々の画素回路部 108 には、画素電極が形成される。

【0026】

ゲートドライバ 104a は、シフトレジスタ等を有する。ゲートドライバ 104a は、端子部 107 を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ 104a は、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ 104a は、走査信号が与えられる配線 (以下、ゲート信号線 GL₁ 乃至 GL_X という) の電位を制御する機能を有する。なお、ゲートドライバ 104a を複数設け、複数のゲートドライバ 104a により、ゲート信号線 GL₁ 乃至 GL_X を分割して制御してもよい。または、ゲートドライバ 104a は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ 104a は、別の信号を供給することも可能である。

30

【0027】

ソースドライバ 104b は、シフトレジスタ等を有する。ソースドライバ 104b は、端子部 107 を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号 (画像信号) が入力される。ソースドライバ 104b は、画像信号を元に画素回路部 108 に書き込むデータ信号を生成する機能を有する。また、ソースドライバ 104b は、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ 104b は、データ信号が与えられる配線 (以下、データ線 DL₁ 乃至 DL_Y という) の電位を制御する機能を有する。または、ソースドライバ 104b は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ 104b は、別の信号を供給することも可能である。

40

【0028】

ソースドライバ 104b は、例えば複数のアナログスイッチなどを用いて構成される。

50

ソースドライバ１０４ｂは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ１０４ｂを構成してもよい。

【００２９】

複数の画素回路部１０８のそれぞれは、走査信号が与えられる複数の配線（以下、ゲート信号線ＧＬという）の一つを介してパルス信号が入力され、データ信号が与えられる複数の配線（以下、データ線ＤＬという）の一つを介してデータ信号が入力される。また、複数の画素回路部１０８のそれぞれは、ゲートドライバ１０４ａによりデータ信号のデータの書き込み及び保持が制御される。例えば、ｍ行ｎ列目の画素回路部１０８は、ゲート信号線ＧＬ_—ｍ（ｍはＸ以下の自然数）を介してゲートドライバ１０４ａからパルス信号が入力され、ゲート信号線ＧＬ_—ｍの電位に応じてデータ線ＤＬ_—ｎ（ｎはＹ以下の自然数）を介してソースドライバ１０４ｂからデータ信号が入力される。

10

【００３０】

保護回路部１０６は、ゲートドライバ１０４ａと画素回路部１０８とを接続する配線であるゲート信号線ＧＬに接続される。または、保護回路部１０６は、ソースドライバ１０４ｂと画素回路部１０８とを接続する配線であるデータ線ＤＬに接続される。または、保護回路部１０６は、ゲートドライバ１０４ａと端子部１０７とを接続する配線に接続することができる。または、保護回路部１０６は、ソースドライバ１０４ｂと端子部１０７とを接続する配線に接続することができる。なお、端子部１０７は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

20

【００３１】

保護回路部１０６は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。ただし、これに限定されず、保護回路部１０６は、別の信号を供給することも可能である。

【００３２】

図１（Ａ）に示すように、画素部１０２、駆動回路部１０４、端子部１０７のそれぞれに保護回路部１０６を設けることにより、ＥＳＤ（Ｅｌｅｃｔｒｏ Ｓｔａｔｉｃ Ｄｉｓｃｈａｒｇｅ：静電気放電）などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路部１０６の構成はこれに限定されず、例えば、ゲートドライバ１０４ａにのみ保護回路部１０６を接続した構成、またはソースドライバ１０４ｂにのみ保護回路部１０６を接続した構成とすることもできる。あるいは、端子部１０７にのみ保護回路部１０６を接続した構成とすることもできる。

30

【００３３】

すなわち、保護回路部１０６は、画素部１０２と、駆動回路部１０４、または端子部１０７のいずれか一つと電氣的に接続される。

【００３４】

また、図１（Ａ）においては、ゲートドライバ１０４ａとソースドライバ１０４ｂによって駆動回路部１０４を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ１０４ａのみを形成し、別途用意されたソースドライバ回路が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を実装する構成としても良い。

40

【００３５】

また、保護回路部１０６は、例えば、ダイオードと、抵抗素子と、を組み合わせた構成とすることができる。図１（Ｂ）に、具体的な保護回路部１０６の一例を示す。

【００３６】

図１（Ｂ）に示す保護回路部１０６は、配線１１０と、配線１１２との間に抵抗素子１１４と、ダイオード接続されたトランジスタ１１６と、を有している。

【００３７】

抵抗素子１１４は、トランジスタ１１６に直列に接続する構成とすることにより、トランジスタ１１６に流れる電流値の制御、または、トランジスタ１１６自身の保護抵抗とし

50

て機能することができる。

【0038】

また、配線110は、例えば、図1(A)に示すゲート信号線GLやデータ線DL、または端子部107から駆動回路部104に引き回される配線に相当する。また、配線112は、例えば、図1(A)に示すゲートドライバ104a、またはソースドライバ104bに電源を供給するための電源線の電位(VDD、VSSまたはGND)が与えられる配線に相当する。または、配線112は、共通電位(コモン電位)が与えられる配線(コモン線)に相当する。

【0039】

配線112の一例としては、ゲートドライバ104aに電源を供給するための電源線、とくに低い電位を供給する配線と接続される構成が好適である。なぜなら、ゲート信号線GLは、殆どの期間において、低い電位となっている。したがって、配線112の電位も低い電位となっていると、通常の動作時において、ゲート信号線GLから配線112へ漏れてしまう電流を低減することが出来るからである。

【0040】

ここで、保護回路部106に用いることのできる抵抗素子114の構成の一例について、図2及び図3を用いて説明を行う。

【0041】

まず、図2に示す抵抗素子114について、以下説明を行う。

【0042】

図2(A)は、抵抗素子114の上面図を示し、図2(B)は、図2(A)に示す一点鎖線A1-A2、及びB1-B2の切断面に相当する断面図を示し、図2(C)は、図2(A)に示す一点鎖線A1-A2、及びB1-B2の切断面に相当する断面図を示している。なお、図1(A)において、煩雑になることを避けるために、一部の構成要素を省略して図示している。

【0043】

図2に示す抵抗素子114は、基板202と、基板202上の絶縁性を有する層(以下、絶縁層205という)と、絶縁層205上の絶縁性を有する層(以下、絶縁層206という)と、絶縁層206上の半導体層208と、半導体層208と電気的に接続された導電性を有する層(以下、導電層210aという)と、半導体層208と電気的に接続された導電性を有する層(以下、導電層210bという)と、導電層210a、及び導電層210b上の絶縁性を有する層(以下、絶縁層212という)と、絶縁層212上の絶縁性を有する層(以下、絶縁層214という)と、を有する。

【0044】

なお、図2(B)に示す抵抗素子114と、図2(C)に示す抵抗素子114は、絶縁層206、及び絶縁層212の開口部209の形状が異なる。開口部209の形成工程の違いにより、半導体層208の下側、または上側と接触する絶縁層の構成を変えることができる。

【0045】

より具体的には、図2(B)に示す抵抗素子は、絶縁層205と、絶縁層205上に形成された絶縁層206と、絶縁層206上に形成された半導体層208と、半導体層208上に形成された絶縁層214と、を有する。一方、図2(C)に示す抵抗素子は、絶縁層205と、絶縁層205上に形成された半導体層208と、半導体層208上に形成された絶縁層212と、絶縁層212上に形成された絶縁層214と、を有する。

【0046】

このように、半導体層208の下側、または上側と接触する絶縁層の構成を変えることによって、半導体層208の抵抗を制御することができる。具体的には、例えば、半導体層208に用いる材料として、酸化物半導体を用いた場合、該酸化物半導体中の酸素欠損、または酸化物半導体中の不純物(水素、水等)によって、酸化物半導体の抵抗を制御することができる。半導体層208の抵抗としては、抵抗率が好ましくは、 1×10^{-3}

10

20

30

40

50

1×10^{-4} cm以上 1×10^{-3} cm未満、さらに好ましくは、 1×10^{-3} cm以上 1×10^{-1} cm未満であるとよい。

【0047】

また、酸化物半導体の抵抗の制御方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、水素、ボロン、リン、または窒素を酸化物半導体に注入してもよい。

【0048】

例えば、絶縁層205、214としては、水素を含む絶縁膜、換言すると水素放出することが可能な絶縁膜、代表的には窒化シリコン膜を用いることによって、半導体層208に水素を供給することができる。また、窒化シリコン膜としては、窒化シリコン膜中に含まれる水素濃度が、 1×10^{22} atoms/cm³以上であると好ましい。このような絶縁層を用いることで、半導体層208に水素を供給することができる。半導体層208に水素を供給することによって、半導体層208は、不純物が導入され低抵抗となる。また、絶縁層206、212としては、酸素を含む絶縁膜、換言すると酸素を放出することが可能な絶縁膜、代表的には酸化シリコン膜、または酸化窒化シリコン膜を用いることによって、半導体層208に酸素を供給することができる。半導体層208に酸素を供給することによって、半導体層208は、酸素欠損が補填され高抵抗となる。

【0049】

例えば、半導体層208としては、例えば、酸化物半導体を用いることができる。半導体層307に適用できる酸化物半導体は、少なくともインジウム(In)、亜鉛(Zn)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物で表記される層を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0050】

また、半導体層208としては、微結晶領域を含み、微結晶領域は、ビーム径が5 nm以上10 nm以下とした電子線回折パターンにおいて、円周状に配置された複数のスポットが観察され、且つ、ビーム径が300 nm以上とした電子線回折パターンにおいては、複数のスポットが観察されないと好ましい。

【0051】

このように、抵抗素子114に酸化物半導体を用い、該酸化物半導体の上側、または下側に接する絶縁層の構造を変えることにより、該酸化物半導体の抵抗を制御することができる。したがって、抵抗素子114の抵抗を制御することが可能となり、新規な抵抗素子を提供することができる。

【0052】

なお、抵抗素子114が有する、基板202については、抵抗素子114を保持できるものであれば、特に限定はない。例えば、ガラス基板等を用いることができる。また、抵抗素子114が有する、導電層210a、210bについては、抵抗素子と他の配線と接続、または引き回すためであればよく、導電性を有していればよい。

【0053】

次に、図3に示す抵抗素子について、説明を行う。

【0054】

図3に示す抵抗素子は、図2に示す抵抗素子の変形例であり、図3(A)は、抵抗素子114の上面図を示し、図3(B)は、図3(A)に示す一点鎖線A3-A4の切断面に相当する断面図を示し、図3(C)は、図3(A)に示す一点鎖線A3-A4の切断面に相当する断面図を示している。なお、図3(A)において、煩雑になることを避けるために、一部の構成要素を省略して図示している。

【0055】

図3に示す抵抗素子114は、基板202と、基板202上の絶縁層205と、絶縁層205上の絶縁層206と、絶縁層206上の半導体層208と、半導体層208と電気

10

20

30

40

50

的に接続された導電層 210a と、半導体層 208 と電氣的に接続された導電層 210b と、導電層 210a、及び導電層 210b 上の絶縁層 212 と、絶縁層 212 上の絶縁層 214 と、を有する。

【0056】

なお、図3(B)に示す抵抗素子114と、図3(C)に示す抵抗素子114は、絶縁層206、及び絶縁層212の開口部209の形状が異なる。開口部209の形成工程の違いにより、半導体層208の下側、または上側と接触する絶縁層の構成を変えることができる。

【0057】

半導体層208の下側、または上側と接触する絶縁層の構成については、図2に示す抵抗素子114と同様である。

10

【0058】

図2に示す抵抗素子114と、図3に示す抵抗素子114の違いとしては、半導体層208の形状が異なる。図3に示すように半導体層208の形状、具体的には長さ、または幅を適宜調整することで、任意の抵抗値を有する抵抗素子とすることができる。

【0059】

また、図2及び図3に示す抵抗素子114は、図1(A)に示す表示装置の駆動回路部104、及び画素回路部108を構成するトランジスタの作製工程と同時に形成することができる。

【0060】

20

具体的には、例えば、絶縁層205、206は、トランジスタのゲート絶縁層と同一工程で作製することができ、半導体層208は、トランジスタの半導体層と同一工程で作製することができ、導電層210a、210bは、トランジスタのソース電極層またはドレイン電極層と同一工程で作製することができ、絶縁層212、214は、トランジスタの保護絶縁層として機能する絶縁層と同一工程で作製することができる。

【0061】

また、図2及び図3に示す抵抗素子114は、図1(B)においては、ダイオード接続されたトランジスタと直列に接続する場合において、例示したがこれに限定されず、ダイオード接続されたトランジスタと並列に接続することもできる。

【0062】

30

また、図2及び図3に示す抵抗素子114は、独立して保護回路部106として表示装置に設けてもよい。また、図2及び図3に示す抵抗素子114は、複数のトランジスタと、複数の抵抗素子を組み合わせ、表示装置に設けてもよい。具体的には、図4に示す構成とすることができる。

【0063】

図4に示す表示装置は、画素部102と、駆動回路部として機能するゲートドライバ104aと、ソースドライバ104bと、保護回路部106__1と、保護回路部106__2と、保護回路部106__3と、保護回路部106__4と、を有する。

【0064】

なお、画素部102、ゲートドライバ104a、及びソースドライバ104bは、図1(A)に示す構成と同様である。

40

【0065】

保護回路部106__1は、トランジスタ151、152、153、154と、抵抗素子171、172、173と、を有する。また、保護回路部106__1は、ゲートドライバ104aと接続される配線181、182、183の間に設けられる。また、トランジスタ151は、ソース電極としての機能を有する第1端子と、ゲート電極としての機能を有する第2端子と、が接続され、ドレイン電極としての機能を有する第3端子と、配線183と、が接続されている。トランジスタ152は、ソース電極としての機能を有する第1端子と、ゲート電極としての機能を有する第2端子と、が接続され、ドレイン電極としての機能を有する第3端子と、トランジスタ151の第1端子と、が接続されている。トラ

50

ンジスタ１５３は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５２の第１端子と、が接続されている。トランジスタ１５４は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５３の第１端子と、が接続されている。また、トランジスタ１５４の第１端子と、配線１８３及び配線１８１、が接続されている。また、抵抗素子１７１、１７３は、配線１８３に設けられている。また、抵抗素子１７２は、配線１８２と、トランジスタ１５２の第１端子及びトランジスタ１５３の第３端子との間に設けられている。

【００６６】

10

なお、配線１８１は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。また、配線１８２は、例えば、コモン線として用いることができる。また、配線１８３は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。

【００６７】

保護回路部１０６＿２は、トランジスタ１５５、１５６、１５７、１５８と、抵抗素子１７４、１７５と、を有する。また、保護回路部１０６＿２は、ゲートドライバ１０４ａと画素部１０２との間に設けられる。また、トランジスタ１５５は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、配線１８５と、が接続されている。トランジスタ１５６は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５５の第１端子と、が接続されている。トランジスタ１５７は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５６の第１端子と、が接続されている。トランジスタ１５８は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５７の第１端子と、が接続されている。また、トランジスタ１５８の第１端子と、配線１８４、が接続されている。また、抵抗素子１７４は、配線１８５と、トランジスタ１５６の第１端子及びトランジスタ１５７の第３端子との間に設けられている。また、抵抗素子１７５は、配線１８４と、トランジスタ１５６の第１端子及びトランジスタ１５７の第３端子との間に設けられている。

20

30

【００６８】

なお、配線１８４は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。また、配線１８５は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。また、配線１８６は、例えば、ゲート線として用いることができる。

【００６９】

保護回路部１０６＿３は、トランジスタ１５９、１６０、１６１、１６２と、抵抗素子１７６、１７７と、を有する。また、保護回路部１０６＿３は、ソースドライバ１０４ｂと画素部１０２との間に設けられる。また、トランジスタ１５９は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、配線１９０と、が接続されている。トランジスタ１６０は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５９の第１端子と、が接続されている。トランジスタ１６１は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６０の第１端子と、が接続されている。トランジスタ１６２は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子と、が接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６１の第１端子と、が接続されている。また、トランジスタ１６２の第１端子が配線１９１と接続されている。また、抵抗素子１７６は、配

40

50

線 190 と、トランジスタ 160 の第 1 端子及びトランジスタ 161 の第 3 端子との間に設けられている。また、抵抗素子 177 は、配線 191 と、トランジスタ 160 の第 1 端子及びトランジスタ 161 の第 3 端子との間に設けられている。

【0070】

なお、配線 188 は、例えば、コモン線またはソース線として用いることができる。また、配線 189、190 は、例えば、高電源電位 VDD が与えられる電源線として用いることができる。また、配線 191 は、例えば、低電源電位 VSS が与えられる電源線として用いることができる。

【0071】

保護回路部 106 __ 4 は、トランジスタ 163、164、165、166 と、抵抗素子 178、179、180 と、を有する。また、保護回路部 106 __ 4 は、ソースドライバ 104 b と接続される配線 187、188、189、190、191 の間に設けられる。また、トランジスタ 163 は、ソース電極としての機能を有する第 1 端子と、ゲート電極としての機能を有する第 2 端子と、が接続され、ドレイン電極としての機能を有する第 3 端子と、配線 187 と、が接続されている。トランジスタ 164 は、ソース電極としての機能を有する第 1 端子と、ゲート電極としての機能を有する第 2 端子と、が接続され、ドレイン電極としての機能を有する第 3 端子と、トランジスタ 163 の第 1 端子と、が接続されている。トランジスタ 165 は、ソース電極としての機能を有する第 1 端子と、ゲート電極としての機能を有する第 2 端子と、が接続され、ドレイン電極としての機能を有する第 3 端子と、トランジスタ 164 の第 1 端子と、が接続されている。トランジスタ 166 は、ソース電極としての機能を有する第 1 端子と、ゲート電極としての機能を有する第 2 端子と、が接続され、ドレイン電極としての機能を有する第 3 端子と、トランジスタ 165 の第 1 端子と、が接続されている。また、トランジスタ 166 の第 1 端子が配線 189 と接続されている。また、抵抗素子 178 は、配線 187 と、配線 188 との間に設けられている。また、抵抗素子 179 は、配線 188 に設けられ、トランジスタ 164 の第 1 端子及びトランジスタ 165 の第 3 端子と接続されている。また、抵抗素子 180 は、配線 188 と、配線 189 との間に設けられている。

【0072】

また、配線 187、191 は、例えば、低電源電位 VSS が与えられる電源線として用いることができる。また、配線 188 は、例えば、コモン線またはソース線として用いることができる。また、配線 189、190 は、例えば、高電源電位 VDD が与えられる電源線として用いることができる。

【0073】

なお、配線 181 乃至配線 191 は、図 4 に示す高電源電位 VDD、低電源電位 VSS、コモン線 CL に示す機能のみに限定されず、それぞれ独立してゲート信号線、信号線、電源線、接地線、容量線またはコモン線等の機能を有していても良い。

【0074】

図 2 及び図 3 に示す抵抗素子 114 は、図 4 に示す抵抗素子 171 乃至抵抗素子 180 に適用することができる。

【0075】

このように、保護回路部 106 __ 1 乃至 106 __ 4 は、複数のダイオード接続されたトランジスタと、複数の抵抗素子により、構成されている。すなわち、保護回路部 106 __ 1 乃至 106 __ 4 は、ダイオード接続されたトランジスタと抵抗素子を並列に組み合わせで用いることができる。

【0076】

また、図 4 に示すように保護回路部 106 __ 1 乃至保護回路部 106 __ 4 は、ゲートドライバ 104 a と接続される配線との間、画素部 102 とゲートドライバ 104 a との間、画素部 102 とソースドライバ 104 b との間、またはソースドライバ 104 b と接続される配線との間に設けることができる。

【0077】

また、図 2 及び図 3 に示す抵抗素子 114 は、図 5 に示す保護回路部に用いることもできる。

【0078】

図 5 に示す保護回路部の回路図では、トランジスタ 155A、156A、157A、158A、トランジスタ 155B、156B、157B、158B、抵抗素子 174A、175A、抵抗素子 174B、175B、抵抗素子 199、配線 184、配線 185 及び配線 186 を示している。なお、図 5 に示す回路図において付した符号は、図 4 で説明した保護回路部 106_2 と同じ構成について、同じ符号を付して対応させている。図 5 に示す回路図が、図 4 に示した保護回路部 106_2 と異なる点は、図 4 の保護回路部 106_2 に相当する回路を並べて配置し、配線間に抵抗素子 114 を設けた点である。

10

【0079】

また、図 2 及び図 3 に示す抵抗素子 114 は、図 5 に示す抵抗素子 174A、174B、175A、175B に適用してもよい。

【0080】

このように図 1 (A) に示す表示装置に保護回路部 106 を設けることによって、画素部 102 (具体的には画素回路部 108)、及び駆動回路部 104 は、ESD などにより発生する過電流に対する耐性を高めることができる。したがって、信頼性を向上しうる新規な表示装置を提供することができる。

【0081】

さらに、保護回路部 106 として、抵抗素子を用い、該抵抗素子の抵抗値を任意に調整できることから、保護回路部 106 として用いるダイオード接続されたトランジスタ等も保護することが可能となる。

20

【0082】

なお、画素部 102 は、保護回路部 106 と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。さらに、駆動回路部 104 の一部、または全部は、一例としては、画素部 102 と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部 104 の一部、または全部が、画素部 102 と同一基板上に形成されていない場合には、駆動回路部 104 の一部、または全部は、COG や TAB によって、実装されている場合が多い。

【0083】

30

このように表示装置に複数の保護回路部 106 を設けることによって、画素部 102、及び駆動回路部 104 (ゲートドライバ 104a、ソースドライバ 104b) は、ESD などにより発生する過電流に対する耐性を、さらに高めることができる。したがって、信頼性を向上しうる新規な表示装置を提供することができる。

【0084】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0085】

(実施の形態 2)

本実施の形態では、本発明の一態様の表示装置について、図 6 乃至図 9 を用いて説明を行う。

40

【0086】

図 6 は、図 1 (A) に示す表示装置の画素回路部 108 に用いることのできる回路構成を示している。

【0087】

図 6 (A) に示す画素回路部 108 は、液晶素子 322 と、トランジスタ 131_1 と、容量素子 133_1 と、を有する。

【0088】

液晶素子 322 の一対の電極の一方の電位は、画素回路部 108 の仕様に応じて適宜設定される。液晶素子 322 は、書き込まれるデータにより配向状態が設定される。なお、

50

複数の画素回路部 108 のそれぞれが有する液晶素子 322 の一対の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路部 108 毎の液晶素子 322 の一対の電極の一方に異なる電位を与えてもよい。

【0089】

例えば、液晶素子 322 を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVAモード、PVA (Patterned Vertical Alignment) モード、IPSモード、FFSモード、又はTBA (Transverse Bend Alignment) モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

【0090】

また、ブルー相 (Blue Phase) を示す液晶とカイラル剤とを含む液晶組成物により液晶素子を構成してもよい。ブルー相を示す液晶は、応答速度が 1 msec 以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。

【0091】

m行n列目の画素回路部 108 において、トランジスタ 131__1 のソース及びドレインの一方は、データ線 DL__n に電氣的に接続され、他方は液晶素子 322 の一対の電極の他方に電氣的に接続される。また、トランジスタ 131__1 のゲートは、ゲート信号線 GL__m に電氣的に接続される。トランジスタ 131__1 は、オン状態又はオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0092】

容量素子 133__1 の一対の電極の一方は、電位が供給される配線（以下、電位供給線 VL）に電氣的に接続され、他方は、液晶素子 322 の一対の電極の他方に電氣的に接続される。なお、電位供給線 VL の電位の値は、画素回路部 108 の仕様に応じて適宜設定される。容量素子 133__1 は、書き込まれたデータを保持する保持容量としての機能を有する。

【0093】

例えば、図 6 (A) の画素回路部 108 を有する表示装置では、ゲートドライバ 104a により各行の画素回路部 108 を順次選択し、トランジスタ 131__1 をオン状態にしてデータ信号のデータを書き込む。

【0094】

データが書き込まれた画素回路部 108 は、トランジスタ 131__1 がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0095】

また、図 6 (B) に示す画素回路部 108 は、トランジスタ 131__2 と、容量素子 133__2 と、トランジスタ 134 と、発光素子 135 と、を有する。

【0096】

トランジスタ 131__2 のソース及びドレインの一方は、データ信号が与えられる配線（以下、データ線 DL__n という）に電氣的に接続される。さらに、トランジスタ 131__2 のゲートは、ゲート信号が与えられる配線（以下、ゲート信号線 GL__m という）に電氣的に接続される。

【0097】

10

20

30

40

50

トランジスタ 1 3 1 __ 2 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【 0 0 9 8 】

容量素子 1 3 3 __ 2 の一対の電極の一方は、電源が与えられる配線（以下、電源線 V L __ a という）に電氣的に接続され、他方は、トランジスタ 1 3 1 __ 2 のソース及びドレインの他方に電氣的に接続される。

【 0 0 9 9 】

容量素子 1 3 3 __ 2 は、書き込まれたデータを保持する保持容量としての機能を有する。

【 0 1 0 0 】

トランジスタ 1 3 4 のソース及びドレインの一方は、電源線 V L __ a に電氣的に接続される。さらに、トランジスタ 1 3 4 のゲートは、トランジスタ 1 3 1 __ 2 のソース及びドレインの他方に電氣的に接続される。

【 0 1 0 1 】

発光素子 1 3 5 のアノード及びカソードの一方は、電源線 V L __ b に電氣的に接続され、他方は、トランジスタ 1 3 4 のソース及びドレインの他方に電氣的に接続される。

【 0 1 0 2 】

発光素子 1 3 5 としては、例えば有機エレクトロルミネセンス素子（有機 E L 素子ともいう）などを用いることができる。ただし、発光素子 1 3 5 としては、これに限定されず、無機材料からなる無機 E L 素子を用いても良い。

【 0 1 0 3 】

なお、電源線 V L __ a 及び電源線 V L __ b の一方には、高電源電位 V D D が与えられ、他方には、低電源電位 V S S が与えられる。

【 0 1 0 4 】

図 6 (B) の画素回路部 1 0 8 を有する表示装置では、ゲートドライバ 1 0 4 a により各行の画素回路部 1 0 8 を順次選択し、トランジスタ 1 3 1 __ 2 をオン状態にしてデータ信号のデータを書き込む。

【 0 1 0 5 】

データが書き込まれた画素回路部 1 0 8 は、トランジスタ 1 3 1 __ 2 がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 1 3 4 のソースとドレインの間に流れる電流量が制御され、発光素子 1 3 5 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

【 0 1 0 6 】

なお、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、E L（エレクトロルミネッセンス）素子（有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子）、L E D（白色 L E D、赤色 L E D、緑色 L E D、青色 L E D など）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（G L V）、プラズマディスプレイ（P D P）、M E M S（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（D M D）、D M S（デジタル・マイクロ・シャッター）、I M O D（インターフェアレンス・モジュレーション）素子、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。E L 素子を用いた表示装置の一例としては、E L ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（F E D）又は S E D 方式平面型ディスプレイ（S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ）

10

20

30

40

50

プレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

【0107】

EL素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれたEL層と、を有する素子などがある。EL層の一例としては、1重項励起子からの発光(蛍光)を利用するもの、3重項励起子からの発光(燐光)を利用するもの、1重項励起子からの発光(蛍光)を利用するものと3重項励起子からの発光(燐光)を利用するものとを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものとを含むもの、高分子の材料の材料を含むもの、低分子の材料の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、など

10

【0108】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界(横方向の電界、縦方向の電界又は斜め方向の電界を含む)によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶などを挙げることができる。

20

【0109】

電子ペーパーの表示方法の一例としては、分子により表示されるもの(光学異方性、染料分子配向など)、粒子により表示されるもの(電気泳動、粒子移動、粒子回転、相変化など)、フィルム的一端が移動することにより表示されるもの、分子の発色/相変化により表示されるもの、分子の光吸収により表示されるもの、又は電子とホールが結合して自発光により表示されるものなどを用いることができる。具体的には、電子ペーパーの表示方法の一例としては、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱(透明/白濁変化)、コレステリック液晶/光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトリソミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどがある。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

30

【0110】

次に、図7に示す表示装置について、以下説明を行う。

【0111】

図7に示す表示装置は、図1(A)に示す表示装置を、より具体的に表しており、駆動回路部104と、画素回路部108と、抵抗素子114と、を有する。なお、本実施の形態に示す表示装置は、液晶素子を用いる表示装置(液晶表示装置ともいう)の構成について説明を行う。また、画素回路部108に用いる構成は、図6(A)に示す回路構成と同様の機能を有する部分については、図6(A)に示す符号と同一の符号にて説明を行う。

40

【0112】

なお、図7(A)は、駆動回路部104の上面図を、図7(B)は、画素部102の上面図を、図7(C)は、抵抗素子114の上面図を、それぞれ表している。なお、図7(A)、(B)、(C)においては、図面の煩雑を避けるため、液晶素子等の一部の構成要素の記載を省略して図示している。

【0113】

50

図7(A)において、ゲートとして機能する導電層304a、ゲート絶縁層(図7(A)に図示せず。)、チャネル領域が形成される半導体層308a、ソース及びドレインとして機能する導電層310a、310bによりトランジスタ131__3を構成する。半導体層308aは、ゲート絶縁層上に設けられる。また、導電層304aと同時に形成された導電層304bと、導電層310a、310bと同時に形成された導電層310cと、導電層304b及び導電層310cを接続する透光性を有する導電層316aが設けられる。透光性を有する導電層316aは、開口部372a、374aにおいて導電層304bと接続し、開口部372b、374bにおいて導電層310cと接続する。

【0114】

図7(B)において、ゲート信号線として機能する導電層304cは、信号線に略直交する方向(図中左右方向)に延伸して設けられている。信号線として機能する導電層310dは、ゲート信号線に略直交する方向(図中上下方向)に延伸して設けられている。容量線として機能する導電層310fは、信号線と平行方向に延伸して設けられている。なお、ゲート信号線として機能する導電層304cは、ゲートドライバ104a(図1(A)を参照。)と電氣的に接続されており、信号線として機能する導電層310d及び容量線として機能する導電層310fは、ソースドライバ104b(図1(A)を参照。)に電氣的に接続されている。

【0115】

また、図7(B)において、トランジスタ131__1は、ゲート信号線及び信号線が交差する領域に設けられている。トランジスタ131__1は、ゲートとして機能する導電層304c、ゲート絶縁層(図7(B)に図示せず。)、ゲート絶縁層上に形成されたチャネル領域が形成される半導体層308b、ソース及びドレインとして機能する導電層310d、310eによりトランジスタを構成する。なお、導電層304cは、ゲート信号線としても機能し、半導体層308bと重畳する領域がトランジスタ131__1のゲートとして機能する。また、導電層310dは、信号線としても機能し、半導体層308bと重畳する領域がトランジスタ131__1のソースまたはドレインとして機能する。

【0116】

また、図7(B)において、ゲート信号線は、上面形状において端部が半導体層308bの端部より外側に位置する。このため、ゲート信号線はバックライトなどの光源からの光を遮る遮光膜として機能する。この結果、トランジスタに含まれる半導体層308bに光が照射されず、トランジスタの電気特性の変動を抑制することができる。

【0117】

また、図7(B)において、導電層310eは、開口部372c及び開口部374cにおいて、画素電極として機能する透光性を有する導電層316bと電氣的に接続されている。

【0118】

また、図7(B)において、容量素子133__1は、開口部372において容量線として機能する導電層310fと接続されている。また、容量素子133__1は、ゲート絶縁層上に形成される透光性を有する半導体層308cと、画素電極として機能する透光性を有する導電層316bと、トランジスタ131__1上に設けられる窒化絶縁膜で形成される誘電体膜とで構成されている。即ち、容量素子133__1は透光性を有する。

【0119】

このように容量素子133__1は透光性を有するため、画素回路部108内に容量素子133__1を大きく(大面積に)形成することができる。従って、開口率を高めつつ、代表的には55%以上、好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた表示装置を得ることができる。例えば、解像度の高い表示装置、例えば液晶表示装置においては、画素の面積が小さくなり、容量素子の面積も小さくなる。このため、解像度の高い表示装置において、容量素子に蓄積される電荷容量が小さくなる。しかしながら、本実施の形態に示す容量素子133__1は透光性を有するため、当該容量素子を画素に設けることで、各画素において十分な電荷容量を得つつ、開口率を高めることができ

10

20

30

40

50

る。代表的には、画素密度が200 p p i以上、さらには300 p p i以上である高解像度の表示装置に好適に用いることができる。

【0120】

また、図7(B)に示す画素回路部108は、信号線として機能する導電層310dと平行な辺と比較してゲート信号線として機能する導電層304cと平行な辺の方が長い形状であり、且つ容量線として機能する導電層310fが、信号線として機能する導電層310dと平行な方向に延伸して設けられている。この結果、画素回路部108に占める導電層310fの面積を低減することが可能であるため、開口率を高めることができる。また、容量線として機能する導電層310fが接続電極を用いず、直接透光性を有し導電層として機能する半導体層308cと接するため、さらに開口率を高めることができる。

10

【0121】

また、図7(C)に示す抵抗素子114は、図2(A)に示す抵抗素子114と同様の構成であり、図2(A)に示す導電層210aが、図7(C)に示す導電層310fに、図2(A)に示す半導体層208が、図7(C)に示す半導体層308dに、図2(A)に示す開口部209が、図7(C)に示す開口部363に、図2(A)に示す導電層210bが、図7(C)に示す導電層310gに、それぞれ対応する。したがって、図7(C)に示す抵抗素子114の詳細の説明は、ここでは省略する。

【0122】

また、本発明の一態様は、高解像度の表示装置においても、開口率を高めることができるため、バックライトなどの光源の光を効率よく利用することができ、表示装置の消費電力を低減することができる。

20

【0123】

次に、図7(B)に示す画素回路部108の変形例について、図8を用いて説明する。

【0124】

図8において、ゲート信号線として機能する導電層304cは、信号線に略直交する方向(図中左右方向)に延伸して設けられている。信号線として機能する導電層310dは、ゲート信号線に略直交する方向(図中上下方向)に延伸して設けられている。容量線として機能する導電層304dは、ゲート信号線と平行な方向に延伸して設けられている。図7(B)に示す画素回路部108と比較して、図8に示す画素回路部108は、信号線として機能する導電層310dと平行な辺と比較してゲート信号線として機能する導電層304cと平行な辺の方が短い形状であること、容量線として機能する導電層304dが、ゲート信号線と平行な方向に延伸して設けられていること、容量線として機能する導電層304dが、ゲート信号線として機能する導電層304cと同時に形成されていることが異なる。

30

【0125】

また、半導体層308cは、導電層310fと接続されている。なお、透光性を有する導電層316cは透光性を有する導電層316bと同時に形成される。導電層310fは、導電層310d、310eと同時に形成される。

【0126】

また、導電層304d上には、開口部372cと同時に形成された開口部372dと、開口部374cと同時に形成された開口部374dが形成される。また、導電層310f上には、開口部372cと同時に形成された開口部372eと、開口部374cと同時に形成された開口部374eが形成される。開口部374d、374eはそれぞれ、開口部372d、372eの内側に位置する。

40

【0127】

開口部374dにおいて、導電層304d及び透光性を有する導電層316cが接続される。また、開口部374eにおいて、導電層310f及び透光性を有する導電層316cが接続される。即ち、導電層304bと導電層310cが透光性を有する導電層316aで接続されるように、導電層304d及び導電層310fは、透光性を有する導電層316cで接続される。即ち、導電層310f及び透光性を有する導電層316cを介して

50

、透光性を有し導電層として機能する半導体層 308c は容量線として機能する導電層 304d と接続される。

【0128】

図 8 に示す画素回路部 108 は、信号線として機能する導電層 310d と平行な辺と比較してゲート信号線として機能する導電層 304c と平行な辺の方が短い形状とし、且つ容量線として機能する導電層 304d が、ゲート信号線として機能する導電層 304c と平行方向に延伸して設けられている。この結果、画素に占める導電層 304d の面積を低減することが可能であり、開口率を高めることができる。

【0129】

次に、図 7 に示す表示装置の断面図の構成について、図 9 を用いて説明を行う。

10

【0130】

なお、図 9 (A) は、図 7 (A) に示す一点鎖線 X1 - Y1 の切断面に相当する断面図を示し、図 9 (B) は、図 7 (B) に示す一点鎖線 X2 - Y2 の切断面に相当する断面図を示し、図 9 (C) は、図 7 (C) に示す一点鎖線 X3 - Y3 の切断面に相当する断面図を示す。

【0131】

図 9 に示す表示装置は、一对の基板 (基板 302 と基板 342) 間に液晶素子 322 が挟持されている (図 9 (B) 参照)。

【0132】

液晶素子 322 は、基板 302 の上方の導電性を有する層 (以下、導電層 316b という) と、配向性を制御する層 (以下、配向膜 318、352 という) と、液晶層 320 と、導電性を有する層 (以下、導電層 350 という) と、を有する。なお、導電層 316b は、液晶素子 322 の一方の電極として機能し、導電層 350 は、液晶素子 322 の他方の電極として機能する。

20

【0133】

また、図 9 においては、液晶素子 322 が縦電界方式の液晶素子について、説明を行う。縦電界方式の液晶素子としては、例えば、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード等が代表的である。ただし、液晶素子としては、これに限定されず、例えば横電界方式の IPS (In-Plane-Switching) モード、及び FFS (Fringe Field Switching) モード等を用いても良い。

30

【0134】

このように、液晶表示装置とは、液晶素子を有する装置のことをいう。なお、液晶表示装置は、複数の画素を駆動させる駆動回路等を含む。また、液晶表示装置は、別の基板上に配置された制御回路、電源回路、信号生成回路及びバックライトモジュール等を含み、液晶モジュールと呼ぶこともある。

【0135】

液晶表示装置において、液晶表示装置が有する駆動回路部 104、画素回路部 108 に設けられたトランジスタは、本実施の形態に示すように抵抗素子 114 を設けることによって、外部からの過電流に対する耐性を高めることができる。

40

【0136】

なお、図 9 (C) においては、抵抗素子 114 について例示するが、図 1 (B) に示すようにトランジスタに抵抗素子 114 を直列に接続した構成としてもよい。

【0137】

例えば、液晶素子を作製する際に行われるラビング処理によって、静電気が発生しうる。しかし、抵抗素子 114 を設けることによって、駆動回路部 104 及び画素回路部 108 に形成されたトランジスタには、上記静電気によって生じうる過電流が流れない、または抑制される。したがって、トランジスタの静電破壊が抑制され、信頼性の高い表示装置

50

とすることができる。

【0138】

次に、図9(A)に示す駆動回路部104の構成の詳細について、以下説明を行う。

【0139】

(駆動回路部)

駆動回路部104は、基板302と、基板302上に形成された導電性を有する層(以下、導電層304a、304bという)と、基板302、及び導電層304a、304b上に形成された絶縁性を有する層(以下、絶縁層305という)と、絶縁層305上に形成された絶縁性を有する層(以下、絶縁層306という)と、絶縁層306上に形成され、導電層304aと重畳する位置に形成された半導体層308aと、絶縁層306、及び半導体層308a上に形成された導電性を有する層(以下、導電層310a、310bという)と、絶縁層306上に形成された導電性を有する層(以下、導電層310cという)と、半導体層308a、及び導電層310a、310b、310cを覆うように形成された絶縁性を有する層(以下、絶縁層312という)と、絶縁層312上に形成された絶縁性を有する層(以下、絶縁層314という)と、絶縁層314上に形成された導電性を有する層(以下、導電層316aという)と、を有する。

10

【0140】

なお、導電層316aは、導電層304bと、導電層310cを接続する配線としての機能を有する。導電層304bは、絶縁層305、306、312、314に形成された開口部を介して、導電層310cは、絶縁層312、314に形成された開口部を介して、導電層316aにより接続される。

20

【0141】

また、駆動回路部104は、基板342と、基板342上に形成された遮光性を有する層(以下、遮光層344という)と、遮光層344上に形成された絶縁性を有する層(以下、絶縁層348という)と、絶縁層348上に形成された導電性を有する層(以下、導電層350という)と、を有する。

【0142】

また、駆動回路部104において、基板302と基板342の間に液晶層320が挟持されており、液晶層320に接して配向膜318、352が、基板302、及び基板342にそれぞれ形成されている。なお、液晶層320は、シール材(図示しない)を用いて、基板302と基板342の間に封入することができる。シール材は、外部からの水分の入り込みを抑制するために、無機材料と接触する構成が好ましい。また、液晶層320は、スペーサ(図示しない)を用いて、液晶層の厚さ(セルギャップともいう)を維持することができる。

30

【0143】

次に、図9(B)に示す画素回路部108の構成の詳細について、以下説明を行う。

【0144】

(画素回路部)

画素回路部108は、基板302と、基板302上に形成された導電性を有する層(以下、導電層304cという)と、基板302、及び導電層304c上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304cと重畳する位置に形成された半導体層308bと、絶縁層306上に形成された半導体層308cと、絶縁層306、及び半導体層308b上に形成された導電性を有する層(以下、導電層310d、310eという)と、半導体層308b、及び導電層310d、310eを覆うように形成され、且つ半導体層308cの一部を覆う絶縁層312と、絶縁層312上に形成され、且つ半導体層308c上に形成された絶縁層314と、絶縁層314上に形成され、且つ導電層310eに接続された導電層316bと、を有する。

40

【0145】

なお、導電層316bは、絶縁層312、314に形成された開口部を介して、導電層

50

310eに接続される。なお、図7(B)に示す上面図においては、導電層316bと導電層310eの接続は、開口部372c、374cを介して行うが、図9(B)に示す断面図においては、導電層316bと導電層310eの接続は、1つの開口部(図18(B)に示す開口部364c)を介して行う。なお、開口部372c、374cを介して導電層316bと導電層310eを接続する方法については、図25(B)、図27(B)を用いて、後に説明する。

【0146】

また、画素回路部108は、基板342と、基板342上に形成された遮光層344と、基板342上に形成された有色性を有する層(以下、有色層346という)と、遮光層344、及び有色層346上に形成された絶縁層348と、絶縁層348上に形成された導電層350と、を有する。

10

【0147】

また、画素回路部108において、基板302と基板342の間に液晶層320が挟持されており、液晶層320に接して配向膜318、352が、基板302、及び基板342にそれぞれ形成されている。

【0148】

次に、図9(C)に示す抵抗素子114の構成の詳細について、以下説明を行う。

【0149】

(抵抗素子)

抵抗素子114は、基板302と、基板302上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成された半導体層308dと、絶縁層306、及び半導体層308d上に形成された導電性を有する層(以下、導電層310f、310gという)と、導電層310f、310g上に形成された絶縁層312と、絶縁層312、導電層310f、310g、及び半導体層308d上に形成された絶縁層314と、を有する。

20

【0150】

なお、図7(C)、及び図9(C)に示す抵抗素子114は、図2(A)、図2(B)に示す抵抗素子114と同様の構成である。ただし、本実施の形態においては、抵抗素子114の上方に形成された構成(液晶層320など)も示している。

【0151】

また、抵抗素子114は、基板342と、基板342上に形成された遮光層344と、遮光層344上に形成された絶縁層348と、絶縁層348上に形成された導電層350と、を有する。

30

【0152】

また、抵抗素子114において、基板302と基板342の間に液晶層320が挟持されており、液晶層320に接して配向膜318、352が、基板302、及び基板342にそれぞれ形成されている。

【0153】

本実施の形態に示す表示装置は、駆動回路部104、及び画素回路部108が有するトランジスタと、抵抗素子114と、を同一基板上に同時に形成することができる。したがって、製造コスト等を増やさずに抵抗素子114を形成することが可能となる。

40

【0154】

とくに、駆動回路部104、及び画素回路部108が有するトランジスタのチャネル領域を形成する半導体層と、画素回路部108が有する容量素子の一方の電極として機能する半導体層と、抵抗素子114が有する半導体層と、を同時に形成することができる。また、半導体層に接する絶縁層の構成を変えることによって、トランジスタ、容量素子、及び抵抗素子の半導体層は、それぞれ異なる抵抗となる。なお、本明細書等において、容量素子の一方の電極として機能する半導体層は、導電性が高められ低抵抗となることで導電層と呼ぶ場合もある。

【0155】

50

また、本実施の形態においては、とくに上記半導体層として、酸化物半導体を用いた構造について説明を行う。

【0156】

まず、酸化物半導体を用いたトランジスタの特徴について記載する。本実施の形態に示す酸化物半導体を用いたトランジスタはnチャネル型トランジスタである。また、酸化物半導体に含まれる酸素欠損はキャリアを生成することがあり、トランジスタの電気特性及び信頼性を低下させる恐れがある。例えば、トランジスタのしきい値電圧をマイナス方向に変動し、ゲート電圧が0Vの場合にドレイン電流が流れてしまうことがある。このように、ゲート電圧が0Vの場合にドレイン電流が流れてしまうことをノーマリーオン特性といい、このような特性を有するトランジスタをデプレッション型トランジスタという。なお、ゲート電圧が0Vの場合にドレイン電流が流れていないとみなすことができるトランジスタをノーマリーオフ特性といい、このような特性を有するトランジスタをエンハンスメント型トランジスタという。

10

【0157】

トランジスタのチャネル領域が形成される酸化物半導体において、欠陥、代表的には酸素欠損はできる限り低減されていることが好ましい。例えば、磁場の向きを膜面に対して平行に印加した電子スピン共鳴法による g 値 $=1.93$ のスピン密度(酸化物半導体に含まれる欠陥密度に相当する。)は、測定器の検出下限以下まで低減されていることが好ましい。酸化物半導体に含まれる欠陥、代表的には酸素欠損をできる限り低減することで、トランジスタがノーマリーオン特性となることを抑制することができ、表示装置の電気特性及び信頼性を向上させることができる。また、表示装置の消費電力を低減することができる。

20

【0158】

トランジスタのしきい値電圧のマイナス方向への変動は酸素欠損だけではなく、酸化物半導体に含まれる水素(水などの水素化合物を含む。)によっても引き起こされることがある。酸化物半導体に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子(又は酸素が脱離した部分)に欠損(酸素欠損ともいえる。)を形成する。また、水素の一部が酸素と反応することで、キャリアである電子を生成してしまう。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

30

【0159】

そこで、トランジスタのチャネル領域が形成される酸化物半導体において、水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

【0160】

また、トランジスタのチャネル領域が形成される酸化物半導体は、二次イオン質量分析法により得られるアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成することがあり、トランジスタのオフ電流を増大させることがある。

40

【0161】

このように、不純物(水素、窒素、アルカリ金属又はアルカリ土類金属など)をできる限り低減させ、トランジスタのチャネル領域が形成される酸化物半導体膜を高純度化させた酸化物半導体膜とすることで、エンハンスメント型となり、トランジスタがノーマリーオン特性となることを抑制でき、トランジスタのオフ電流を極めて低減することができる。従って、良好な電気特性に有する表示装置を作製できる。また、信頼性を向上させた表

50

示装置を作製することができる。

【0162】

なお、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソースとドレイン間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した値は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行う。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定する。その結果、トランジスタのソースとドレイン間の電圧が 3V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流が得られる。従って、高純度化された酸化物半導体膜を用いたトランジスタは、オフ電流が著しく小さい。

10

【0163】

次に、半導体層、ここでは酸化物半導体の上部、及び下部に形成される絶縁層の詳細について、以下説明を行う。

【0164】

絶縁層305、314としては、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体層へ拡散するのを防ぐ材料を用いることが好ましく、更には水素を含むことが好ましく、代表的には窒素を含む無機絶縁材料、例えば窒化絶縁膜を用いることができる。絶縁層305及び絶縁層314としては、代表的には、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等を用いて形成する。

20

【0165】

絶縁層306、312としては、酸化物半導体膜との界面特性を向上させることが可能な材料を用いることが好ましく、代表的には、酸素を含む無機絶縁材料を用いることが好ましく、例えば酸化絶縁膜を用いることができる。絶縁層306、312としては、代表的には、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム等を用いて形成する。

30

【0166】

上述した酸化物半導体層、及び該酸化物半導体層に接する絶縁層の構成を変更することで、以下のような構成とすることができる。

【0167】

図9(A)に示す駆動回路部104において、半導体層308aは、トランジスタのチャネル形成領域として機能する。したがって、半導体層308aに接する絶縁層としては、絶縁層306、及び絶縁層312となる。また、図9(B)に示す画素回路部108において、半導体層308bは、トランジスタのチャネル形成領域として機能する。したがって、半導体層308bに接する絶縁層としては、絶縁層306、及び絶縁層312となる。一方、図9(B)に示す画素回路部108において、半導体層308cは、容量素子133_1の一方の電極として機能する。したがって、半導体層308cに接する絶縁層としては、絶縁層306、及び絶縁層314となる。このとき、絶縁層314が半導体層308bと直接接しないようにすることで、半導体層308bと半導体層308cの抵抗率を変えることができる。そして、半導体層308bをチャネル形成領域として機能させ、半導体層308cの抵抗素子として機能させることができる。また、図9(C)に示す抵抗素子114において、半導体層308dは、抵抗素子として機能する。したがって、半導体層308dに接する絶縁層としては、絶縁層306、及び絶縁層314となる。

40

【0168】

絶縁層314は、水素を含む絶縁層である。このため、絶縁層314に含まれる水素が

50

半導体層 308c、308d に拡散または移動すると、半導体層 308c、308d として用いる酸化物半導体層において、水素は酸素と結合し、キャリアである電子が生成される。この結果、酸化物半導体層は、導電性が高くなり導体として機能する。また、酸化物半導体層は、透光性を有する材料であるため、半導体層 308c、308d は、透光性を有し、且つ導電層として用いることができる。

【0169】

本実施の形態に示す表示装置は、トランジスタの酸化物半導体層と同時に、容量素子の一方となる電極、及び抵抗素子の半導体層を同時に形成できる。また、画素電極として機能する透光性を有する導電層を容量素子の他方の電極として用いる。これらのため、容量素子を形成するために、新たに導電層を形成する工程が不要であり、表示装置の作製工程を削減できる。また、容量素子は、一对の電極が透光性を有する導電層で形成されているため、透光性を有する。この結果、容量素子の占有面積を大きくしつつ、画素の開口率を高めることができる。

10

【0170】

なお、その他の構成要素については、後述する表示装置の作製方法について詳細を記載する。

【0171】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0172】

20

(実施の形態3)

本実施の形態では、実施の形態2で説明した表示装置の作製方法について、図10乃至図23を用いて説明する。

【0173】

先の実施の形態2で説明した表示装置は、駆動回路部104と、画素回路部108と、抵抗素子114と、を同時に作製される。したがって、本実施の形態においては、駆動回路部104、画素回路部108、抵抗素子114の作製方法について、それぞれ説明を行う。

【0174】

なお、駆動回路部104の作製方法については、図10(A)、図11(A)、図12(A)、図13(A)、図14(A)、図15(A)、図16(A)、図17(A)、図18(A)、図19(A)、図20(A)、図21(A)、図22(A)、及び図23(A)に示し、画素回路部108の作製方法については、図10(B)、図11(B)、図12(B)、図13(B)、図14(B)、図15(B)、図16(B)、図17(B)、図18(B)、図19(B)、図20(B)、図21(B)、図22(B)、及び図23(B)に示し、抵抗素子114の作製方法については、図10(C)、図11(C)、図12(C)、図13(C)、図14(C)、図15(C)、図16(C)、図17(C)、図18(C)、図19(C)、図20(C)、図21(C)、図22(C)、及び図23(C)に示す。

30

【0175】

40

まず、基板302を準備する。基板302としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。量産する上では、基板302は、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、または2450mm×3050mm)、第10世代(2950mm×3400mm)等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して量産を行う場合、作製工程の加熱処理は、好ましくは600以下、さらに好ましくは450以下、さらに好ましくは350以下とすることが望ましい。

【0176】

次に、基板302上に導電膜を形成し、該導電膜を所望の領域に加工することで、導電

50

層 304a、304b、304c を形成する。なお、導電層 304a、304b、304c の形成は、所望の領域に第 1 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。

【0177】

導電層 304a、304b、304c としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、導電層 304a、304b、304c は、単層構造でも、二層以上の積層構造としてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。また、導電層 304a、304b、304c としては、例えば、スパッタリング法を用いて形成することができる。

10

【0178】

次に、基板 302、及び導電層 304a、304b、304c 上に絶縁層 305、306 を形成する（図 10（A）、（B）、（C）参照）。

【0179】

20

絶縁層 305 としては、例えば、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜などを用いればよく、PE-CVD 装置を用いて積層または単層で設ける。また、絶縁層 306 を積層構造とした場合、第 1 の窒化シリコン膜として、欠陥が少ない窒化シリコン膜とし、第 1 の窒化シリコン膜上に、第 2 の窒化シリコン膜として、水素放出量及びアンモニア放出量の少ない窒化シリコン膜を設けると好適である。この結果、絶縁層 305 に含まれる水素及び窒素が、半導体層 308a、308b、308c へ移動または拡散することを抑制できる。

【0180】

絶縁層 306 としては、酸化シリコン膜、酸化窒化シリコン膜などを用いればよく、PE-CVD 装置を用いて積層または単層で設ける。

30

【0181】

絶縁層 305、306 としては、例えば、絶縁層 305 として、厚さ 300 nm の窒化シリコン膜を形成し、その後、絶縁層 306 として、厚さ 50 nm の酸化窒化シリコン膜を形成することができる。該窒化シリコン膜と、該酸化窒化シリコン膜は、真空中で連続して形成すると不純物の混入が抑制され好ましい。なお、導電層 304a、304c と重畳する領域の絶縁層 305、306 は、トランジスタのゲート絶縁層として機能することができる。

【0182】

なお、窒化酸化シリコンとは、窒素の含有量が酸素の含有量より大きい絶縁材料であり、他方、酸化窒化シリコンとは、酸素の含有量が窒素の含有量より大きな絶縁材料のことをいう。

40

【0183】

ゲート絶縁層として、上記のような構成とすることで、例えば以下のような効果を得ることができる。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、同等の静電容量を得るのに必要な膜厚が大きいいため、ゲート絶縁膜を物理的に厚膜化することができる。よって、トランジスタの絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタの静電破壊を抑制することができる。

【0184】

次に、絶縁層 306 上に半導体層 307 を形成する（図 11（A）、（B）、（C）参照）。

50

【0185】

半導体層307としては、例えば、酸化物半導体を用いることができる。半導体層307に適用できる酸化物半導体は、少なくともインジウム(In)、亜鉛(Zn)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物で表記される層を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0186】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

10

【0187】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

20

【0188】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書等においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

30

【0189】

また、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一つの金属元素または複数の金属元素を示す。また、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0190】

ここで酸化物半導体膜の構造について説明する。

40

【0191】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0192】

まずは、CAAC-OS膜について説明する。

【0193】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

50

【0194】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0195】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

10

【0196】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 (平面 T E M 観察) すると、結晶部において、金属原子が三角形形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0197】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0198】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

20

【0199】

また、C A A C - O S 膜に含まれるほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が 10 nm 未満、 5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。ただし、C A A C - O S 膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面 T E M 像において、 2500 nm^2 以上、 $5\text{ }\mu\text{m}^2$ 以上または $1000\text{ }\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

30

【0200】

C A A C - O S 膜に対し、X 線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、 c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0201】

一方、C A A C - O S 膜に対し、 c 軸に概略垂直な方向から X 線を入射させる in-plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ω 軸) として試料を回転させながら分析 (ω スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ω スキャンした場合でも、明瞭なピークが現れない。

40

【0202】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、 c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の $a b$ 面に平行な面である。

50

【0203】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0204】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

10

【0205】

なお、 InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

20

【0206】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0207】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

30

【0208】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0209】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0210】

次に、微結晶酸化物半導体膜について説明する。

【0211】

50

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc: nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0212】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子線回折(制限視野電子線回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径(例えば1 nm以上30 nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう。)を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子線回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0213】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0214】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0215】

次に、半導体層307を所望の領域に加工することで、島状の半導体層308a、308b、308c、308dを形成する。なお、半導体層308a、308b、308c、308dの形成は、所望の領域に第2のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。エッチングとしては、ドライエッチング、ウェットエッチング、または双方を組み合わせたエッチングを用いることができる(図12(A)、(B)、(C)参照)。

【0216】

次に、第1の加熱処理を行うことが好ましい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体層308a、308b、308c、308dに用いる酸化物半導体の結晶性を高め、さらに絶縁層305、306、及び半導体層308a、308b、308c、308dから水素や水などの不純物を除去することができる。なお、酸化物半導体を島状に加工する前に第1の加熱工程を行ってもよい。

【0217】

なお、酸化物半導体をチャンネルとするトランジスタに安定した電気特性を付与するため

には、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0218】

また、酸化物半導体において、水素、窒素、炭素、シリコン、及び主成分以外の金属元素は不純物となる。例えば、水素及び窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。また、シリコンは、酸化物半導体中で不純物準位を形成する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。

【0219】

10

酸化物半導体を真性または実質的に真性とするためには、SIMSにおける分析において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0220】

20

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶性を低下させることがある。酸化物半導体の結晶性を低下させないためには、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。

【0221】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さく、トランジスタのチャネル幅で規格化したオフ電流は、数 $\text{yA} / \mu\text{m}$ ~ 数 $\text{zA} / \mu\text{m}$ にまで低減することが可能となる。

30

【0222】

また、酸化物半導体は、膜中の局在準位を低減することで、酸化物半導体を用いたトランジスタに安定した電気特性を付与することができる。なお、トランジスタに安定した電気特性を付与するためには、酸化物半導体中のCPM測定(CPM: Constant Photocurrent Method)で得られる局在準位による吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満とすればよい。

【0223】

ここで、酸化物半導体膜の局在準位について説明する。

【0224】

40

まず、ナノ結晶酸化物半導体膜をCPM測定で評価した結果について説明する。

【0225】

まず、測定試料の構造について説明する。

【0226】

測定試料は、ガラス基板上に設けられた酸化物半導体膜と、該酸化物半導体膜に接する一対の電極と、酸化物半導体膜及び一対の電極を覆う絶縁膜と、を有する。

【0227】

次に、測定試料に含まれる酸化物半導体膜の形成方法について説明する。

【0228】

In - Ga - Zn酸化物(In:Ga:Zn = 1:1:1 [原子数比])であるターゲ

50

ットを用い、成膜ガスとしてアルゴンガスを30 s c c m、酸素ガスを15 s c c m用い、圧力を0.4 Paとし、基板温度を室温とし、DC電力を0.5 kW印加する条件を用いたスパッタリング法により、第1の酸化物半導体膜を形成した。なお、第1の酸化物半導体膜はナノ結晶酸化物半導体膜である。

【0229】

また、第1の酸化物半導体膜を、450 の酸素雰囲気中で1時間加熱した後、450 の酸素雰囲気中で1時間加熱することで、第1の酸化物半導体膜に含まれる水素を脱離させる処理及び第1の酸化物半導体膜に酸素を供給する処理を行い、第2の酸化物半導体膜を形成した。なお、第2の酸化物半導体膜はナノ結晶酸化物半導体膜である。

【0230】

次に、第1の酸化物半導体膜を有する測定試料、及び第2の酸化物半導体膜を有する測定試料についてCPM測定を行った。具体的には、酸化物半導体膜に接して設けた第1の電極および第2の電極間に電圧を印加した状態で光電流値が一定となるように端子間の測定試料面に照射する光量を調整し、所望の波長の範囲において照射光量から吸収係数を導出した。

【0231】

各測定試料をCPM測定して得られた吸収係数からバンドテイル起因の吸収係数を除いた吸収係数、即ち欠陥に起因する吸収係数を図60に示す。図60において、横軸は吸収係数を表し、縦軸は光エネルギーを表す。なお、図60の縦軸において、酸化物半導体膜の伝導帯の下端を0 eVとし、価電子帯の上端を3.15 eVとする。また、図60にお

【0232】

図60(A)は、第1の酸化物半導体膜を有する測定試料の測定結果であり、欠陥準位による吸収係数は、 $5.28 \times 10^{-1} \text{ cm}^{-1}$ であった。図60(B)は、第2の酸化物半導体膜を有する測定試料の測定結果であり、欠陥準位による吸収係数は、 $1.75 \times 10^{-2} \text{ cm}^{-1}$ であった。

【0233】

従って、加熱処理により、酸化物半導体膜に含まれる欠陥を低減することができる。

【0234】

なお、第1の酸化物半導体膜及び第2の酸化物半導体膜に関し、X線反射率法(XRR(X-ray Reflectometry))を用いた膜密度の測定を行った。第1の酸化物半導体膜の膜密度は、 5.9 g/cm^3 であり、第2の酸化物半導体膜の膜密度は 6.1 g/cm^3 であった。

【0235】

従って、加熱処理により、酸化物半導体膜の膜密度を高めることができる。

【0236】

即ち、酸化物半導体膜において、膜密度が高い程、膜中に含まれる欠陥が少ないことがわかる。

【0237】

次に、CAAC-OsをCPM測定で評価した結果について説明する。

【0238】

まず、CPM測定した試料の構造について説明する。

【0239】

測定試料は、ガラス基板上に設けられた酸化物半導体膜と、該酸化物半導体膜に接する一対の電極と、酸化物半導体膜及び一対の電極を覆う絶縁膜と、を有する。

【0240】

次に、測定試料に含まれる酸化物半導体膜の形成方法について説明する。

【0241】

In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])であるターゲットを用い、成膜ガスとしてアルゴンガスを30 s c c m、酸素ガスを15 s c c m用い

10

20

30

40

50

、圧力を 0.4 Pa とし、基板温度を 400 とし、DC 電力を 0.5 kW 印加する条件を用いたスパッタリング法により、酸化物半導体膜を形成した。次に、 450 の窒素雰囲気中で 1 時間加熱した後、 450 の酸素雰囲気中で 1 時間加熱して、酸化物半導体膜に含まれる水素を脱離させる処理及び酸化物半導体膜に酸素を供給する処理を行った。なお、当該酸化物半導体膜は CAAC-OS 膜である。

【0242】

次に、酸化物半導体膜を有する測定試料について CPM 測定を行った。具体的には、酸化物半導体膜に接して設けた第 1 の電極および第 2 の電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、所望の波長の範囲において照射光量から吸収係数を導出した。

【0243】

各測定試料を CPM 測定して得られた吸収係数からバンドテイル起因の吸収係数を除いた吸収係数、即ち欠陥に起因する吸収係数を図 61 に示す。図 61 において、横軸は吸収係数を表し、縦軸は光エネルギーを表す。なお、図 61 の縦軸において、酸化物半導体膜の伝導帯の下端を 0 eV とし、価電子帯の上端を 3.15 eV とする。また、図 61 において、各曲線は吸収係数と光エネルギーの関係を示す曲線であり、欠陥準位に相当する。

【0244】

図 61 に示す曲線において、欠陥準位による吸収係数は、 $5.86 \times 10^{-4} \text{ cm}^{-1}$ であった。即ち、CAAC-OS 膜は、欠陥準位による吸収係数が $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満であり、欠陥準位密度の低い膜である。

【0245】

なお、酸化物半導体膜に関し、X 線反射率法 (XRR) を用いた膜密度の測定を行った。酸化物半導体膜の膜密度は、 6.3 g/cm^3 であった。即ち、CAAC-OS 膜は、膜密度の高い膜である。

【0246】

次に、結晶状態における酸化物半導体 (OS と示す。) およびシリコン半導体 (Si と示す。) の対比を表 1 に示す。なお、酸化物半導体には、In-Ga-Zn 系酸化物を用いる。

【0247】

【表 1】

		非晶質	微結晶	多結晶	連続結晶	単結晶
OS		a-OS a-OS:H	nc-OS μ c-OS	多結晶 OS	CAAC-OS	単結晶 OS
	極微電子線回折	ハロー	リング +スポット	スポット	スポット	スポット
	結晶部	—	nm $\sim\mu$ m	不連続	連続的に つながる	—
	DOS	高い	やや低い	—	低い	極めて低い
	密度	低い	中程度	—	高い	—

Si	a-Si a-Si:H	nc-Si μ c-Si	多結晶 Si	CGシリコン	単結晶 Si
----	----------------	---------------------	--------	--------	--------

【0248】

酸化物半導体の結晶状態には、例えば、表 1 に示すように、非晶質酸化物半導体 (a-OS、a-OS:H)、微結晶酸化物半導体 (nc-OS、 μ c-OS)、多結晶酸化物

半導体（多結晶OS）、連続結晶酸化物半導体（CAAC-OS）、単結晶酸化物半導体（単結晶OS）などがある。なお、シリコンの結晶状態には、例えば、表1に示すように、非晶質シリコン（a-Siやa-Si:H）、微結晶シリコン（nc-Si、 μ c-Si）、多結晶シリコン（多結晶Si）、連続結晶シリコン（CG（Continuous Grain）シリコン）、単結晶シリコン（単結晶Si）などがある。

【0249】

各結晶状態における酸化物半導体に対し、ビーム径を10nm以下に収束させた電子線を用いる電子線回折（極微電子線回折）を行うと、以下のような電子線回折パターン（極微電子線回折パターン）が観測される。非晶質酸化物半導体では、ハローパターン（ハローリングまたはハローとも言われる。）が観測される。微結晶酸化物半導体では、スポットまたはノボビリングパターンが観測される。多結晶酸化物半導体では、スポットが観測される。連続結晶酸化物半導体では、スポットが観測される。単結晶酸化物半導体では、スポットが観測される。

10

【0250】

なお、極微電子線回折パターンより、微結晶酸化物半導体は、結晶部がナノメートル（nm）からマイクロメートル（ μ m）の径であることがわかる。多結晶酸化物半導体は、結晶部と結晶部との間に粒界を有し、境界が不連続であることがわかる。連続結晶酸化物半導体は、結晶部と結晶部との間に境界が観測されず、連続的に繋がることわかる。

【0251】

各結晶状態における酸化物半導体の密度について説明する。非晶質酸化物半導体の密度は低い。微結晶酸化物半導体の密度は中程度である。連続結晶酸化物半導体の密度は高い。即ち、連続結晶酸化物半導体の密度は微結晶酸化物半導体の密度より高く、微結晶酸化物半導体の密度は非晶質酸化物半導体の密度より高い。

20

【0252】

各結晶状態における酸化物半導体に存在するDOSの特徴を説明する。非晶質酸化物半導体はDOSが高い。微結晶酸化物半導体はDOSがやや低い。連続結晶酸化物半導体はDOSが低い。単結晶酸化物半導体はDOSが極めて低い。即ち、単結晶酸化物半導体は連続結晶酸化物半導体よりDOSが低く、連続結晶酸化物半導体は微結晶酸化物半導体よりDOSが低く、微結晶酸化物半導体は非晶質酸化物半導体よりDOSが低い。

【0253】

次に、絶縁層306、及び半導体層308a、308b、308c、308d上に導電層309を形成する（図13（A）、（B）、（C）参照）。

30

【0254】

導電層309としては、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、導電層309としては、例えば、スパッタリング法を用いて形成することができる。

40

【0255】

次に、導電層309を所望の領域に加工することで、導電層310a、310b、310c、310d、310e、310f、310gを形成する。なお、導電層310a、310b、310c、310d、310e、310f、310gの形成は、所望の領域に第3のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチン

50

グすることで、形成することができる（図14（A）、（B）、（C）参照）。

【0256】

なお、本実施の形態では、導電層310a、310b、310d、310e、310f、310gとしては、半導体層308a、308b、308d上に形成したが、絶縁層306と半導体層308a、308b、308dの間に形成してもよい。

【0257】

次に、絶縁層306、半導体層308a、308b、308c、308d及び導電層310a、310b、310c、310d、310e、310f、310gを覆うように、絶縁層311を形成する（図15（A）、（B）、（C）参照）。

【0258】

絶縁層311としては、半導体層308a、308b、308c、308dとして用いる酸化物半導体との界面特性を向上させるため、酸素を含む無機絶縁材料を用いることができる。また、絶縁層311としては、例えば、PE-CVD法を用いて形成することができる。

【0259】

一例としては、絶縁層311としては、厚さ150nm以上400nm以下の酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜等を用いることができる。本実施の形態においては、絶縁層311として、厚さ300nmの酸化窒化シリコン膜を用いる。

【0260】

次に、絶縁層311を所望の領域に加工することで、開口部362、363を形成する。また、絶縁層311は、開口部362が形成された絶縁層312となる。なお、絶縁層312、及び開口部362の形成は、所望の領域に第4のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる。（図16（A）、（B）、（C）参照）。

【0261】

なお、開口部362、363は、半導体層308c、308dが露出するように形成する。開口部362、363の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部362、363の形成方法としては、これに限定されず、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせた形成方法としてもよい。

【0262】

次に、絶縁層312、及び半導体層308c、308d上に絶縁層313を形成する（図17（A）、（B）、（C）参照）。

【0263】

絶縁層313は、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体層へ拡散するのを防ぐ材料で形成される膜であり、更には水素を含む。このため、絶縁層313の水素が半導体層308c、308dに拡散すると、該半導体層308c、308dにおいて水素は酸素と結合し、キャリアである電子が生成される。この結果、半導体層308c、308dは、導電性が高くなり透光性を有する導電層となる。

【0264】

なお、本実施の形態においては、半導体層308c、308dに接して絶縁層313から、水素を導入する方法について、例示したがこれに限定されない。例えば、トランジスタのチャネル形成領域となる部分にマスクを設け、該マスクに覆われていない領域に、水素、ボロン、リン、または窒素を導入してもよい。例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて、半導体層308c、308dに水素、ボロン、リン、または窒素を導入することができる。また、半導体層308c、308d上にあらかじめ、透光性を有する導電膜、例えば、ITO等を形成しておいてもよい。

【0265】

一例としては、絶縁層 3 1 3 としては、厚さ 1 5 0 n m 以上 4 0 0 n m 以下の窒化シリコン膜、窒化酸化シリコン膜等を用いることができる。本実施の形態においては、絶縁層 3 1 3 として、厚さ 1 5 0 n m の窒化シリコン膜を用いる。

【 0 2 6 6 】

また、上記窒化シリコン膜は、ブロック性を高めるために、高温で成膜されることが好ましく、例えば基板温度 1 0 0 以上基板の歪み点以下、より好ましくは 3 0 0 以上 4 0 0 以下の温度で加熱して成膜することが好ましい。また高温で成膜する場合は、半導体層 3 0 8 a、3 0 8 b として用いる酸化物半導体から酸素が脱離し、キャリア濃度が上昇する現象が発生することがあるため、このような現象が発生しない温度とする。

【 0 2 6 7 】

次に、絶縁層 3 1 3 を所望の領域に加工することで、開口部 3 6 4 a、3 6 4 b、3 6 4 c を形成する。また、絶縁層 3 1 3 は、開口部 3 6 4 a、3 6 4 b、3 6 4 c が形成された絶縁層 3 1 4 となる。なお、絶縁層 3 1 4、及び開口部 3 6 4 a、3 6 4 b、3 6 4 c は、所望の領域に第 5 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる（図 1 8 (A)、(B)、(C) 参照）。

【 0 2 6 8 】

また、開口部 3 6 4 a は、導電層 3 0 4 b が露出するように形成する。また、開口部 3 6 4 b は、導電層 3 1 0 c が露出するように形成する。また、開口部 3 6 4 c は、導電層 3 1 0 e が露出するように形成する。

【 0 2 6 9 】

なお、開口部 3 6 4 a、3 6 4 b、3 6 4 c の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部 3 6 4 a、3 6 4 b、3 6 4 c の形成方法としては、これに限定されず、ウェットエッチング法、またはドライエッチング法とウェットエッチング法を組み合わせた形成方法としてもよい。

【 0 2 7 0 】

次に、開口部 3 6 4 a、3 6 4 b、3 6 4 c を覆うように絶縁層 3 1 4 上に導電層 3 1 5 を形成する（図 1 9 (A)、(B)、(C) 参照）。

【 0 2 7 1 】

導電層 3 1 5 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、導電層 3 1 5 としては、例えば、スパッタリング法を用いて形成することができる。

【 0 2 7 2 】

次に、導電層 3 1 5 を所望の領域に加工することで、導電層 3 1 6 a、3 1 6 b を形成する。なお、導電層 3 1 6 a、3 1 6 b の形成は、所望の領域に第 6 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる（図 2 0 (A)、(B)、(C) 参照）。

【 0 2 7 3 】

以上の工程でトランジスタを有する駆動回路部 1 0 4 と、トランジスタを有する画素回路部 1 0 8 と、抵抗素子 1 1 4 と、を同一基板上に形成することができる。なお、本実施の形態に示す作製工程においては、第 1 乃至第 6 のパターニング、すなわち 6 枚のマスクでトランジスタ、容量素子、及び抵抗素子を同時に形成することができる。

【 0 2 7 4 】

次に、基板 3 0 2 に対向して設けられる基板 3 4 2 上に形成される構造について、以下説明を行う。

【 0 2 7 5 】

まず、基板 3 4 2 を準備する。基板 3 4 2 としては、基板 3 0 2 に示す材料を援用する

10

20

30

40

50

ことができる。次に、基板 3 4 2 上に遮光層 3 4 4、及び有色層 3 4 6 を形成する（図 2 1（A）、（B）、（C）参照）。

【0 2 7 6】

遮光層 3 4 4 としては、特定の波長帯域の光を遮光する機能を有していればよく、金属膜または黒色顔料等を含んだ有機絶縁膜などを用いることができる。

【0 2 7 7】

有色層 3 4 6 としては、特定の波長帯域の光を透過する有色層であればよく、例えば、赤色の波長帯域の光を透過する赤色（R）のカラーフィルタ、緑色の波長帯域の光を透過する緑色（G）のカラーフィルタ、青色の波長帯域の光を透過する青色（B）のカラーフィルタなどを用いることができる。各カラーフィルタは、様々な材料を用いて、印刷法、
10
インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ所望の位置に形成する。

【0 2 7 8】

次に、遮光層 3 4 4、及び有色層 3 4 6 上に絶縁層 3 4 8 を形成する（図 2 2（A）、（B）、（C）参照）。

【0 2 7 9】

絶縁層 3 4 8 としては、例えば、アクリル系樹脂等の有機絶縁膜を用いることができる。絶縁層 3 4 8 を形成することによって、例えば、有色層 3 4 6 中に含まれる不純物等を液晶層 3 2 0 側に拡散することを抑制することができる。ただし、絶縁層 3 4 8 は、必ずしも形成する必要はなく、絶縁層 3 4 8 を形成しない構造としてもよい。
20

【0 2 8 0】

次に、絶縁層 3 4 8 上に導電層 3 5 0 を形成する（図 2 3（A）、（B）、（C）参照）。導電層 3 5 0 としては、導電層 3 1 5 に示す材料を援用することができる。

【0 2 8 1】

以上の工程で基板 3 4 2 上に形成される構造を形成することができる。

【0 2 8 2】

次に、基板 3 0 2 と基板 3 4 2 上、より詳しくは基板 3 0 2 上に形成された絶縁層 3 1 4、導電層 3 1 6 a、3 1 6 b と、基板 3 4 2 上に形成された導電層 3 5 0 上に、それぞれ配向膜 3 1 8 と配向膜 3 5 2 を形成する。配向膜 3 1 8、3 5 2 は、ラビング法、光配向法等を用いて形成することができる。その後、基板 3 0 2 と、基板 3 4 2 との間に液晶層 3 2 0 を形成する。液晶層 3 2 0 の形成方法としては、ディスペンサ法（滴下法）や、基板 3 0 2 と基板 3 4 2 とを貼り合わせてから毛細管現象を用いて液晶を注入する注入法を用いることができる。
30

【0 2 8 3】

以上の工程で、図 9 に示す表示装置を作製することができる。

【0 2 8 4】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0 2 8 5】

（実施の形態 4）

本実施の形態では、本発明の一態様の表示装置について、図 2 4 乃至図 2 9 を用いて説明を行う。

【0 2 8 6】

図 2 4 に示す表示装置は、図 9 に示す表示装置の変形例であり、図 2 5 乃至図 2 9 は、図 2 4 に示す表示装置の作製方法を示す断面図である。

【0 2 8 7】

なお、図 2 4 乃至図 2 9 において、先の実施の形態に示す同様の箇所、または同様の機能を有する部分については、同様の符号を付し、その詳細の説明は省略する。

【0 2 8 8】

図 2 4 に示す表示装置は、駆動回路部 1 0 4 と、画素回路部 1 0 8 と、抵抗素子 1 1 4
50

と、を有する。図 2 4 に示す表示装置について、以下説明を行う。

【 0 2 8 9 】

(駆動回路部)

駆動回路部 1 0 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 a、3 0 4 b と、基板 3 0 2、及び導電層 3 0 4 a、3 0 4 b 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 a と重畳する位置に形成された半導体層 3 0 8 a と、絶縁層 3 0 6、及び半導体層 3 0 8 a 上に形成された導電層 3 1 0 a、3 1 0 b と、絶縁層 3 0 6 上に形成された導電層 3 1 0 c と、半導体層 3 0 8 a、及び導電層 3 1 0 a、3 1 0 b、3 1 0 c を覆うように形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成された導電層 3 1 6 a と、を有する。

10

【 0 2 9 0 】

なお、導電層 3 1 6 a は、導電層 3 0 4 b と、導電層 3 1 0 c を接続する配線としての機能を有する。導電層 3 0 4 b は、絶縁層 3 0 5、3 0 6、3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 c は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 6 a により接続される。

【 0 2 9 1 】

(画素回路部)

画素回路部 1 0 8 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 c と、基板 3 0 2、及び導電層 3 0 4 c 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 c と重畳する位置に形成された半導体層 3 0 8 b と、絶縁層 3 0 6 上に形成された半導体層 3 0 8 c と、絶縁層 3 0 6、及び半導体層 3 0 8 b 上に形成された導電層 3 1 0 d、3 1 0 e と、半導体層 3 0 8 b、及び導電層 3 1 0 d、3 1 0 e を覆うように形成され、且つ半導体層 3 0 8 c の一部を覆う絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成され、且つ半導体層 3 0 8 c 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成され、且つ導電層 3 1 0 e に接続された導電層 3 1 6 b と、を有する。

20

【 0 2 9 2 】

なお、導電層 3 1 6 b は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 e に接続される。

30

【 0 2 9 3 】

(抵抗素子)

抵抗素子 1 1 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成された半導体層 3 0 8 d と、絶縁層 3 0 6、及び半導体層 3 0 8 d 上に形成された導電層 3 1 0 f、3 1 0 g と、導電層 3 1 0 f、3 1 0 g 上に形成された絶縁層 3 1 2 と、絶縁層 3 1 2、導電層 3 1 0 f、3 1 0 g、及び半導体層 3 0 8 d 上に形成された絶縁層 3 1 4 と、を有する。

【 0 2 9 4 】

本実施の形態に示す表示装置は、先の実施の形態の図 9 に示す表示装置との違いとして、開口部の形状が異なる。より、具体的には、導電層 3 0 4 b、3 1 0 c、3 1 0 e 上に形成される開口部は、2 回のエッチング工程により形成されることを特徴とする。

40

【 0 2 9 5 】

図 2 4 に示すように開口部の形状を変えることによって、以下のような効果を得ることができる。

【 0 2 9 6 】

導電層 3 0 4 b、3 1 0 c、3 1 0 e の 1 回目のエッチング工程で形成される開口部の内側に絶縁層 3 1 4 が形成されており、開口部から入り込みうる不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、内部に拡散することを抑制することができる。

【 0 2 9 7 】

なお、本実施の形態に示す表示装置は、駆動回路部 1 0 4、及び画素回路部 1 0 8 が有

50

するトランジスタと、抵抗素子 114 と、を同時に形成することができる。したがって、製造コスト等を増やさずに抵抗素子 114 を形成することが可能となる。

【0298】

次に、図 24 に示す表示装置の作製方法について、図 25 乃至図 29 を用いて、以下説明を行う。

【0299】

なお、駆動回路部 104 の作製方法については、図 25 (A)、図 26 (A)、図 27 (A)、図 28 (A)、及び図 29 (A) に示し、画素回路部 108 の作製方法については、図 25 (B)、図 26 (B)、図 27 (B)、図 28 (B)、及び図 29 (B) に示し、抵抗素子 114 の作製方法については、図 25 (C)、図 26 (C)、図 27 (C)、図 28 (C)、及び図 29 (C) に示す。

10

【0300】

まず、先の実施の形態の図 15 に示す構造まで作製する。つまり、3 枚のマスクを用いてパターニング、及びエッチングまで行った基板を作製する。

【0301】

次に、絶縁層 311 を所望の領域に加工することで、開口部 372 a、372 b、372 c、372 d、372 e を形成する。また、絶縁層 311 は、開口部 372 a、372 b、372 c、372 d、372 e が形成された絶縁層 312 となる。なお、絶縁層 312、及び開口部 372 a、372 b、372 c、372 d、372 e の形成は、所望の領域に第 4 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる。(図 25 (A)、(B)、(C) 参照)。

20

【0302】

なお、開口部 372 a は、絶縁層 305 が露出するように形成する。また、開口部 372 b、372 c は、それぞれ、導電層 310 c、310 e が露出するように形成する。また、開口部 372 d、372 e は、それぞれ、半導体層 308 c、308 d が露出するように形成する。開口部 372 a、372 b、372 c、372 d、372 e の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部 372 a、372 b、372 c、372 d、372 e の形成方法としては、これに限定されず、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせた形成方法としてもよい。

30

【0303】

次に、開口部 372 a、372 b、372 c、372 d、372 e を覆い、且つ絶縁層 305、312、及び半導体層 308 c、308 d 上に絶縁層 313 を形成する(図 26 (A)、(B)、(C) 参照)。

【0304】

絶縁層 313 は、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体層へ拡散するのを防ぐ材料で形成される膜であり、更には水素を含む。このため、絶縁層 313 の水素が半導体層 308 c、308 d に拡散すると、該半導体層 308 c、308 d において水素は酸素と結合し、キャリアである電子が生成される。この結果、半導体層 308 c、308 d は、導電性が高くなり透光性を有する導電層となる。

40

【0305】

次に、絶縁層 313 を所望の領域に加工することで、開口部 374 a、374 b、374 c を形成する。また、絶縁層 313 は、開口部 374 a、374 b、374 c が形成された絶縁層 314 となる。なお、絶縁層 314、及び開口部 374 a、374 b、374 c は、所望の領域に第 5 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる(図 27 (A)、(B)、(C) 参照)。

【0306】

また、開口部 374 a は、導電層 304 b が露出するように形成する。また、開口部 3

50

74bは、導電層310cが露出するように形成する。また、開口部374cは、導電層310eが露出するように形成する。

【0307】

なお、開口部374a、374b、374cの形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部374a、374b、374cの形成方法としては、これに限定されず、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせた形成方法としてもよい。

【0308】

次に、開口部374a、374b、374cを覆うように絶縁層314上に導電層315を形成する(図28(A)、(B)、(C)参照)。

10

【0309】

次に、導電層315を所望の領域に加工することで、導電層316a、316bを形成する。なお、導電層316a、316bの形成は、所望の領域に第6のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる(図29(A)、(B)、(C)参照)。

【0310】

以上の工程でトランジスタを有する駆動回路部104と、トランジスタを有する画素回路部108と、抵抗素子114と、を同一基板上に形成することができる。なお、本実施の形態に示す作製工程においては、第1乃至第6のパターニング、すなわち6枚のマスクでトランジスタ、及び容量素子、及び抵抗素子を同時に形成することができる。

20

【0311】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0312】

(実施の形態5)

本実施の形態では、本発明の一態様の表示装置について、図30乃至図35を用いて説明を行う。

【0313】

図30に示す表示装置は、図9に示す表示装置の変形例であり、図31乃至図35は、図30に示す表示装置の作製方法を示す断面図である。

30

【0314】

なお、図30乃至図35において、先の実施の形態に示す同様の箇所、または同様の機能を有する部分については、同様の符号を付し、その詳細の説明は省略する。

【0315】

図30に示す表示装置は、駆動回路部104と、画素回路部108と、抵抗素子114と、を有する。図30に示す表示装置について、以下説明を行う。

【0316】

(駆動回路部)

駆動回路部104は、基板302と、基板302上に形成された導電層304a、304bと、基板302、及び導電層304a、304b上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304aと重畳する位置に形成された半導体層308aと、絶縁層306、及び半導体層308a上に形成された導電層310a、310bと、絶縁層306上に形成された導電層310cと、半導体層308a、及び導電層310a、310b、310cを覆うように形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成された導電層316aと、を有する。

40

【0317】

なお、導電層316aは、導電層304bと、導電層310cを接続する配線としての機能を有する。導電層304bは、絶縁層305、306、312、314に形成された開口部を介して、導電層310cは、絶縁層312、314に形成された開口部を介して

50

、導電層 3 1 6 a により接続される。

【 0 3 1 8 】

(画素回路部)

画素回路部 1 0 8 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 c と、基板 3 0 2、及び導電層 3 0 4 c 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 c と重畳する位置に形成された半導体層 3 0 8 b と、絶縁層 3 0 6 上に形成された半導体層 3 0 8 c と、絶縁層 3 0 6、及び半導体層 3 0 8 b 上に形成された導電層 3 1 0 d、3 1 0 e と、半導体層 3 0 8 b、及び導電層 3 1 0 d、3 1 0 e を覆うように形成され、且つ半導体層 3 0 8 c の一部を覆う絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成され、且つ半導体層 3 0 8 c 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成され、且つ導電層 3 1 0 e に接続された導電層 3 1 6 b と、を有する。

10

【 0 3 1 9 】

なお、導電層 3 1 6 b は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 e に接続される。

【 0 3 2 0 】

(抵抗素子)

抵抗素子 1 1 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成された半導体層 3 0 8 d と、絶縁層 3 0 6、及び半導体層 3 0 8 d 上に形成された導電層 3 1 0 f、3 1 0 g と、導電層 3 1 0 f、3 1 0 g 上に形成された絶縁層 3 1 2 と、絶縁層 3 1 2、導電層 3 1 0 f、3 1 0 g、及び半導体層 3 0 8 d 上に形成された絶縁層 3 1 4 と、を有する。

20

【 0 3 2 1 】

本実施の形態に示す表示装置は、先の実施の形態の図 2 4 に示す表示装置との違いとして、開口部の形状が異なる。より、具体的には、導電層 3 1 0 c、3 1 0 e 上に形成される開口部は、図 9 に示す表示装置と同様に 1 回のエッチング工程により形成されることを特徴とする。また、導電層 3 0 4 b 上に形成される開口部は、2 回のエッチング工程により形成されることを特徴とする。

【 0 3 2 2 】

図 3 0 に示すように開口部の形状を変えることによって、以下のような効果を得ることができる。

30

【 0 3 2 3 】

1 回目のエッチング工程により絶縁層の膜厚を調整することによって、2 回目のエッチング工程により形成される開口の際に、深さ方向の異なる絶縁層のエッチングを好適に行うことができる。

【 0 3 2 4 】

なお、本実施の形態に示す表示装置は、駆動回路部 1 0 4、及び画素回路部 1 0 8 が有するトランジスタと、抵抗素子 1 1 4 と、を同時に形成することができる。したがって、製造コスト等を増やさずに抵抗素子 1 1 4 を形成することが可能となる。

【 0 3 2 5 】

次に、図 3 0 に示す表示装置の作製方法について、図 3 1 乃至図 3 5 を用いて、以下説明を行う。

40

【 0 3 2 6 】

なお、駆動回路部 1 0 4 の作製方法については、図 3 1 (A)、図 3 2 (A)、図 3 3 (A)、図 3 4 (A)、及び図 3 5 (A) に示し、画素回路部 1 0 8 の作製方法については、図 3 1 (B)、図 3 2 (B)、図 3 3 (B)、図 3 4 (B)、及び図 3 5 (B) に示し、抵抗素子 1 1 4 の作製方法については、図 3 1 (C)、図 3 2 (C)、図 3 3 (C)、図 3 4 (C)、及び図 3 5 (C) に示す。

【 0 3 2 7 】

まず、先の実施の形態の図 1 5 に示す構造まで作製する。つまり、3 枚のマスクを用い

50

てパターンニング、及びエッチングまで行った基板を作製する。

【0328】

次に、絶縁層311を所望の領域に加工することで、開口部372a、372d、372eを形成する。また、絶縁層311は、開口部372a、372d、372eが形成された絶縁層312となる。なお、絶縁層312、及び開口部372a、372d、372eの形成は、所望の領域に第4のパターンニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる。(図31(A)、(B)、(C)参照)。

【0329】

なお、開口部372aは、絶縁層305が露出するように形成する。また、開口部372d、372eは、それぞれ、半導体層308c、308dが露出するように形成する。開口部372a、372d、372eの形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部372a、372d、372eの形成方法としては、これに限定されず、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせた形成方法としてもよい。

【0330】

次に、開口部372a、372d、372eを覆い、且つ絶縁層305、312、及び半導体層308c、308d上に絶縁層313を形成する(図32(A)、(B)、(C)参照)。

【0331】

絶縁層313は、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化半導体層へ拡散するのを防ぐ材料で形成される膜であり、更には水素を含む。このため、絶縁層313の水素が半導体層308c、308dに拡散すると、該半導体層308c、308dにおいて水素は酸素と結合し、キャリアである電子が生成される。この結果、半導体層308c、308dは、導電性が高くなり透光性を有する導電層となる。

【0332】

次に、絶縁層313を所望の領域に加工することで、開口部374a、376a、376bを形成する。また、絶縁層313は、開口部374a、376a、376bが形成された絶縁層314となる。なお、絶縁層314、及び開口部374a、376a、376bは、所望の領域に第5のパターンニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる(図33(A)、(B)、(C)参照)。

【0333】

また、開口部374aは、導電層304bが露出するように形成する。また、開口部376aは、導電層310cが露出するように形成する。また、開口部376bは、導電層310eが露出するように形成する。

【0334】

なお、開口部374a、376a、376bの形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部374a、376a、376bの形成方法としては、これに限定されず、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせた形成方法としてもよい。

【0335】

次に、開口部374a、376a、376bを覆うように絶縁層314上に導電層315を形成する(図34(A)、(B)、(C)参照)。

【0336】

次に、導電層315を所望の領域に加工することで、導電層316a、316bを形成する。なお、導電層316a、316bの形成は、所望の領域に第6のパターンニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる(図35(A)、(B)、(C)参照)。

10

20

30

40

50

【 0 3 3 7 】

以上の工程でトランジスタを有する駆動回路部 1 0 4 と、トランジスタを有する画素回路部 1 0 8 と、抵抗素子 1 1 4 と、を同一基板上に形成することができる。なお、本実施の形態に示す作製工程においては、第 1 乃至第 6 のパターニング、すなわち 6 枚のマスキングでトランジスタ、容量素子及び抵抗素子を同時に形成することができる。

【 0 3 3 8 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【 0 3 3 9 】

(実施の形態 6)

本実施の形態では、本発明の一態様の表示装置について、図 3 6 乃至図 4 1 を用いて説明を行う。

【 0 3 4 0 】

図 3 6 に示す表示装置は、図 9 に示す表示装置の変形例であり、図 3 7 乃至図 4 1 は、図 3 6 に示す表示装置の作製方法を示す断面図である。

【 0 3 4 1 】

なお、図 3 6 乃至図 4 1 において、先の実施の形態に示す同様の箇所、または同様の機能を有する部分については、同様の符号を付し、その詳細の説明は省略する。

【 0 3 4 2 】

図 3 6 に示す表示装置は、駆動回路部 1 0 4 と、画素回路部 1 0 8 と、抵抗素子 1 1 4 と、を有する。図 3 6 に示す表示装置について、以下説明を行う。

【 0 3 4 3 】

(駆動回路部)

駆動回路部 1 0 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 a、3 0 4 b と、基板 3 0 2、及び導電層 3 0 4 a、3 0 4 b 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 a と重畳する位置に形成された半導体層 3 0 8 a と、絶縁層 3 0 6、及び半導体層 3 0 8 a 上に形成された導電層 3 1 0 a、3 1 0 b と、絶縁層 3 0 6 上に形成された導電層 3 1 0 c と、半導体層 3 0 8 a、及び導電層 3 1 0 a、3 1 0 b、3 1 0 c を覆うように形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成された導電層 3 1 6 a と、を有する。

【 0 3 4 4 】

なお、導電層 3 1 6 a は、導電層 3 0 4 b と、導電層 3 1 0 c を接続する配線としての機能を有する。導電層 3 0 4 b は、絶縁層 3 0 5、3 0 6、3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 c は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 6 a により接続される。

【 0 3 4 5 】

(画素回路部)

画素回路部 1 0 8 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 c と、基板 3 0 2、及び導電層 3 0 4 c 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 c と重畳する位置に形成された半導体層 3 0 8 b と、絶縁層 3 0 5 上に形成された半導体層 3 0 8 c と、絶縁層 3 0 6、及び半導体層 3 0 8 b 上に形成された導電層 3 1 0 d、3 1 0 e と、半導体層 3 0 8 b、3 0 8 c 及び導電層 3 1 0 d、3 1 0 e を覆うように形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成され、且つ導電層 3 1 0 e に接続された導電層 3 1 6 b と、を有する。

【 0 3 4 6 】

なお、導電層 3 1 6 b は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 e に接続される。

【 0 3 4 7 】

(抵抗素子 1 1 4)

抵抗素子 1 1 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 5 上に形成された半導体層 3 0 8 d と、絶縁層 3 0 6、及び半導体層 3 0 8 d 上に形成された導電層 3 1 0 f、3 1 0 g と、半導体層 3 0 8 d、導電層 3 1 0 f、3 1 0 g 上に形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、を有する。

【 0 3 4 8 】

本実施の形態に示す表示装置は、先の実施の形態の図 9 に示す表示装置との違いとして、開口部の形状が異なる。より具体的には、図 3 6 に示す表示装置は、導電層 3 0 4 b 上に形成された開口部は、絶縁層 3 0 6 に形成された第 1 の開口部と、絶縁層 3 1 4、3 1 2、3 0 6、3 0 5 に形成された第 2 の開口部と、を有する。また、図 3 6 に示す表示装置は、半導体層 3 0 8 c、3 0 8 d 上に形成された開口部は、絶縁層 3 0 6 に形成された開口部を有する。

10

【 0 3 4 9 】

また、本実施の形態に示す表示装置は、先の実施の形態の図 9 に示す表示装置との違いとして、半導体層 3 0 8 c、3 0 8 d に接する上部、及び下部の絶縁層の構成が異なる。具体的には、半導体層 3 0 8 c、3 0 8 d は、絶縁層 3 0 5、及び絶縁層 3 1 2 と接して形成されることを特徴としている。

【 0 3 5 0 】

なお、本実施の形態に示す表示装置は、駆動回路部 1 0 4、及び画素回路部 1 0 8 が有するトランジスタと、抵抗素子 1 1 4 と、を同時に形成することができる。したがって、製造コスト等を増やさずに抵抗素子 1 1 4 を形成することが可能となる。

20

【 0 3 5 1 】

次に、図 3 6 に示す表示装置の作製方法について、図 3 7 乃至図 4 1 を用いて、以下説明を行う。

【 0 3 5 2 】

なお、駆動回路部 1 0 4 の作製方法については、図 3 7 (A)、図 3 8 (A)、図 3 9 (A)、図 4 0 (A)、及び図 4 1 (A) に示し、画素回路部 1 0 8 の作製方法については、図 3 7 (B)、図 3 8 (B)、図 3 9 (B)、図 4 0 (B)、及び図 4 1 (B) に示し、抵抗素子 1 1 4 の作製方法については、図 3 7 (C)、図 3 8 (C)、図 3 9 (C)、図 4 0 (C)、及び図 4 1 (C) に示す。

30

【 0 3 5 3 】

まず、先の実施の形態の図 1 0 に示す構造まで作製する。つまり、1 枚のマスクを用いてパターニング、及びエッチングまで行った基板を作製する。

【 0 3 5 4 】

次に、絶縁層 3 0 6 を所望の領域に加工することで、開口部 3 8 2 a、3 8 2 b、3 8 2 c を形成する。なお、開口部 3 8 2 a、3 8 2 b、3 8 2 c の形成は、所望の領域に第 2 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる (図 3 7 (A)、(B)、(C) 参照)。

【 0 3 5 5 】

40

なお、開口部 3 8 2 a、3 8 2 b、3 8 2 c は、絶縁層 3 0 5 が露出するように形成する。開口部 3 8 2 a、3 8 2 b、3 8 2 c の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部 3 8 2 a、3 8 2 b、3 8 2 c の形成方法としては、これに限定されず、ウェットエッチング法、またはドライエッチング法とウェットエッチング法を組み合わせた形成方法としてもよい。

【 0 3 5 6 】

次に、絶縁層 3 0 5、3 0 6 上に半導体層を形成し、該半導体層を所望の領域に加工することで、半導体層 3 0 8 a、3 0 8 b、3 0 8 c、3 0 8 d を形成する。なお、半導体層 3 0 8 a、3 0 8 b、3 0 8 c、3 0 8 d の形成は、所望の領域に第 3 のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形

50

成することができる（図38（A）、（B）、（C）参照）。

【0357】

なお、半導体層308a、308bは、絶縁層306上に形成され、半導体層308c、308dは、絶縁層305上に形成される。なお、半導体層308c、308dの一部、より詳しくは、開口部382b、382cの外周部の領域は、絶縁層306上に形成される。

【0358】

絶縁層305は、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体層へ拡散するのを防ぐ材料で形成される膜であり、更には水素を含む。このため、絶縁層305の水素が半導体層308c、308dに拡散すると、該半導体層308c、308dにおいて水素は酸素と結合し、キャリアである電子が生成される。この結果、半導体層308c、308dは、導電性が高くなり透光性を有する導電層となる。

10

【0359】

次に、絶縁層305、306、及び半導体層308a、308b、308c、308d上に導電層310a、310b、310c、310d、310e、310f、310g、及び絶縁層311、313を形成する（図39（A）、（B）、（C）参照）。

【0360】

なお、導電層310a、310b、310c、310d、310e、310f、310g、及び絶縁層311、313の形成方法は、先の実施の形態に示す形成方法を参酌することで、形成することができる。

20

【0361】

なお、導電層310a、310b、310c、310d、310e、310f、310gの形成は、所望の領域に第4のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。

【0362】

次に、絶縁層311、313を所望の領域に加工することで、開口部384a、384b、384cを形成する。また、絶縁層311は、開口部384a、384b、384cが形成された絶縁層312となり、絶縁層313は、開口部384a、384b、384cが形成された絶縁層314となる。なお、絶縁層312、314、及び開口部384a、384b、384cの形成は、所望の領域に第5のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる。（図40（A）、（B）、（C）参照）。

30

【0363】

なお、開口部384aは、導電層304bが露出するように形成する。また、開口部384b、384cは、それぞれ、導電層310c、310eが露出するように形成する。開口部384a、384b、384cの形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口部384a、384b、384cの形成方法としては、これに限定されず、ウェットエッチング法、またはドライエッチング法とウェットエッチング法を組み合わせた形成方法としてもよい。

40

【0364】

次に、開口部384a、384b、384cを覆い、且つ絶縁層314上に導電層316a、316bを形成する。（図41（A）、（B）、（C）参照）。

【0365】

なお、導電層316a、316bの形成方法は、先の実施の形態に示す形成方法を参酌することで、形成することができる。

【0366】

なお、導電層316a、316bの形成は、所望の領域に第6のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。

50

【 0 3 6 7 】

以上の工程でトランジスタを有する駆動回路部 1 0 4 と、トランジスタを有する画素回路部 1 0 8 と、抵抗素子 1 1 4 と、を同一基板上に形成することができる。なお、本実施の形態に示す作製工程においては、第 1 乃至第 6 のパターニング、すなわち 6 枚のマスキングでトランジスタ、容量素子及び抵抗素子を同時に形成することができる。

【 0 3 6 8 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【 0 3 6 9 】

(実施の形態 7)

本実施の形態では、本発明の一態様の表示装置について、図 4 2 乃至図 4 4 を用いて説明を行う。

【 0 3 7 0 】

図 4 2 乃至図 4 4 に示す表示装置は、図 9 に示す表示装置の変形例を示す断面図である。

【 0 3 7 1 】

なお、図 4 2 乃至図 4 4 において、先の実施の形態に示す同様の箇所、または同様の機能を有する部分については、同様の符号を付し、その詳細の説明は省略する。

【 0 3 7 2 】

まず、図 4 2 に示す表示装置において、説明を行う。

【 0 3 7 3 】

図 4 2 に示す表示装置は、駆動回路部 1 0 4 と、画素回路部 1 0 8 と、抵抗素子 1 1 4 と、を有する。図 4 2 に示す表示装置の詳細について、以下説明を行う。

【 0 3 7 4 】

(駆動回路部)

駆動回路部 1 0 4 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 a、3 0 4 b と、基板 3 0 2、及び導電層 3 0 4 a、3 0 4 b 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 a と重畳する位置に形成された半導体層 3 0 8 a と、絶縁層 3 0 6、及び半導体層 3 0 8 a 上に形成された導電層 3 1 0 a、3 1 0 b と、絶縁層 3 0 6 上に形成された導電層 3 1 0 c と、半導体層 3 0 8 a、及び導電層 3 1 0 a、3 1 0 b、3 1 0 c を覆うように形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成された導電層 3 1 6 a と、を有する。

【 0 3 7 5 】

なお、導電層 3 1 6 a は、導電層 3 0 4 b と、導電層 3 1 0 c を接続する配線としての機能を有する。導電層 3 0 4 b は、絶縁層 3 0 5、3 0 6、3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 0 c は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層 3 1 6 a により接続される。

【 0 3 7 6 】

(画素回路部)

画素回路部 1 0 8 は、基板 3 0 2 と、基板 3 0 2 上に形成された導電層 3 0 4 c と、基板 3 0 2、及び導電層 3 0 4 c 上に形成された絶縁層 3 0 5 と、絶縁層 3 0 5 上に形成された絶縁層 3 0 6 と、絶縁層 3 0 6 上に形成され、導電層 3 0 4 c と重畳する位置に形成された半導体層 3 0 8 b と、絶縁層 3 0 5 上に形成された半導体層 3 0 8 c と、絶縁層 3 0 6、及び半導体層 3 0 8 b 上に形成された導電層 3 1 0 d、3 1 0 e と、半導体層 3 0 8 b、3 0 8 c 及び導電層 3 1 0 d、3 1 0 e を覆うように形成された絶縁層 3 1 2 と、絶縁層 3 1 2 上に形成された絶縁層 3 1 4 と、絶縁層 3 1 4 上に形成され、且つ導電層 3 1 0 e に接続された導電層 3 1 6 b と、を有する。

【 0 3 7 7 】

なお、導電層 3 1 6 b は、絶縁層 3 1 2、3 1 4 に形成された開口部を介して、導電層

10

20

30

40

50

310eに接続される。

【0378】

(抵抗素子)

抵抗素子114は、基板302と、基板302上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層305上に形成された半導体層308dと、絶縁層306、及び半導体層308d上に形成された導電層310f、310gと、半導体層308d、導電層310f、310g上に形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、を有する。

【0379】

図42に示す表示装置は、先の実施の形態の図36に示す表示装置との違いとして、開口部の形状が異なる。より、具体的には、導電層304b、310c、310e上に形成される開口部は、2回のエッチング工程により形成されることを特徴とする。

10

【0380】

図42に示すように開口部の形状を変えることによって、以下のような効果を得ることができる。

【0381】

導電層304b、310c、310eの1回目のエッチング工程で形成される開口部の内側に絶縁層314が形成されており、開口部から入り込みうる不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、内部に拡散することを抑制することができる。

【0382】

20

次に、図43に示す表示装置について、説明を行う。

【0383】

図43に示す表示装置は、駆動回路部104と、画素回路部108と、保護回路部106と、を有する。図43に示す表示装置の詳細について、以下説明を行う。

【0384】

(駆動回路部)

駆動回路部104は、基板302と、基板302上に形成された導電層304a、304bと、基板302、及び導電層304a、304b上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304aと重畳する位置に形成された半導体層308aと、絶縁層306、及び半導体層308a上に形成された導電層310a、310bと、絶縁層306上に形成された導電層310cと、半導体層308a、及び導電層310a、310b、310cを覆うように形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成された絶縁層324と、絶縁層324上に形成された導電層316aと、を有する。

30

【0385】

なお、導電層316aは、導電層304bと、導電層310cを接続する配線としての機能を有する。導電層304bは、絶縁層305、306、312、314、324に形成された開口部を介して、導電層310cは、絶縁層312、314、324に形成された開口部を介して、導電層316aにより接続される。

【0386】

40

(画素回路部)

画素回路部108は、基板302と、基板302上に形成された導電層304cと、基板302、及び導電層304c上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304cと重畳する位置に形成された半導体層308bと、絶縁層305上に形成された半導体層308cと、絶縁層306、及び半導体層308b上に形成された導電層310d、310eと、半導体層308b、308c及び導電層310d、310eを覆うように形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成された絶縁層324と、絶縁層324上に形成され、且つ導電層310eに接続された導電層316bと、を有する。

50

【0387】

なお、導電層316bは、絶縁層312、314、324に形成された開口部を介して、導電層310eに接続される。

【0388】

(抵抗素子)

抵抗素子114は、基板302と、基板302上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層305上に形成された半導体層308dと、絶縁層306、及び半導体層308d上に形成された導電層310f、310gと、半導体層308d、導電層310f、310g上に形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成された絶縁層324と、を有する。

10

【0389】

図43に示す表示装置は、先の実施の形態の図9に示す表示装置との違いとして、絶縁層314上に形成された絶縁層324を有することを特徴とする。

【0390】

絶縁層314上に絶縁層324を形成することによって、トランジスタ等に起因する凹凸等を平坦化することが可能となる。絶縁層324としては、例えば、有機シランガスを用いたPE-CVD法により形成した酸化シリコン膜を用いることができる。当該酸化シリコン膜は300nm以上600nm以下で設けることができる。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)などのシリコン含有化合物を用いることができる。

20

【0391】

絶縁層324としては、有機シランガス及び酸素を用い、基板温度を200℃以上550℃以下、好ましくは220℃以上500℃以下、より好ましくは300℃以上450℃以下としたCVD法により形成することができる。

【0392】

また、絶縁層324として、感光性、非感光性の有機樹脂を適用でき、例えば、アクリル系樹脂、ベンゾシクロブテン系樹脂、エポキシ系樹脂、又はシロキサン系樹脂などを用いることができる。感光性の有機樹脂を用いることで、開口部における側面を湾曲させることが可能であり、開口部における段差を緩やかにすることができる。

30

【0393】

また、絶縁層314上に絶縁層324を設けると、容量素子133_1の誘電体膜として機能する絶縁層314は、窒化絶縁膜で形成されるが、窒化絶縁膜は、酸化シリコンなどの酸化絶縁膜に比べて、比誘電率が高く、内部応力が大きい傾向を有する。そのため、容量素子133_1の誘電体膜として絶縁層324を用いずに絶縁層314だけを用いる場合、絶縁層314の膜厚が小さいと容量素子133_1の容量値が大きくなりすぎてしまい、画像信号の画素への書き込みの速度を低消費電力にて高めることが難しくなる。逆に、絶縁層314の膜厚が大きいと、内部応力が大きくなりすぎてしまい、トランジスタのしきい値電圧が変動するなど、電気特性の悪化を招く。また、絶縁層314の内部応力が大きくなりすぎると、絶縁層314が基板302から剥離しやすくなり、歩留りが低下する。しかし、絶縁層314よりも比誘電率の低い絶縁層324を、絶縁層314と共に、画素の容量素子の誘電体膜として用いることで、絶縁層314の膜厚を大きくすることなく、誘電体膜の誘電率を所望の値に調整することができる。

40

【0394】

次に、図44に示す表示装置について、以下説明する。

【0395】

図44に示す表示装置は、駆動回路部104と、画素回路部108と、保護回路部10

50

6と、を有する。図44に示す表示装置の詳細について、以下説明を行う。

【0396】

(駆動回路部)

駆動回路部104は、基板302と、基板302上に形成された導電層304a、304bと、基板302、及び導電層304a、304b上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304aと重畳する位置に形成された半導体層308aと、絶縁層306、及び半導体層308a上に形成された導電層310a、310bと、絶縁層306上に形成された導電層310cと、半導体層308a、及び導電層310a、310b、310cを覆うように形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成された導電層316aと、を有する。

10

【0397】

なお、導電層316aは、導電層304bと、導電層310cを接続する配線としての機能を有する。導電層304bは、絶縁層305、306に形成された開口部を介して、導電層310cは、絶縁層312、314に形成された開口部を介して、導電層316aにより接続される。

【0398】

(画素回路部)

画素回路部108は、基板302と、基板302上に形成された導電層304cと、基板302、及び導電層304c上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層306上に形成され、導電層304cと重畳する位置に形成された半導体層308bと、絶縁層305上に形成された半導体層308cと、絶縁層306、及び半導体層308b上に形成された導電層310d、310eと、半導体層308b、308c及び導電層310d、310eを覆うように形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、絶縁層314上に形成され、且つ導電層310eに接続された導電層316bと、を有する。

20

【0399】

なお、導電層316bは、絶縁層312、314に形成された開口部を介して、導電層310eに接続される。

【0400】

30

(抵抗素子)

抵抗素子114は、基板302と、基板302上に形成された絶縁層305と、絶縁層305上に形成された絶縁層306と、絶縁層305上に形成された半導体層308dと、絶縁層306、及び半導体層308d上に形成された導電層310f、310gと、半導体層308d、導電層310f、310g上に形成された絶縁層312と、絶縁層312上に形成された絶縁層314と、を有する。

【0401】

図44に示す表示装置は、先の実施の形態の図9に示す表示装置との違いとして、開口部の形状が異なる。具体的には、図44に示す表示装置においては、導電層316a、316bの下方に形成される絶縁層312が形成されない構成を特徴としている。

40

【0402】

なお、本実施の形態に示す表示装置は、駆動回路部104、及び画素回路部108が有するトランジスタと、抵抗素子114と、を同時に形成することができる。したがって、製造コスト等を増やさずに抵抗素子114を形成することが可能となる。

【0403】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

【0404】

(実施の形態8)

本実施の形態においては、実施の形態1の図1(A)に示す表示装置の駆動回路部10

50

4、画素回路部108に用いることのできるトランジスタの構成について図45を用いて以下説明を行う。

【0405】

図45(A)に示すトランジスタは、基板302上に形成された導電層304aと、基板302及び導電層304a上に形成された絶縁層305、306と、絶縁層306上に形成された酸化物積層380と、絶縁層306及び酸化物積層380上に形成された導電層310a、310bと、を有する。また、図45(A)に示すトランジスタは、該トランジスタ上、より詳しくは、酸化物積層380、及び導電層310a、310b上に形成された絶縁層312、314を含む構成としても良い。

【0406】

なお、基板302、導電層304a、絶縁層305、306、及び導電層310a、310bについては、先の実施の形態の記載を援用することができる。

【0407】

また、導電層310a、310bに用いる導電膜の種類によっては、酸化物積層380の一部から酸素を奪い、または混合層を形成し、酸化物積層380中に一对のn型領域382を形成することがある。図45(A)において、n型領域382は、酸化物積層380中の導電層310a、310bと接する界面近傍の領域に形成されうる。なお、n型領域382は、ソース領域及びドレイン領域として機能することができる。

【0408】

また、図45(A)に示すトランジスタは、導電層304aがゲート電極として機能し、導電層310aがソース電極またはドレイン電極として機能し、導電層310bがソース電極またはドレイン電極として機能する。

【0409】

また、図45(A)に示すトランジスタは、導電層304aと重畳する領域の酸化物積層380の導電層310aと導電層310bとの間隔をチャンネル長という。また、チャンネル形成領域とは、酸化物積層380において、導電層304aと重畳し、且つ導電層310aと導電層310bに挟まれる領域をいう。また、チャンネルとは、チャンネル形成領域において、電流が主として流れる領域をいう。また、チャンネル形成領域とは、チャンネル領域を含む領域であり、ここでは酸化物積層380がチャンネル形成領域に相当する。

【0410】

ここで、酸化物積層380の詳細について、図45(B)を用いて詳細に説明を行う。

【0411】

図45(B)は、図45(A)に示す酸化物積層380の破線で囲まれた領域の拡大図である。酸化物積層380は、酸化物半導体層380aと、酸化物層380bと、を有する。

【0412】

酸化物半導体層380aは、少なくともインジウム(In)、亜鉛(Zn)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物で表記される層を含むことが好ましい。なお、酸化物半導体層380aは、先の実施の形態に示す半導体層308a、308b、308c、308dに用いることのできる酸化物半導体材料、または形成方法等を適宜援用することができる。

【0413】

酸化物層380bは、酸化物半導体層380aを構成する元素の一種以上から構成され、伝導帯下端のエネルギーが酸化物半導体層380aよりも0.05eV以上、0.07eV以上、0.1eV以上又は0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下又は0.4eV以下真空準位に近い酸化物膜である。このとき、ゲート電極として機能する導電層304aに電界を印加すると、酸化物積層380のうち、伝導帯下端のエネルギーが小さい酸化物半導体層380aにチャンネルが形成される。すなわち、酸化物半導体層380aと絶縁層306との間に酸化物層380bを有することによって、トランジスタのチャンネルを絶縁層312と接しない酸化物半導体層380aに形成することが

10

20

30

40

50

できる。

【0414】

また、酸化物半導体層380aを構成する元素の一種以上から酸化物層380bが構成されるため、酸化物半導体層380aと酸化物層380bとの間において、界面散乱が起こりにくい。したがって、酸化物半導体層380aと酸化物層380bとの間において、キャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。また、酸化物半導体層380aと酸化物層380bとの間に界面準位を形成しにくい。酸化物半導体層380aと酸化物層380bとの間に界面準位があると、該界面をチャネルとしたしきい値電圧の異なる第2のトランジスタが形成され、トランジスタの見かけ上のしきい値電圧が変動することがある。したがって、酸化物層380bを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。

10

【0415】

酸化物層380bとしてはIn-M-Zn酸化物(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記され、酸化物半導体層380aよりもMの原子数比が高い酸化物層を含む。具体的には、酸化物層380bとして、酸化物半導体層380aよりも前述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物層を用いる。前述の元素はインジウムよりも酸素と強く結合するため、酸素欠損が酸化物層に生じることを抑制する機能を有する。即ち、酸化物層380bは酸化物半導体層380aよりもより酸素欠損が生じにくい酸化物層である。

20

【0416】

つまり、酸化物半導体層380a、酸化物層380bが、少なくともインジウム、亜鉛及びM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき酸化物層380bを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体層380aを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]、とすると、 y_1/x_1 が y_2/x_2 よりも大きくなることが好ましい。 y_1/x_1 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層380aにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

30

【0417】

なお、酸化物半導体層380aがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、酸化物層380bがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。

【0418】

酸化物半導体層380a、及び酸化物層380bには、例えば、インジウム、亜鉛及びガリウムを含んだ酸化物半導体を用いることができる。具体的には、酸化物半導体層380aとしては、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ [原子数比]のIn-Ga-Zn酸化物、又はその近傍の原子数比を有する金属酸化物ターゲットを用いて形成することができ、酸化物層380bとしては、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:4$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 1:6:2$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 1:6:4$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 1:6:10$ [原子数比]のIn-Ga-Zn酸化物、 $\text{In}:\text{Ga}:\text{Zn} = 1:9:6$ [原子数比]のIn-Ga-Zn酸化物、又はその近傍の原子数比を有する金属酸化物ターゲットを用いて形成することが

40

50

できる。

【0419】

また、酸化物半導体層380aの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。また、酸化物層380bの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。

【0420】

次に、酸化物積層380のバンド構造について、図45(C)、(D)を用いて説明する。

【0421】

例として、酸化物半導体層380aとしてエネルギーギャップが3.15eVであるIn-Ga-Zn酸化物を用い、酸化物層380bとしてエネルギーギャップが3.5eVであるIn-Ga-Zn酸化物とする。エネルギーギャップは、分光エリプソメータ(HORIBA JOBIN YVON社 UT-300)を用いて測定できる。

【0422】

酸化物半導体層380a及び酸化物層380bの真空準位と価電子帯上端のエネルギー差(イオン化ポテンシャルともいう。)は、それぞれ8eV及び8.2eVであった。なお、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(PHI社 VersaProbe)を用いて測定できる。

【0423】

したがって、酸化物半導体層380a及び酸化物層380bの真空準位と伝導帯下端のエネルギー差(電子親和力ともいう。)は、それぞれ4.85eV及び4.7eVである。

【0424】

図45(C)は、酸化物積層380のバンド構造の一部を模式的に示している。ここでは、酸化物積層380に酸化シリコン膜を接して設けた場合について説明する。なお、図45(C)に表すEcI1は酸化シリコン膜の伝導帯下端のエネルギーを示し、EcS1は酸化物半導体層380aの伝導帯下端のエネルギーを示し、EcS2は酸化物層380bの伝導帯下端のエネルギーを示し、EcI2は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、EcI1は、図45(A)において、絶縁層306に相当し、EcI2は、図45(A)において、絶縁層312に相当する。

【0425】

図45(C)に示すように、酸化物半導体層380a及び酸化物層380bにおいて、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、連続的に変化するといえることができる。これは、酸化物層380bは、酸化物半導体層380aと共通の元素を含み、酸化物半導体層380a及び酸化物層380bの間で、酸素が相互に移動することで混合層が形成されるためであるといえることができる。

【0426】

図45(C)より、酸化物積層380の酸化物半導体層380aがウェル(井戸)となり、酸化物積層380を用いたトランジスタにおいて、チャネル領域が酸化物半導体層380aに形成されることがわかる。なお、酸化物積層380は、伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体層380aと酸化物層380bとが連続接合している、ともいえる。

【0427】

なお、図45(C)に示すように、酸化物層380bと、絶縁層312との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るものの、酸化物層380bが設けられることにより、酸化物半導体層380aと該トラップ準位とを遠ざけることができる。ただし、EcS1とEcS2とのエネルギー差が小さい場合、酸化物半導体層380aの電子が該エネルギー差を超えてトラップ準位に達することがある。トラップ準位に電

10

20

30

40

50

子が捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、 E_{cS1} と E_{cS2} とのエネルギー差を、 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため好適である。

【0428】

また、図45(D)は、酸化物積層380のバンド構造の一部を模式的に示し、図45(C)に示すバンド構造の変形例である。ここでは、酸化物積層380に酸化シリコン膜を接して設けた場合について説明する。なお、図45(D)に表す E_{cI1} は酸化シリコン膜の伝導帯下端のエネルギーを示し、 E_{cS1} は酸化物半導体層380aの伝導帯下端のエネルギーを示し、 E_{cI2} は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、 E_{cI1} は、図45(A)において、絶縁層306に相当し、 E_{cI2} は、図45(A)において、絶縁層312に相当する。

10

【0429】

図45(A)に示すトランジスタにおいて、導電層310a、310bの形成時に酸化物積層380の上方、すなわち酸化物層380bがエッチングされる場合がある。しかし、酸化物半導体層380aの上面は、酸化物層380bの成膜時に酸化物半導体層380aと酸化物層380bの混合層が形成される場合がある。

【0430】

例えば、酸化物半導体層380aが、 $In:Ga:Zn = 1:1:1$ [原子数比]の $In-Ga-Zn$ 酸化物、または $In:Ga:Zn = 3:1:2$ [原子数比]の金属酸化物ターゲットを用いて形成された $In-Ga-Zn$ 酸化物であり、酸化物層380bが、 $In:Ga:Zn = 1:3:2$ [原子数比]の $In-Ga-Zn$ 酸化物、または $In:Ga:Zn = 1:6:4$ [原子数比]の金属酸化物ターゲットを用いて形成された $In-Ga-Zn$ 酸化物である場合、酸化物半導体層380aよりも酸化物層380bのGaの含有量が多いため、酸化物半導体層380aの上面には、 GaO_x 層または酸化物半導体層380aよりもGaを多く含む混合層が形成されうる。

20

【0431】

したがって、酸化物層380bがエッチングされた場合においても、 E_{cS1} の E_{cI2} 側の伝導帯下端のエネルギーが高くなり、図45(D)に示すバンド構造のようになる場合がある。

30

【0432】

図45(D)に示すバンド構造のようになる場合、チャネル領域の断面観察時において、酸化物積層380は、酸化物半導体層380aのみと見かけ上観察される場合がある。しかしながら、実質的には、酸化物半導体層380a上には、酸化物半導体層380aよりもGaを多く含む混合層が形成されているため、該混合層を1.5層として、捉えることができる。なお、該混合層は、例えば、EDX分析等によって、酸化物積層380に含有する元素を測定した場合、酸化物半導体層380aの上方の組成を分析することで確認することができる。例えば、酸化物半導体層380aの上方の組成が、酸化物半導体層380a中の組成よりもGaの含有量が多い構成となることで確認することができる。

40

【0433】

なお、本実施の形態においては、酸化物積層380は、酸化物半導体層380aと、酸化物層380bと、の2層の積層構造について、例示したが、これに限定されず、例えば、3層以上の積層構造とすることができる。3層構造としては、例えば、本実施の形態に示す酸化物積層380の下層、すなわち酸化物半導体層380aの下層に、さらに1層設ける構成としてもよい。酸化物半導体層380aの下層に設ける膜の構成としては、例えば、酸化物層380bと同様の構成を適用することができる。

【0434】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0435】

50

(実施の形態 9)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体膜について、電子線回折パターンの観察結果を説明する。

【0436】

まず、酸化物半導体膜として、CAAC-OS膜について、図62乃至図70を用いて、以下説明を行う。

【0437】

本実施の形態に用いるCAAC-OS膜は、In-Ga-Zn酸化物(In:Ga:Zn = 1:1:1 [原子数比])である金属酸化物ターゲット、および酸素を含む成膜ガスを用いたスパッタリング法で形成したIn-Ga-Zn系酸化物膜である。当該CAAC-OS膜の作製方法等の詳細な説明は、先の実施の形態の記載を参照することができる。

10

【0438】

図62にCAAC-OS膜の断面TEM(Transmission Electron Microscopy(透過型電子顕微鏡))像を示す。また、図63に図62のポイント1乃至ポイント4において電子線回折を用いて測定した電子線回折パターンを示す。

【0439】

図62に示す断面TEM画像は、透過型電子顕微鏡(日立ハイテクノロジーズ製「H-9000NAR」)を用い、加速電圧を300kV、倍率200万倍で撮影した画像である。また、図63に示す電子線回折パターンは、透過型電子顕微鏡(日立ハイテクノロジーズ製「HF-2000」)を用い、加速電圧を200kV、ビーム径を約1nmまたは約50nmとした電子線回折パターンである。なお、ビーム径が10nm以下とした電子線回折を、以下では、極微電子線回折と呼ぶ。また、ビーム径を約1nmとした場合の電子線回折での測定範囲は、5nm以上10nm以下である。

20

【0440】

図62に示すポイント1(膜表面側)、ポイント2(膜中央)、ポイント3(膜下地側)における電子線回折パターンが図63(A)、(B)、(C)にそれぞれ対応しており、電子ビーム径を約1nmとした電子線回折パターンである。また、図62に示すポイント4(膜全体)における電子線回折パターンが図63(D)であり、電子ビーム径を約50nmとした電子線回折パターンである。

30

【0441】

ポイント1(膜表面側)およびポイント2(膜中央)の電子線回折パターンは、スポット(輝点)によるパターンの形成が確認できるが、ポイント3(膜下地側)では、ややパターンが崩れている。これは、CAAC-OS膜の膜厚方向において、結晶状態が異なることを示唆している。なお、ポイント4(膜全体)においては、スポット(輝点)によるパターンの形成が確認できることから、膜全体としてはCAAC-OS膜である、または、CAAC-OS膜を含む膜であるということが出来る。

【0442】

図64は、図62におけるポイント1(膜表面側)の近傍の拡大写真である。層間絶縁膜であるSiON膜との界面までCAAO-OS膜の配向性を示す明瞭な格子像を確認することができる。

40

【0443】

図65(A)、(B)は、図62の断面TEM観察に用いたCAAC-OS膜とは異なるCAAC-OS膜の断面TEM写真とX線回折スペクトルである。CAAC-OS膜は様々な形態があり、図65(B)に示すような $2\theta = 31^\circ$ 近傍に結晶成分を示すピークAが現れる。なお、当該ピークは明瞭に現れない場合もある。

【0444】

図65(A)のCAAC-OS膜に同心円で示す領域において、電子線のビーム径を1nm、20nm、50nm、70nmとして、電子線回折を行った結果を図66(A)、(B)、(C)、(D)に示す。電子線のビーム径が1nmにおいては、図6

50

3 (A)、(B)と同様に明瞭なスポット(輝点)によるパターンの形成を確認することができる。電子線のビーム径を大きくしていくとスポット(輝点)がやや不明瞭になるが、回折パターンは確認することができ、膜全体としてはC A A C - O S膜である、またはC A A C - O S膜を含む膜であるということができる。

【0445】

図67(A)、(B)は、図65(A)の断面TEM観察に用いたC A A C - O S膜を450 でアニールした後の断面TEM写真とX線回折スペクトルである。

【0446】

図67(A)のC A A C - O S膜に同心円で示す領域において、電子線のビーム径を1 nm、20 nm、50 nm、70 nm として、電子線回折を行った結果を図68 (A)、(B)、(C)、(D)に示す。図66に示した結果と同様に、電子線のビーム径が1 nm においては、明瞭なスポット(輝点)によるパターンの形成を確認することができる。また、電子線のビーム径を大きくしていくとスポット(輝点)がやや不明瞭になるが、回折パターンは確認することができ、膜全体としてはC A A C - O S膜である、またはC A A C - O S膜を含む膜であるということができる。

10

【0447】

図69(A)、(B)は、図62の断面TEM写真に用いたC A A C - O S膜、および図65(A)の断面TEM観察に用いたC A A C - O S膜とは異なるC A A C - O S膜の断面TEM写真とX線回折スペクトルである。C A A C - O S膜は様々な形態があり、図69(B)に示すように $2\theta = 31^\circ$ 近傍に結晶成分を示すピークAが現れるとともに、スピネル結晶構造に由来するピークBが現れる場合もある。

20

【0448】

図69(A)のC A A C - O S膜に同心円で示す領域において、電子線のビーム径を1 nm、20 nm、50 nm、90 nm として、電子線回折を行った結果を図70 (A)、(B)、(C)、(D)に示す。電子線のビーム径が1 nm においては、明瞭なスポット(輝点)によるパターンの形成を確認することができる。また、電子線のビーム径を大きくしていくとスポット(輝点)がやや不明瞭になるが、回折パターンは確認することができる。また、ビーム径90 nm では、より明瞭なスポット(輝点)を確認することができる。したがって、膜全体としてはC A A C - O S膜である、またはC A A C - O S膜を含む膜であるということができる。

30

【0449】

次に、酸化物半導体膜として、ナノ結晶酸化物半導体膜について、図71乃至図77を用いて、以下説明を行う。

【0450】

ナノ結晶酸化物半導体膜は、ビーム径が10 nm 以下とした電子線回折(極微電子線回折)を用いた電子線回折パターンにおいて、非晶質状態を示すハローパターンとも、特定の面に配向した結晶状態を示す規則性を有するスポットとも異なり、方向性を持たないスポットが観察される酸化物半導体膜である。

【0451】

図71(A)にナノ結晶酸化物半導体膜の断面TEM(Transmission Electron Microscopy(透過型電子顕微鏡))像を示す。また、図71(B)に図71(A)のポイント1において極微電子線回折を用いて測定した電子線回折パターンを、図71(C)に図71(A)のポイント2において極微電子線回折を用いて測定した電子線回折パターンを、図71(D)に図71(A)のポイント3において極微電子線回折を用いて測定した電子線回折パターンをそれぞれ示す。

40

【0452】

図71では、ナノ結晶酸化物半導体膜の一例として、In-Ga-Zn系酸化物膜を石英ガラス基板上に膜厚50 nmで成膜した試料を用いる。図71に示すナノ結晶酸化物半導体膜の成膜条件は、In:Ga:Zn=1:1:1(原子数比)である酸化物ターゲットを用いて、酸素雰囲気下(流量45 sccm)、圧力0.4 Pa、直流(DC)電源0

50

．5 kW、基板温度を室温とした。そして、成膜したナノ結晶酸化物半導体膜を100 nm以下（例えば、40 nm±10 nm）の幅に薄片化し、断面TEM像及び極微電子線回折による電子線回折パターンを得た。

【0453】

図71（A）は、透過型電子顕微鏡（日立ハイテクノロジーズ製「H-9000NAR」）を用い、加速電圧を300 kV、倍率200万倍として撮影したナノ結晶酸化物半導体膜の断面TEM像である。また、図71（B）乃至図71（D）は、透過型電子顕微鏡（日立ハイテクノロジーズ製「HF-2000」）を用い、加速電圧を200 kV、ビーム径を約1 nmとして極微電子線回折によって得られた電子線回折パターンである。なお、ビーム径を約1 nmとした場合の極微電子線回折での測定範囲は、5 nm以上10 nm以下である。

10

【0454】

図71（B）に示すように、ナノ結晶酸化物半導体膜は、極微電子線回折を用いた電子線回折パターンにおいて、円周状に配置された複数のスポット（輝点）が観察される。換言すると、ナノ結晶酸化物半導体膜は、円周状（同心円状）に分布した複数のスポットが観察されるともいえる。または、円周状に分布した複数のスポットが複数の同心円を形成するとともいえる。

【0455】

また、石英ガラス基板との界面近傍である図71（D）及び、ナノ結晶酸化物半導体膜の膜厚方向中央部の図71（C）においても図71（B）と同様に円周状に分布した複数のスポットが観察される。図71（C）において、メインスポットから円周状スポットまでの距離は、3.88/nmから4.93/nmであった。面間隔に換算すると、0.203 nmから0.257 nmである。

20

【0456】

図71の極微電子線回折パターンより、ナノ結晶酸化物半導体膜は、面方位が不規則であって且つ大きさの異なる結晶部が複数混在する膜であることがわかる。

【0457】

次いで、図72（A）にナノ結晶酸化物半導体膜の平面TEM像を示す。また、図72（B）に図72（A）において円で囲んだ領域を、制限視野電子線回折を用いて測定した電子線回折パターンを示す。

30

【0458】

図72では、ナノ結晶酸化物半導体膜の一例として、In-Ga-Zn系酸化物膜を石英ガラス基板上に膜厚30 nmで成膜した試料を用いる。図72に示すナノ結晶酸化物半導体膜の成膜条件は、In:Ga:Zn=1:1:1（原子数比）である酸化物ターゲットを用いて、酸素雰囲気下（流量45 sccm）、圧力0.4 Pa、直流（DC）電源0.5 kW、基板温度を室温とした。そして、試料を薄片化し、ナノ結晶酸化物半導体膜の平面TEM像及び電子線回折による電子線回折パターンを得た。

【0459】

図72（A）では、透過型電子顕微鏡（日立ハイテクノロジーズ製「H-9000NAR」）を用い、加速電圧を300 kV、倍率50万倍として撮影したナノ結晶酸化物半導体膜の平面TEM写真である。また、図72（B）では、制限視野を300 nmとして電子線回折によって得られた電子線回折パターンである。なお、電子線の広がり进行を考慮すると、測定範囲は、300 nm以上である。

40

【0460】

図72（B）に示すように、ナノ結晶酸化物半導体膜は、極微電子線回折よりも測定範囲の広い制限視野電子線回折を用いた電子線回折パターンでは、極微電子線回折によって観察された複数のスポットがみられず、ハローパターンが観察される。

【0461】

次に、図73に、図71及び図72の電子線回折パターンにおける回折強度の分布を概念的に示す。図73（A）は、図71（B）乃至図71（D）に示す極微電子線回折パタ

50

ーンにおける回折強度の分布の概念図である。また、図 7 3 (B) は、図 7 2 (B) に示す制限視野電子線回折パターンにおける回折強度の分布の概念図である。また、図 7 3 (C) は単結晶構造または多結晶構造の電子線回折パターンにおける回折強度の分布の概念図である。

【 0 4 6 2 】

図 7 3 において、縦軸はスポットなどの分布を表す電子線回折強度（任意単位）、横軸はメインスポットからの距離を示す。

【 0 4 6 3 】

図 7 3 (C) に示す単結晶構造または多結晶構造においては、結晶部が配向する面の面間隔（ d 値）に応じた、メインスポットからの特定の距離にスポットがみられる。

10

【 0 4 6 4 】

一方、図 7 1 に示すようにナノ結晶酸化物半導体膜の極微電子線回折パターンで観察される複数のスポットによって形成された円周状の領域は、比較的大きい幅を有する。よって、図 7 3 (A) は離散的な分布を示す。また、極微電子線回折パターンにおいて、同心円状の領域間に明確なスポットとならないものの輝度の高い領域が存在することがわかる。

【 0 4 6 5 】

また、図 7 3 (B) に示すように、ナノ結晶酸化物半導体膜の制限視野電子線回折パターンにおける電子線回折強度分布は、連続的な強度分布を示す。図 7 3 (B) は、図 7 3 (A) に示す電子線回折強度分布を広範囲で観察した結果と近似可能であるため、複数の

20

【 0 4 6 6 】

図 7 3 (A) 乃至図 7 3 (C) に示すように、ナノ結晶酸化物半導体膜は、面方位が不規則であって且つ大きさの異なる結晶部が複数混在する膜であり、且つ、その結晶部は、制限視野電子線回折パターンにおいてはスポットが観察されない程度に、極微細であることが示唆される。

【 0 4 6 7 】

複数のスポットが観察された図 7 1 において、ナノ結晶酸化物半導体膜は 5 0 n m 以下に薄片化されている。また電子線のビーム径は 1 n m に収束されているため、その測定範囲は 5 n m 以上 1 0 n m 以下である。よって、ナノ結晶酸化物半導体膜に含まれる結晶部は、5 0 n m 以下であり、例えば、1 0 n m 以下、または 5 n m 以下であることが推測される。

30

【 0 4 6 8 】

ここで、図 7 4 に、石英ガラス基板における極微電子線回折パターンを示す。図 7 4 の測定条件は、図 7 1 (B) 乃至図 7 1 (D) に示す電子線回折パターンと同様とした。

【 0 4 6 9 】

図 7 4 に示すように、非晶質構造を有する石英ガラス基板では、特定のスポットを有さず、メインスポットから輝度が連続的に変化するハローパターンが観測される。このように、非晶質構造を有する膜においては、極微小な領域の電子線回折を行ったとしても、ナノ結晶酸化物半導体膜で観察されるような円周状に分布した複数のスポットが観察されない。従って、図 7 1 (B) 乃至図 7 1 (D) で観察される円周状に分布した複数のスポットは、ナノ結晶酸化物半導体膜に特有のものであることが確認される。

40

【 0 4 7 0 】

また、図 7 5 に、図 7 1 (A) に示すポイント 2 において、ビーム径を約 1 n m に収束した電子線を 1 分間照射した後に、測定を行った電子線回折パターンを示す。

【 0 4 7 1 】

図 7 5 に示す電子線回折パターンは、図 7 1 (C) に示す電子線回折パターンと同様に、円周状に分布した複数のスポットが観察され、両者の測定結果に特段の相違点は確認されない。このことは、図 7 1 (C) の電子線回折パターンで確認された結晶部は、酸化物半導体膜の成膜時から存在していることを意味しており、収束した電子線を照射したこと

50

で結晶部が形成されたものではないことを意味する。

【0472】

次に、図76に、図71(A)に示す断面TEM像の部分拡大図を示す。図76(A)は、図71(A)のポイント1近傍(ナノ結晶酸化物半導体膜表面)を、倍率800万倍で観察した断面TEM像である。また、図76(B)は、図71(A)のポイント2近傍(ナノ結晶酸化物半導体膜の膜厚方向中央部)を、倍率800万倍で観察した断面TEM像である。

【0473】

図76に示す断面TEM像からは、ナノ結晶酸化物半導体膜において結晶構造が明確には確認できない。

10

【0474】

また、図71及び図72の観察に用いた、石英ガラス基板上に本実施の形態のナノ結晶酸化物半導体膜が成膜された試料をX線回折(XRD: X-Ray Diffraction)を用いて分析した。図77にout-of-plane法を用いてXRDスペクトルを測定した結果を示す。

【0475】

図77において、縦軸はX線回折強度(任意単位)であり、横軸は回折角 2θ (deg.)である。なお、XRDスペクトルの測定は、Bruker AXS社製X線回折装置D-8 ADVANCEを用いた。

【0476】

20

図77に示すように、 $2\theta = 20 \sim 23^\circ$ 近傍に石英に起因するピークが観察されるものの、ナノ結晶酸化物半導体膜に含まれる結晶部に起因するピークは確認できない。

【0477】

図76及び図77の結果からも、ナノ結晶酸化物半導体膜に含まれる結晶部は、極微細な結晶部であることが示唆される。

【0478】

以上示したように、本実施の形態のナノ結晶酸化物半導体膜では、測定範囲の広いX線回折(XRD: X-ray diffraction)による分析では配向を示すピークが検出されず、また、測定範囲の広い制限視野電子線回折によって得られる電子線回折パターンでは、ハローパターンが観測される。よって、本実施の形態のナノ結晶酸化物半導体膜は、巨視的には無秩序な原子配列を有する膜と同等であるといえる。しかしながら、電子線のビーム径が十分に小さい径(例えば、10nm以下)の極微電子線回折によってナノ結晶酸化物半導体膜を測定することで、得られる極微電子線回折パターンではスポット(輝点)を観測することができる。よって、本実施の形態のナノ結晶酸化物半導体膜は、面方位の不規則な極微な結晶部(例えば、粒径が10nm以下、または5nm以下、または3nm以下の結晶部)が凝集して形成された膜と推測できる。また、極微細な結晶部を含有するナノ結晶領域は、ナノ結晶酸化物半導体膜の膜厚方向の全領域において含まれる。

30

【0479】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【0480】

(実施の形態10)

本実施の形態では、上記実施の形態で開示された金属膜、半導体膜、無機絶縁膜などの形成方法の一例について説明する。

【0481】

上記実施の形態で開示された、金属膜、半導体膜、無機絶縁膜など様々な膜はスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD(Chemical Vapor Deposition)法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapo

50

r Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

【0482】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0483】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0484】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0485】

MO-CVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、 InGaZnO_x ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジエチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジエチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジエチル亜鉛に代えてジメチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

【0486】

例えば、酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0487】

例えば、酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウムTMAなど）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

【0488】

例えば、酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着

10

20

30

40

50

させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0489】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0490】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $InGaZnO_x$ （ $x > 0$ ）膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $Zn(CH_3)_2$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $InGaO_2$ 層や $InZnO_2$ 層、 $GaInO$ 層、 $ZnInO$ 層、 $GaZnO$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングした H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスにかえて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスにかえて、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $In(CH_3)_3$ ガスにかえて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

【0491】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0492】

（実施の形態11）

本実施の形態では、酸化物半導体を成膜、及び加熱することができる装置の一例について、図46乃至図48を用いて、説明する。

【0493】

図46は、本実施の形態で説明する装置2000の構成を説明するブロック図である。

【0494】

装置2000は、ロード室2101、第1の成膜室2111、第2の成膜室2112、第1の加熱室2121、第3の成膜室2113、第2の加熱室2122、第4の成膜室2114、第3の加熱室2123、及びアンロード室2102が順に接続される。なお、ロード室2101、アンロード室2102を除く各成膜室、及び各加熱室について、それぞれを区別して説明する必要のないときは総称して処理室と呼ぶこともある。

【0495】

ロード室2101に搬入された基板は、移動手段によって、第1の成膜室2111、第2の成膜室2112、第1の加熱室2121、第3の成膜室2113、第2の加熱室2122、第4の成膜室2114、第3の加熱室2123の順に送られたのち、アンロード室2102に搬送される。各処理室では、必ずしも処理を行う必要はなく、工程を省きたい場合は適宜、処理をせずに次の処理室に基板を搬送することも出来る。

【0496】

ロード室2101は、装置外から装置2000に基板の搬入を行う機能を有する。基板は、水平な状態でロード室2101に搬入された後、ロード室2101内で水平面に対して基板を鉛直な状態にする機構を有する。なお、基板を搬入するロボット等の搬入手段が基板を鉛直な状態にする機構を有している場合、ロード室2101は、基板を鉛直な状態にする機構を有していなくても良い。なお、本実施の形態において、水平な状態とは、 -10° 以上 10° 以下、好ましくは -5° 以上 5° 以下の範囲も含まれることとする。また、鉛直な状態とは、 80° 以上 100° 以下、好ましくは 85° 以上 95° 以下の範囲も含まれることとする。

【 0 4 9 7 】

アンロード室 2 1 0 2 は、鉛直な状態の基板を水平の状態にする機構を有する。処理を終え、移動手段によってアンロード室 2 1 0 2 に搬入された基板は、アンロード室 2 1 0 2 にて鉛直な状態から水平な状態とされ、その後装置外へ基板が搬出される。

【 0 4 9 8 】

また、ロード室 2 1 0 1、及びアンロード室 2 1 0 2 のそれぞれは、室内を真空にする排気手段と、真空状態から大気圧する際に用いるガス導入手段とを有する。ガス導入手段から導入されるガスは、空気、若しくは窒素や希ガスなどの不活性ガスなどを適宜用いればよい。

【 0 4 9 9 】

また、ロード室 2 1 0 1 は、基板を予備加熱するための加熱手段を有していても良い。排気動作と並行して基板に対して予備加熱を行うことで、基板に吸着するガス等の不純物（水、水酸基などを含む）を脱離させることが出来るため好ましい。排気手段としては、例えばクライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプ、或いは、ターボ分子ポンプにコールドトラップを加えたものを用いると良い。

【 0 5 0 0 】

ロード室 2 1 0 1、アンロード室 2 1 0 2、及びそれぞれの処理室は、ゲートバルブを介して連結されている。したがって基板が処理を終えて次の処理室へ移る際には、ゲートバルブを開けて基板が搬入される。なお、このゲートバルブは、処理室間において必要でなければ設けなくても良い。また、それぞれの処理室には、排気手段、圧力調整手段、ガス導入手段などを有し、処理していない状態であっても常に減圧な状態に保つことができる。ゲートバルブによって各処理室が隔離されることにより、他の処理室からの汚染を抑制することができる。

【 0 5 0 1 】

また、上記ロード室 2 1 0 1、アンロード室 2 1 0 2、およびそれぞれの処理室は、必ずしも一直線上に配置する必要はなく、例えば隣接する処理室の間に搬送室を設け、2 列に配置してもよい。該搬送室は、ターンテーブル等を有し、搬送室に搬入された基板の向きを回転させることができ、基板の経路を折り返すことが出来る。

【 0 5 0 2 】

次に、第 1 の成膜室 2 1 1 1、第 2 の成膜室 2 1 1 2、第 3 の成膜室 2 1 1 3 及び第 4 の成膜室 2 1 1 4 において、これらに共通する構成について説明する。

【 0 5 0 3 】

第 1 の成膜室はスパッタリング装置または C V D 装置が配置される。また、第 2 の成膜室、第 3 の成膜室、第 4 の成膜室は、それぞれスパッタリング装置が配置される。

【 0 5 0 4 】

上記成膜室で用いるスパッタリング装置には、例えばマイクロ波スパッタリング法、R F プラズマスパッタリング法、A C スパッタリング法、もしくは D C スパッタリング法などのスパッタリング装置を用いることができる。

【 0 5 0 5 】

ここで、D C スパッタリング法を適用した成膜室の一例について、図 4 7 を用いて説明する。なお、図 4 7 (A) は、基板の進行方向に対して垂直方向の成膜室の断面模式図を、図 4 7 (B) は、基板の進行方向に対して水平方向の成膜室の断面模式図を、それぞれ示す。

【 0 5 0 6 】

基板 2 1 0 0 は、成膜面と鉛直方向との成す角が少なくとも 1 ° 以上 3 0 ° 以内、好ましくは 5 ° 以上 1 5 ° 以内に収まるように、基板支持部 2 1 4 1 によって固定されている。基板支持部 2 1 4 1 は移動手段 2 1 4 3 に固定されている。移動手段 2 1 4 3 は、処理中に基板が動かないよう、基板支持部 2 1 4 1 を固定しておくだけでなく、基板 2 1 0 0 を移動することが可能であり、ロード室 2 1 0 1、アンロード室 2 1 0 2、及び各処理室において、基板 2 1 0 0 の搬入出を行う機能も有する。

10

20

30

40

50

【0507】

成膜室2150には、ターゲット2151及び、防着板2153が基板2100に平行になるように配置される。ターゲット2151と基板2100とを平行に配置することにより、ターゲットとの距離が異なることに起因するスパッタ膜の膜厚や、スパッタ膜の段差に対するカバレッジなどのばらつきなどをなくすることができる。

【0508】

また成膜室2150は、基板支持部2141の背面に位置するように、基板加熱手段2155を有していても良い。基板加熱手段2155により、基板を加熱しながら成膜処理を施すことが出来る。基板加熱手段2155としては例えば抵抗加熱ヒータや、ランプヒータなどを用いることができる。なお、基板加熱手段2155は必要でなければ設けなく

10

【0509】

成膜室2150は、圧力調整手段2157を有し、成膜室2150内を所望の圧力に減圧することが出来る。圧力調整手段2157に用いる排気装置としては、例えばクライオポンプ、イオンポンプ、チタンサブリーメーションポンプなどの吸着型の真空ポンプ、或いは、ターボ分子ポンプにコールドトラップを加えたものを用いると良い。

【0510】

また、成膜ガス等を導入するためのガス導入手段2159を有する。例えば希ガスを主成分としたガスに酸素を添加したガスを導入して反応性スパッタリング法による成膜を行うことにより、酸化膜を形成することができる。さらに、ガス導入手段2159から導入されるガスは、水素や水、水酸化物などの不純物が低減された高純度ガスを導入することが出来る。例えば、酸素、窒素、希ガス（代表的にはアルゴン）、又はこれらの混合ガスを導入することが出来る。

20

【0511】

以上のような圧力調整手段2157とガス導入手段2159を有する成膜室2150では、水素分子や水（ H_2O ）などの水素を含む化合物などが（より好ましくは炭素原子を含む化合物と共に）除去されるため、成膜室2150で成膜した膜中に含まれる不純物の濃度を低減できる。

【0512】

成膜室2150と隣接する部屋との境界は、ゲートバルブ2161で仕切られている。ゲートバルブ2161で室内を隔離することにより、室内の不純物を排気しやすくし、成膜雰囲気的清浄に保つことが出来る。さらに、室内を清浄な状態にした後にゲートバルブ2161を開放し基板を搬出することにより、隣接する処理室への汚染を抑制することができる。なお、必要でなければ、ゲートバルブ2161を設けない構成としてもよい。

30

【0513】

次に、第1の加熱室2121、第2の加熱室2122、及び第3の加熱室2123について、これらに共通する部分について説明する。

【0514】

第1の加熱室2121、第2の加熱室2122、及び第3の加熱室2123は、基板2100に対して加熱処理を行うことが出来る。加熱装置には、抵抗加熱ヒータ、ランプ、または加熱されたガスを用いるものなどを設けると良い。

40

【0515】

図48（A）、（B）に棒状のヒータを用いた加熱装置を適用した、加熱室の一例を示す。なお、図48（A）は、基板の進行方向に対して垂直方向の加熱室の断面模式図を、図48（B）は、基板の進行方向に対して水平方向の加熱室の断面模式図を、それぞれ示す。

【0516】

加熱室2170には成膜室2150と同様、移動手段2143によって基板支持部2141に支持された基板2100を搬入、搬出することが出来る。

【0517】

50

加熱室 2170 には棒状のヒータ 2171 が基板 2100 と平行になるように配置されている。図 48 (A) には、その断面となる形状を模式的に現している。棒状のヒータ 2171 には、抵抗加熱ヒータ、またはランプヒータを用いることができる、抵抗加熱ヒータには、誘導加熱を用いたものも含まれる。また、ランプヒータに用いることのできるランプは、中心波長が赤外線領域にあるものが好ましい。ヒータ 2171 を基板 2100 に平行に配置することにより、これらの距離を一定にし、均一に加熱することが出来る。また、棒状のヒータ 2171 は、それぞれ個別に温度を制御できることが好ましい。例えば上部のヒータよりも下部のヒータを高い温度に設定することにより、基板を均一な温度で加熱することができる。

【0518】

加熱室 2170 に設ける加熱機構の構成としては、上述した機構に限定されず、例えば、抵抗発熱体などを用いて加熱する加熱機構、または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構、例えば、GRTA (Gas Rapid Thermal Anneal)、LRTA (Lamp Rapid Thermal Anneal) などの RTA (Rapid Thermal Anneal) を用いることができる。LRTA は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する。GRTA は、高温のガスを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。RTA 装置を用いることによって、処理時間が短縮することができるので、量産する上では好ましい。

【0519】

また、加熱室 2170 は、棒状のヒータ 2171 と基板 2100 の間に、保護板 2173 を設ける構成としている。保護板 2173 は棒状のヒータ 2171、及び基板 2100 の保護のために設けられるもので、例えば石英などを用いることができる。保護板 2173 は必要なければ設けない構成としてもよい。

【0520】

また、加熱室 2170 は、成膜室 2150 と同様の圧力調整手段 2157 及びガス導入手段 2159 を有する。したがって、加熱処理中や処理を行っていない状態においてもつねに減圧な状態を保持することが出来る。また加熱室 2170 内の水素分子や水 (H_2O) などの水素を含む化合物などが (より好ましくは炭素原子を含む化合物と共に) 除去されるため、当該加熱室で処理した膜中、膜界面、膜表面に含有、もしくは吸着する不純物の濃度を低減できる。

【0521】

また、圧力調整手段 2157 及びガス導入手段 2159 により、不活性ガス雰囲気や、酸素を含む雰囲気での加熱処理が可能である。なお、不活性ガス雰囲気としては、窒素、または希ガス (ヘリウム、ネオン、アルゴン等) を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、加熱室 2170 に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上 (すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下) とする。

【0522】

次に、それぞれの処理室における構成の一例について、説明を行う。

【0523】

第 1 の成膜室 2111 では基板に対し酸化物絶縁膜を成膜する。成膜装置は、スパッタリング装置、または PE-CVD 装置のどちらかであれば、特に限定はされない。第 1 の成膜室 2111 で成膜可能な膜には、トランジスタ等の下地層、またはゲート絶縁層として機能する膜であれば何を用いても良いが、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ガリウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウムなどの単膜、又はこれらの混合膜などが挙げられる。

【0524】

例えば、スパッタリング装置の場合は、用いる膜種によって最適なターゲットを用いればよく、P E - C V D 装置であれば、成膜ガスを適宜選択する。

【 0 5 2 5 】

第2の成膜室2112ではスパッタリング法により、酸化膜を成膜することが出来る。ここで成膜する酸化膜としては、例えば亜鉛とガリウムの酸化物などが挙げられる。成膜方法としては、マイクロ波プラズマスパッタリング法、R F プラズマスパッタリング法、A C スパッタリング法、もしくはD C スパッタリング法を適用することが出来る。

【 0 5 2 6 】

また、第2の成膜室2112では基板加熱手段2155により、600 以下、好ましくは450 以下、さらに好ましくは300 以下の温度で基板を加熱しながら成膜を行うことが出来る。

10

【 0 5 2 7 】

第1の加熱室2121は、200 以上700 以下の温度で基板を加熱することが出来る。さらに圧力調整手段2157及びガス導入手段2159によって、加熱処理中の雰囲気例えば10Pa乃至1気圧とし、酸素雰囲気下、窒素雰囲気下、酸素と窒素の混合雰囲気下で加熱処理を行うことが出来る。

【 0 5 2 8 】

第3の成膜室2113では、基板2100に酸化物半導体を成膜する。例えば酸化物半導体としては、少なくともZnを含む酸化物半導体であり、In - Ga - Zn系酸化物半導体などの、先の実施の形態で挙げた酸化物半導体を成膜することが出来る。

20

【 0 5 2 9 】

また、基板加熱手段2155によって、成膜時の温度を200 以上600 以下で加熱しながら成膜を行うことが出来る。

【 0 5 3 0 】

第2の加熱室2122では、200 以上700 以下の温度で基板2100を加熱することが出来る。さらに、圧力調整手段2157とガス導入手段2159により、酸素もしくは窒素を含み、水素や水、水酸基などの不純物が極めて低減された雰囲気の下、10Pa以上1気圧以下の圧力で加熱処理を行うことが出来る。

【 0 5 3 1 】

第4の成膜室2114では、第3の成膜室2113と同様、基板2100に酸化物半導体を成膜する。例えば、In - Ga - Zn系酸化物半導体用ターゲットを用いて、In - Ga - Zn系酸化物半導体膜を成膜することが出来る。さらに、基板温度を200 以上600 以下で加熱しながら成膜を行うことが出来る。

30

【 0 5 3 2 】

第3の加熱室では、200 以上700 以下の温度で基板2100に対して加熱処理を行うことが出来る。

【 0 5 3 3 】

さらに圧力調整手段2157、及びガス導入手段2159によって、当該加熱処理は窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことが出来る。

【 0 5 3 4 】

40

なお、第1の加熱室2121、第2の加熱室2122、及び第3の加熱室2123で加熱する温度は、量産する上では、基板の歪み、またはエネルギー効率の観点から、好ましくは450 以下、さらに好ましくは350 以下とする。

【 0 5 3 5 】

本実施の形態で示した装置構成は、ロード室から各処理室、及びアンロード室まで一貫して大気に触れない構成となっており、また常に減圧下環境下で基板を搬送することが出来る。したがって本装置構成を用いて成膜した膜の界面への不純物の混入を抑制することができ、界面状態の極めて良好な膜を形成することができる。

【 0 5 3 6 】

なお、本実施の形態においては、ロード室、成膜室、加熱室、アンロード室まで一貫し

50

た構成について例示したが、これに限定されず、例えば、ロード室、成膜室、アンロード室で構成された装置（いわゆる成膜装置）、またはロード室、加熱室、アンロード室で構成された装置（いわゆる加熱装置）を、それぞれ独立して設ける構成としてもよい。

【0537】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせて実施することができる。

【0538】

（実施の形態12）

本実施の形態においては、本発明の一態様の表示装置と組み合わせることができるタッチセンサ、及び表示モジュールについて、図49乃至図51を用いて説明する。

10

【0539】

図49（A）はタッチセンサ4500の構成例を示す分解斜視図であり、図49（B）は、タッチセンサ4500の電極の構成例を示す平面図である。また、図50は、タッチセンサ4500の構成例を示す断面図である。

【0540】

図49（A）、（B）に示すタッチセンサ4500は、基板4910上に、X軸方向に配列された複数の導電層4510と、X軸方向と交差するY軸方向に配列された複数の導電層4520とが形成されている。図49（A）、（B）に示すタッチセンサ4500は、複数の導電層4510が形成された平面図と、複数の導電層4520の平面図と、を分離して表示されている。

20

【0541】

また、図50は、図49に示すタッチセンサ4500の導電層4510と導電層4520との交差部分の等価回路図である。図50に示すように、導電層4510と導電層4520の交差する部分には、容量4540が形成される。

【0542】

また、導電層4510、4520は、複数の四辺形状の導電膜が接続された構造を有している。複数の導電層4510及び複数の導電層4520は、導電膜の四辺形状の部分の位置が重ならないように、配置されている。導電層4510と導電層4520の交差する部分には、導電層4510と導電層4520が接触しないように間に絶縁膜が設けられている。

30

【0543】

また、図51は、図49に示すタッチセンサ4500の導電層4510と導電層4520との接続構造の一例を説明する断面図であり、導電層4510（導電層4510a、4510b、4510c）と導電層4520が交差する部分の断面図を一例として示す。

【0544】

図51に示すように、導電層4510は、1層目の導電層4510aおよび導電層4510b、ならびに、絶縁層4810上の2層目の導電層4510cにより構成される。導電層4510aと導電層4510bは、導電層4510cにより接続されている。導電層4520は、1層目の導電膜により形成される。導電層4510、4520及び電極4710を覆って絶縁層4820が形成されている。絶縁層4810、4820として、例えば、酸化窒化シリコン膜を形成すればよい。なお、基板4910と導電層4510及び電極4710の間に絶縁膜となる下地膜を形成してもよい、下地膜としては、例えば、酸化窒化シリコン膜を形成することができる。

40

【0545】

導電層4510と導電層4520は、可視光に対して透光性を有する導電材料で形成される。例えば、透光性を有する導電材料として、酸化珪素を含む酸化インジウムスズ、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛等がある。

【0546】

導電層4510aは、電極4710に接続されている。電極4710は、FPCとの接

50

続用端子を構成する。導電層 4 5 2 0 も、導電層 4 5 1 0 と同様、他の電極 4 7 1 0 に接続される。電極 4 7 1 0 は、例えば、タングステン膜から形成することができる。

【 0 5 4 7 】

導電層 4 5 1 0、4 5 2 0 及び電極 4 7 1 0 を覆って絶縁層 4 8 2 0 が形成されている。電極 4 7 1 0 と F P C とを電氣的に接続するために、電極 4 7 1 0 上の絶縁層 4 8 1 0 及び絶縁層 4 8 2 0 には開口が形成されている。絶縁層 4 8 2 0 上には、基板 4 9 2 0 が接着剤又は接着フィルム等により貼り付けられている。接着剤又は接着フィルムにより基板 4 9 1 0 側を表示パネルのカラーフィルタ基板に取り付けることで、タッチパネルが構成される。

【 0 5 4 8 】

次に、本発明の一態様の表示装置を用いることのできる表示モジュールについて、図 5 2 を用いて説明を行う。

【 0 5 4 9 】

図 5 2 に示す表示モジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 との間に、F P C 8 0 0 3 に接続されたタッチパネル 8 0 0 4、F P C 8 0 0 5 に接続された表示パネルセル 8 0 0 6、バックライトユニット 8 0 0 7、フレーム 8 0 0 9、プリント基板 8 0 1 0、バッテリー 8 0 1 1 を有する。

【 0 5 5 0 】

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、タッチパネル 8 0 0 4 及び表示パネルセル 8 0 0 6 のサイズに合わせて、形状や寸法を適宜変更することができる。

【 0 5 5 1 】

タッチパネル 8 0 0 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネルセル 8 0 0 6 に重畳して用いることができる。また、表示パネルセル 8 0 0 6 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネルセル 8 0 0 6 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【 0 5 5 2 】

バックライトユニット 8 0 0 7 は、光源 8 0 0 8 を有する。光源 8 0 0 8 は、バックライトユニット 8 0 0 7 の端部に設け、光拡散板を用いる構成としてもよい。

【 0 5 5 3 】

フレーム 8 0 0 9 は、表示パネルセル 8 0 0 6 の保護機能の他、プリント基板 8 0 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 9 は、放熱板としての機能を有していてもよい。

【 0 5 5 4 】

プリント基板 8 0 1 0 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 1 1 による電源であってもよい。バッテリー 8 0 1 1 は、商用電源を用いる場合には、省略可能である。

【 0 5 5 5 】

また、表示モジュール 8 0 0 0 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【 0 5 5 6 】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 5 5 7 】

（実施の形態 1 3）

本実施の形態においては、電子機器の例について説明する。

【 0 5 5 8 】

図 5 3（A）乃至図 5 3（H）、図 5 4（A）乃至図 5 4（D）は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、L E

10

20

30

40

50

Ｄランプ５００４、操作キー５００５（電源スイッチ、又は操作スイッチを含む）、接続端子５００６、センサ５００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於て又は赤外線を測定する機能を含むもの）、マイクロフォン５００８、等を有することができる。

【０５５９】

図５３（Ａ）はモバイルコンピュータであり、上述したものの他に、スイッチ５００９、赤外線ポート５０１０、等を有することができる。図５３（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図５３（Ｃ）はゴーグル型ディスプレイであり、上述したものの他に、第２表示部５００２、支持部５０１２、イヤホン５０１３、等を有することができる。図５３（Ｄ）は携帯型遊技機であり、上述したものの他に、記録媒体読込部５０１１、等を有することができる。図５３（Ｅ）はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ５０１４、シャッターボタン５０１５、受像部５０１６、等を有することができる。図５３（Ｆ）は携帯型遊技機であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図５３（Ｇ）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図５３（Ｈ）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器５０１７、等を有することができる。図５４（Ａ）はディスプレイであり、上述したものの他に、支持台５０１８、等を有することができる。図５４（Ｂ）はカメラであり、上述したものの他に、外部接続ポート５０１９、シャッターボタン５０１５、受像部５０１６、等を有することができる。図５４（Ｃ）はコンピュータであり、上述したものの他に、ポインティングデバイス５０２０、外部接続ポート５０１９、リーダ／ライタ５０２１、等を有することができる。図５４（Ｄ）は携帯電話機であり、上述したものの他に、送信部、受信部、携帯電話・移動端末向けの１セグメント部分受信サービス用チューナ、等を有することができる。

【０５６０】

図５３（Ａ）乃至図５３（Ｈ）、図５４（Ａ）乃至図５４（Ｄ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図５３（Ａ）乃至図５３（Ｈ）、図５４（Ａ）乃至図５４（Ｄ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【０５６１】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【０５６２】

次に、表示装置の応用例を説明する。

【０５６３】

図５４（Ｅ）に、表示装置を、建造物と一体にして設けた例について示す。図５４（Ｅ）は、筐体５０２２、表示部５０２３、操作部であるリモコン装置５０２４、スピーカ５

025等を含む。表示装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0564】

図54(F)に、建造物内に表示装置を、建造物と一体にして設けた別の例について示す。表示モジュール5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示モジュール5026の視聴が可能になる。

【0565】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に表示装置を設置することができる。

【0566】

次に、表示装置を、移動体と一体にして設けた例について示す。

【0567】

図54(G)は、表示装置を、自動車に設けた例について示した図である。表示モジュール5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0568】

図54(H)は、表示装置を、旅客用飛行機と一体にして設けた例について示した図である。図54(H)は、旅客用飛行機の座席上部の天井5030に表示モジュール5031を設けたときの、使用時の形状について示した図である。表示モジュール5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示モジュール5031の視聴が可能になる。表示モジュール5031は乗客が操作することで情報を表示する機能を有する。

【0569】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車(自動車、バス等を含む)、電車(モノレール、鉄道等を含む)、船舶等、様々なものに設置することができる。

【0570】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子(トランジスタ、ダイオードなど)、配線、受動素子(容量素子、抵抗素子など)、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個(Nは整数)の回路素子(トランジスタ、容量素子等)を有して構成される回路図から、M個(Mは整数で、 $M < N$)の回路素子(トランジスタ、容量素子等)を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個(Nは整数)の層を有して構成される断面図から、M個(Mは整数で、 $M < N$)の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個(Nは整数)の要素を有して構成されるフローチャートから、M個(Mは整数で、 $M < N$)の要素を抜き出して、発明の一態様を構成することは可能である。

【0571】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

20

30

40

50

【 0 5 7 2 】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【 0 5 7 3 】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

10

【実施例 1】

【 0 5 7 4 】

本実施例では、半導体層、及び酸化物積層の抵抗について、図 5 5 及び図 5 6 を用いて説明する。

【 0 5 7 5 】

はじめに、試料の構造について図 5 5 を用いて説明する。

【 0 5 7 6 】

図 5 5 (A) は、試料 1 乃至試料 4 の上面図であり、一点破線 A 5 - A 6 の断面図を図 5 5 (B)、(C)、(D) に示す。なお、試料 1 至試料 4 は、上面図が同一であり、断面の積層構造が異なるため、断面図が異なる。試料 1 の断面図を図 5 5 (B) に、試料 2 の断面図を図 5 5 (C) に、試料 3 及び試料 4 の断面図を図 5 5 (D) に、それぞれ示す。

20

【 0 5 7 7 】

試料 1 は、ガラス基板 1 9 0 1 上に絶縁層 1 9 0 3 が形成され、絶縁層 1 9 0 3 上に絶縁層 1 9 0 4 が形成され、絶縁層 1 9 0 4 上に半導体層 1 9 0 5 が形成される。また、半導体層 1 9 0 5 の両端を電極として機能する導電層 1 9 0 7、1 9 0 9 が覆い、半導体層 1 9 0 5 及び導電層 1 9 0 7、1 9 0 9 を絶縁層 1 9 1 0、1 9 1 1 が覆う。なお、絶縁層 1 9 1 0、1 9 1 1 には、開口部 1 9 1 3、1 9 1 5 が設けられており、それぞれ当該開口部において、導電層 1 9 0 7、1 9 0 9 が露出している。

【 0 5 7 8 】

30

試料 2 は、ガラス基板 1 9 0 1 上に絶縁層 1 9 0 3 が形成され、絶縁層 1 9 0 3 上に絶縁層 1 9 0 4 が形成され、絶縁層 1 9 0 4 上に半導体層 1 9 0 5 が形成される。また、半導体層 1 9 0 5 の両端を電極として機能する導電層 1 9 0 7、1 9 0 9 が覆い、半導体層 1 9 0 5 及び導電層 1 9 0 7、1 9 0 9 を絶縁層 1 9 1 1 が覆う。なお、絶縁層 1 9 1 1 には、開口部 1 9 1 7、1 9 1 9 が設けられており、それぞれ当該開口部において、導電層 1 9 0 7、1 9 0 9 が露出している。

【 0 5 7 9 】

試料 3 及び試料 4 は、ガラス基板 1 9 0 1 上に絶縁層 1 9 0 3 が形成され、絶縁層 1 9 0 3 上に絶縁層 1 9 0 4 が形成され、絶縁層 1 9 0 4 上に酸化物積層 1 9 0 6 が形成される。また、酸化物積層 1 9 0 6 の両端を電極として機能する導電層 1 9 0 7、1 9 0 9 が覆い、酸化物積層 1 9 0 6 及び導電層 1 9 0 7、1 9 0 9 を絶縁層 1 9 1 1 が覆う。なお、絶縁層 1 9 1 1 には、開口部 1 9 1 7、1 9 1 9 が設けられており、それぞれ当該開口部において、導電層 1 9 0 7、1 9 0 9 が露出している。

40

【 0 5 8 0 】

このように、試料 1 乃至試料 4 は、半導体層 1 9 0 5、または酸化物積層 1 9 0 6 上に接する絶縁層の構造が異なる。試料 1 は、半導体層 1 9 0 5 と絶縁層 1 9 1 0 が接しており、試料 2 は、半導体層 1 9 0 5 と絶縁層 1 9 1 1 が接しており、試料 3 及び試料 4 は、酸化物積層 1 9 0 6 と絶縁層 1 9 1 1 が接している。

【 0 5 8 1 】

次に、各試料の作製方法について説明する。

50

【 0 5 8 2 】

はじめに、試料 1 の作製方法について説明する。

【 0 5 8 3 】

ガラス基板 1 9 0 1 上に、絶縁層 1 9 0 3 として、P E - C V D 法により厚さ 4 0 0 n m の窒化シリコン膜を成膜した。

【 0 5 8 4 】

次に、絶縁層 1 9 0 3 上に、絶縁層 1 9 0 4 として、P E - C V D 法により厚さ 5 0 n m の酸化窒化シリコン膜を成膜した。

【 0 5 8 5 】

次に、絶縁層 1 9 0 4 上に、半導体層 1 9 0 5 として、金属酸化物ターゲット (I n : G a : Z n = 1 : 1 : 1) を用い、スパッタリング法により厚さ 3 5 n m の I G Z O 膜 (I n - G a - Z n 酸化物膜 (以下、I G Z O 膜ともいう。) を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、半導体層 1 9 0 5 を形成した。

10

【 0 5 8 6 】

次に、絶縁層 1 9 0 4 及び半導体層 1 9 0 5 上に、スパッタリング法により厚さ 5 0 n m のタングステン膜、厚さ 4 0 0 n m のアルミニウム膜、及び厚さ 1 0 0 n m のチタン膜を順に積層した後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、導電層 1 9 0 7 及び導電層 1 9 0 9 を形成した。

【 0 5 8 7 】

20

次に、絶縁層 1 9 0 4、半導体層 1 9 0 5、導電層 1 9 0 7、及び導電層 1 9 0 9 上に、絶縁層 1 9 1 0 として、P E - C V D 法により厚さ 4 5 0 n m の酸化窒化シリコン膜を成膜した後、3 5 0 の窒素及び酸素の混合雰囲気中で 1 時間の加熱処理を行った。

【 0 5 8 8 】

次に、絶縁層 1 9 1 0 上に、絶縁層 1 9 1 1 として、P E - C V D 法により厚さ 5 0 n m の窒化シリコン膜を成膜した。

【 0 5 8 9 】

次に、絶縁層 1 9 1 1 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁層 1 9 1 0、及び絶縁層 1 9 1 1 に開口部 1 9 1 3、1 9 1 5 を形成した。

30

【 0 5 9 0 】

以上の工程により試料 1 を作製した。

【 0 5 9 1 】

次に、試料 2 の作製方法について説明する。

【 0 5 9 2 】

試料 1 の絶縁層 1 9 0 3、半導体層 1 9 0 5、導電層 1 9 0 7、及び導電層 1 9 0 9 上に、絶縁層 1 9 1 0 として、P E - C V D 法により厚さ 4 5 0 n m の酸化窒化シリコン膜を成膜した後、3 5 0 の窒素及び酸素の混合雰囲気中で 1 時間の加熱処理を行った。その後、絶縁層 1 9 1 0 の除去を行った。

【 0 5 9 3 】

40

次に、絶縁層 1 9 0 4、半導体層 1 9 0 5、導電層 1 9 0 7、及び導電層 1 9 0 9 上に、絶縁層 1 9 1 1 として、P E - C V D 法により厚さ 5 0 n m の窒化シリコン膜を成膜した。

【 0 5 9 4 】

次に、絶縁層 1 9 1 1 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁層 1 9 1 1 に開口部 1 9 1 7、1 9 1 9 を形成した。

【 0 5 9 5 】

以上の工程により試料 2 を作製した。

【 0 5 9 6 】

次に、試料 3 の作製方法について、説明する。

50

【0597】

試料3は、試料2の半導体層1905の代わりに、酸化物積層1906と用いた。酸化物積層1906としては、絶縁層1904上に、金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、酸化物積層1906を形成した。

【0598】

10

以上の工程により試料3を作製した。

【0599】

次に、試料4の作製方法について、説明する。

【0600】

試料4は、試料2の半導体層1905の代わりに、酸化物積層1906と用いた。酸化物積層1906としては、絶縁層1904上に、金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、スパッタリング法により厚さ20nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、スパッタリング法により厚さ15nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、分離された酸化物積層1906を形成した。

20

【0601】

以上の工程により試料4を作製した。

【0602】

次に、試料1乃至試料4に設けられた半導体層1905、及び酸化物積層1906のシート抵抗を測定した。試料1においては、開口部1913及び開口部1915にプローブを接触させ、半導体層1905のシート抵抗を測定した。また、試料2乃至試料4においては、開口部1917及び開口部1919にプローブを接触させ、半導体層1905、及び酸化物積層1906のシート抵抗を測定した。なお、試料1乃至試料4の半導体層1905、及び酸化物積層1906において、導電層1907及び導電層1909が対向する幅を1mm、距離を10 μ mとした。また、試料1乃至試料4において、導電層1907を接地電位とし、導電層1909に1Vを印加した。

30

【0603】

試料1乃至試料4のシート抵抗を図56に示す。

【0604】

試料1のシート抵抗は、約 $1 \times 10^{-1} \text{ } \Omega / \text{sq}$ であった。また、試料2のシート抵抗は、 $2620 \text{ } \Omega / \text{sq}$ であった。また、試料3のシート抵抗は、 $4410 \text{ } \Omega / \text{sq}$ であった。また、試料4のシート抵抗は、 $2930 \text{ } \Omega / \text{sq}$ であった。

【0605】

40

このように、半導体層1905、及び酸化物積層1906に接する絶縁層の違いにより、半導体層1905、及び酸化物積層1906のシート抵抗は、異なる値を示す。

【0606】

なお、上述した試料1乃至試料4のシート抵抗を抵抗率に換算した場合、試料1は、 $3.9 \times 10^{-5} \text{ } \Omega \cdot \text{cm}$ 、試料2は、 $9.3 \times 10^{-3} \text{ } \Omega \cdot \text{cm}$ 、試料3は、 $1.3 \times 10^{-2} \text{ } \Omega \cdot \text{cm}$ 、試料4は、 $1.3 \times 10^{-2} \text{ } \Omega \cdot \text{cm}$ であった。

【0607】

試料1は、半導体層1905上に接して絶縁層1910として用いる酸化窒化シリコン膜が形成されており、半導体層1905は、絶縁層1911として用いる窒化シリコン膜と離れて形成されている。一方、試料2乃至試料4は、半導体層1905、及び酸化物積

50

層 1906 上に接して絶縁層 1911 として用いる窒化シリコン膜が形成されている。このように、半導体層 1905、及び酸化物積層 1906 は、絶縁層 1911 として用いる窒化シリコン膜に接して設けると、半導体層 1905、及び酸化物積層 1906 に欠陥、代表的には酸素欠損が形成されると共に、該窒化シリコン膜に含まれる水素が、半導体層 1905、及び酸化物積層 1906 へ移動または拡散し導電性が向上する。

【0608】

例えば、トランジスタのチャネル形成領域に酸化物半導体層を用いる場合、試料 1 に示すように酸化物半導体層に接して酸化窒化シリコン膜を設ける構成が好ましい。また、抵抗素子、または容量素子の電極に用いる半導体層としては、試料 2 乃至試料 4 に示すように酸化物半導体層または酸化物積層に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いる酸化物半導体層または酸化物積層と、抵抗素子または容量素子の電極に用いる酸化物半導体層または酸化物積層と、を同一工程で作製しても酸化物半導体層、及び酸化物積層の抵抗率を変えることができる。

【0609】

上述の試料 1 乃至試料 4 の測定結果より、酸化物半導体層または酸化物積層を、抵抗素子として用いる場合、トランジスタのチャネル形成領域に用いる酸化物半導体層または酸化物積層よりも抵抗率が低ければよく、好ましくは抵抗率が $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-4} \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-1} \text{ cm}$ 未満であるとよい。

【0610】

本実施例に示す構成は、他の実施の形態、または実施例に示す構成と適宜組み合わせることができる。

【実施例 2】

【0611】

本実施例は、酸化物半導体層と、酸化物半導体層上に形成された絶縁層との不純物分析について、図 57 を用いて説明する。

【0612】

本実施例においては、不純物分析用のサンプルとして、2 種類のサンプル（以下、試料 5、及び試料 6）を作製した。

【0613】

まず、はじめに試料 5 の作製方法を以下に示す。

【0614】

試料 5 は、ガラス基板上に IGZO 膜を成膜し、その後窒化シリコン膜を成膜した。その後、窒素雰囲気下で 450、1 時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気（窒素 = 80%、酸素 = 20%）下で 450、1 時間の熱処理を行った。

【0615】

なお、IGZO 膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット（In : Ga : Zn = 1 : 1 : 1）を用い、 $\text{Ar} / \text{O}_2 = 100 / 100 \text{ sccm}$ （ $\text{O}_2 = 50\%$ ）、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 170 の条件で 100 nm の厚さ IGZO 膜を成膜した。

【0616】

また、窒化シリコン膜の成膜条件としては、PE-CVD 法にて、 $\text{SiH}_4 / \text{N}_2 / \text{NH}_3 = 50 / 5000 / 100 \text{ sccm}$ 、圧力 = 100 Pa、成膜電力 = 1000 W、基板温度 = 220 の条件で 100 nm の厚さの窒化シリコン膜を成膜した。

【0617】

次に、試料 6 の作製方法を以下に示す。

【0618】

ガラス基板上に IGZO 膜を成膜し、その後酸化窒化シリコン膜と窒化シリコン膜との積層膜を成膜した。その後、窒素雰囲気下で 450、1 時間の熱処理を行い、続けて窒

素と酸素の混合ガス雰囲気（窒素 = 80%、酸素 = 20%）下で450、1時間の熱処理を行った。

【0619】

なお、IGZO膜の成膜条件、及び窒化シリコン膜の成膜条件としては、試料5と同様の条件を用いた。また、酸化窒化シリコン膜の成膜条件としては、PE-CVD法にて、 $\text{SiH}_4/\text{N}_2\text{O} = 30/4000 \text{ sccm}$ 、圧力 = 40 Pa、成膜電力 = 150 W、基板温度 = 220 の条件で50 nmの厚さの酸化窒化シリコン膜を成膜し、その後、PE-CVD法にて、 $\text{SiH}_4/\text{N}_2\text{O} = 160/4000 \text{ sccm}$ 、圧力 = 200 Pa、成膜電力 = 1500 W、基板温度 = 220 の条件で400 nmの厚さの酸化窒化シリコン膜を成膜した。

10

【0620】

試料5及び試料6の不純物分析結果を図57に示す。

【0621】

なお、不純物分析としては、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）を用い、図57に示す矢印の方向から分析を行った。すなわち、ガラス基板側からの測定である。

【0622】

また、図57（A）は、試料5の測定により得られた水素（H）の濃度プロファイルである。図57（B）は、試料6の測定により得られた水素（H）の濃度プロファイルである。

20

【0623】

図57（A）よりIGZO膜中の水素（H）濃度は、 $1.0 \times 10^{20} \text{ atoms/cm}^3$ であることがわかる。また、窒化シリコン膜中の水素（H）濃度は、 $1.0 \times 10^{23} \text{ atoms/cm}^3$ であることがわかる。また、図57（B）よりIGZO膜中の水素（H）濃度は、 $5.0 \times 10^{19} \text{ atoms/cm}^3$ であることがわかる。また、酸化窒化シリコン膜中の水素（H）濃度は、 $3.0 \times 10^{21} \text{ atoms/cm}^3$ であることがわかる。

【0624】

なお、SIMS分析は、その測定原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素（H）の厚さ方向の分布を、SIMSで分析する場合、対象となる膜の存在する範囲において、極端な変動が無く、ほぼ一定の強度が得られる領域における平均値を採用する。

30

【0625】

このように、IGZO膜に接する絶縁層の構成を変えることにより、IGZO膜中の水素（H）濃度に差が確認された。

【0626】

例えば、トランジスタのチャネル形成領域に上述したIGZO膜を用いる場合、試料6に示すようにIGZO膜に接して酸化窒化シリコン膜を設ける構成が好ましい。また、抵抗素子、または容量素子の電極に用いる半導体層としては、試料5に示すようにIGZO膜に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いるIGZO膜と、抵抗素子、または容量素子の電極に用いるIGZO膜と、を同一工程で作製してもIGZO膜中の水素濃度を変えることができる。

40

【0627】

本実施例に示す構成は、他の実施の形態、または実施例に示す構成と適宜組み合わせることができる。

【実施例3】

【0628】

本実施例では、酸化物半導体膜及び酸化物積層の欠陥量について、図58および図59

50

を用いて説明する。

【0629】

はじめに、各試料の構造について説明する。

【0630】

試料7は、石英基板上に形成された厚さ35nmの酸化物半導体膜と、酸化物半導体膜上に形成された厚さ100nmの窒化絶縁膜とを有する。

【0631】

試料8及び試料9は、石英基板上に形成された厚さ30nmの酸化物積層と、酸化物積層上に形成された厚さ100nmの窒化絶縁膜とを有する。なお、試料8の酸化物積層は、厚さ10nmの第1の酸化物膜、厚さ10nmの酸化物半導体膜、及び厚さ10nmの第2の酸化物膜が順に積層されている。また、試料9は、厚さ20nmの第1の酸化物膜、厚さ15nmの酸化物半導体膜、及び厚さ10nmの第2の酸化物膜が順に積層されている。試料8及び試料9は、試料7と比較して、酸化物半導体膜の代わりに酸化物積層を有する点異なる。

【0632】

試料10は、石英基板上に形成された厚さ100nmの酸化物半導体膜と、酸化物半導体膜上に形成された厚さ250nmの酸化絶縁膜と、酸化絶縁膜上に形成された厚さ100nmの窒化絶縁膜とを有する。試料10は、試料7乃至試料9と比較して酸化物半導体膜が窒化絶縁膜と接しておらず、酸化絶縁膜と接している点異なる。

【0633】

次に、各試料の作製方法について説明する。

【0634】

はじめに、試料7の作製方法について説明する。

【0635】

石英基板上に、酸化物半導体膜として厚さ35nmのIGZO膜を成膜した。IGZO膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、Ar/O₂=100sccm/100sccm(O₂=50%)、圧力=0.6Pa、成膜電力=5000W、基板温度=170の条件を用いた。

【0636】

次に、第1の加熱処理として、450の窒素雰囲気中で1時間の加熱処理を行った後、450の窒素と酸素の混合ガス雰囲気(窒素=80%、酸素=20%)で1時間の加熱処理を行った。

【0637】

次に、酸化物半導体膜上に、窒化絶縁膜として厚さ100nmの窒化シリコン膜を成膜した。窒化シリコン膜の成膜条件としては、PE-CVD法にて、SiH₄/N₂/NH₃=50/5000/100sccm、圧力=100Pa、成膜電力=1000W、基板温度=350の条件を用いた。

【0638】

次に、第2の加熱処理として、250の窒素雰囲気中で1時間の加熱処理を行った。

【0639】

以上の工程により試料7を作製した。

【0640】

次に、試料8の作製方法について説明する。

【0641】

試料8は、試料7の酸化物半導体膜の代わりに、酸化物積層を形成した。酸化物積層としては、石英基板上に、スパッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、Ar/O₂=180/20sccm(O₂=10%)、圧力=0.6Pa、成膜電力=5000W、基板温度=25の条件で厚さ10nmの第1の酸化物膜を成膜した。次に、スパッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、Ar/O₂=100/100sccm(O₂=50%)、圧

力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 170 の条件で厚さ 10 nm の酸化物半導体膜を成膜した。次に、スパッタリング法にて、金属酸化物ターゲット (In : Ga : Zn = 1 : 3 : 2) を用い、Ar / O₂ = 180 / 20 sccm (O₂ = 10%)、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 25 の条件で厚さ 10 nm の第 2 の酸化物膜を成膜した。

【0642】

その他の工程は、試料 7 と同様である。以上の工程により試料 8 を形成した。

【0643】

次に、試料 9 の作製方法について説明する。

【0644】

試料 9 は、試料 7 の酸化物半導体膜の代わりに、酸化物積層を形成した。酸化物積層としては、石英基板上に、試料 8 に示す第 1 の酸化物膜と同じ条件を用いて、厚さ 20 nm の第 1 の酸化物膜を成膜した。次に、スパッタリング法にて、試料 8 に示す酸化物半導体膜と同じ条件を用いて、厚さ 15 nm の酸化物半導体膜を成膜した。次に、試料 8 に示す第 2 の酸化物膜と同じ条件を用いて、厚さ 10 nm の第 2 の酸化物膜を成膜した。

【0645】

その他の工程は、試料 7 と同様である。以上の工程により試料 9 を形成した。

【0646】

次に、試料 10 の作製方法について説明する。

【0647】

試料 10 は、試料 7 と同じ条件を用いて石英基板上に厚さ 100 nm の酸化物半導体膜を形成した。

【0648】

次に、試料 7 と同様の条件を用いて、第 1 の加熱処理を行った。

【0649】

次に、酸化物半導体膜上に、酸化絶縁膜として、厚さ 50 nm の第 1 の酸化窒化シリコン膜及び厚さ 200 nm の第 2 の酸化窒化シリコン膜を形成した。ここでは、PE-CVD 法にて、SiH₄ / N₂O = 30 / 4000 sccm、圧力 = 40 Pa、成膜電力 = 150 W、基板温度 = 220 の条件で 50 nm の厚さの第 1 の酸化窒化シリコン膜を成膜し、その後、PE-CVD 法にて、SiH₄ / N₂O = 160 / 4000 sccm、圧力 = 200 Pa、成膜電力 = 1500 W、基板温度 = 220 の条件で 200 nm の厚さの第 2 の酸化窒化シリコン膜を成膜した。なお、第 2 の酸化窒化シリコン膜は、化学量論的組成を満たす酸素よりも多くの酸素を含む膜である。

【0650】

次に、試料 7 と同じ条件を用いて、酸化絶縁膜上に厚さ 100 nm の窒化シリコン膜を形成した。

【0651】

次に、試料 7 と同様の条件を用いて、第 2 の加熱処理を行った。

【0652】

以上の工程により試料 10 を形成した。

【0653】

次に、試料 7 乃至試料 10 について ESR 測定を行った。ESR 測定は、所定の温度で、マイクロ波の吸収の起こる磁場の値 (H₀) から、式 $g = h\nu / H_0$ 、を用いて g 値というパラメータが得られる。なお、 ν はマイクロ波の周波数である。h はプランク定数であり、 μ_B はボーア磁子であり、どちらも定数である。

【0654】

ここでは、下記の条件で ESR 測定を行った。測定温度を室温 (25) とし、8.92 GHz の高周波電力 (マイクロ波パワー) を 20 mW とし、磁場の向きは作製した試料の膜表面と平行とした。

【0655】

10

20

30

40

50

試料 7 乃至試料 9 に含まれる酸化物半導体膜及び酸化物積層を ESR 測定して得られた一次微分曲線を図 5 8 に示す。図 5 8 (A) は、試料 7 の測定結果であり、図 5 8 (B) は、試料 8 の測定結果であり、図 5 8 (C) は、試料 9 の測定結果である。

【 0 6 5 6 】

試料 1 0 に含まれる酸化物半導体膜を ESR 測定して得られた一次微分曲線を図 5 9 に示す。

【 0 6 5 7 】

図 5 8 (A) 乃至図 5 8 (C) において、試料 7 は、 g 値が 1 . 9 3 において、酸化物半導体膜中の欠陥に起因する対称性を有する信号が検出されている。試料 8 及び試料 9 は、 g 値が 1 . 9 5 において、酸化物積層中の欠陥に起因する対称性を有する信号が検出されている。試料 7 における g 値が 1 . 9 3 のスピン密度は、 $2 . 5 \times 10^{19} \text{ spins / cm}^3$ であり、試料 8 における g 値が 1 . 9 3 及び 1 . 9 5 のスピン密度の総和は、 $1 . 6 \times 10^{19} \text{ spins / cm}^3$ であり、試料 9 における g 値が 1 . 9 3 及び 1 . 9 5 のスピン密度の総和は、 $2 . 3 \times 10^{19} \text{ spins / cm}^3$ であった。即ち、酸化物半導体膜及び酸化物積層には、欠陥が含まれることが分かる。なお、酸化物半導体膜及び酸化物積層の欠陥の一例としては酸素欠損がある。

【 0 6 5 8 】

図 5 9 において、試料 1 0 は、試料 7 乃至試料 9 と比較して、酸化物半導体膜の厚さが厚いにも関わらず、欠陥に起因する対称性を有する信号が検出されず、即ち、検出下限以下（ここでは、検出下限を $3 . 7 \times 10^{16} \text{ spins / cm}^3$ とする。）であった。このことから、酸化物半導体膜に含まれる欠陥量が検出できないことが分かる。

【 0 6 5 9 】

酸化物半導体膜または酸化物積層に窒化絶縁膜、ここでは P E - C V D で形成された窒化シリコン膜が接すると、酸化物半導体膜または酸化物積層に欠陥、代表的には酸素欠損が形成されることが分かる。一方、酸化物半導体膜に酸化絶縁膜、ここでは、酸化窒化シリコン膜を設けると、酸化窒化シリコン膜に含まれる過剰酸素、即ち化学量論的組成を満たす酸素よりも多くの酸素が酸化物半導体膜に拡散し、酸化物半導体膜中の欠陥が増加しない。

【 0 6 6 0 】

以上のことから、試料 7 乃至試料 9 に示すように、窒化絶縁膜に接する酸化物半導体膜または酸化物積層は欠陥、代表的には酸素欠損量が多く、導電性が高いため、抵抗素子または、容量素子の電極として用いることができる。一方、試料 1 0 に示すように、酸化絶縁膜に接する酸化物半導体膜または酸化物積層は、酸素欠損量が少なく、導電性が低いため、トランジスタのチャネル形成領域として用いることができる。

【 符号の説明 】

【 0 6 6 1 】

- 1 0 2 画素部
- 1 0 4 駆動回路部
- 1 0 4 a ゲートドライバ
- 1 0 4 b ソースドライバ
- 1 0 6 保護回路部
- 1 0 6 __ 1 保護回路部
- 1 0 6 __ 2 保護回路部
- 1 0 6 __ 3 保護回路部
- 1 0 6 __ 4 保護回路部
- 1 0 7 端子部
- 1 0 8 画素回路部
- 1 1 0 配線
- 1 1 2 配線
- 1 1 4 抵抗素子

10

20

30

40

50

1 1 6	トランジスタ	
1 3 1 _ 1	トランジスタ	
1 3 1 _ 2	トランジスタ	
1 3 1 _ 3	トランジスタ	
1 3 3 _ 1	容量素子	
1 3 3 _ 2	容量素子	
1 3 4	トランジスタ	
1 3 5	発光素子	
1 5 1	トランジスタ	
1 5 2	トランジスタ	10
1 5 3	トランジスタ	
1 5 4	トランジスタ	
1 5 5	トランジスタ	
1 5 5 A	トランジスタ	
1 5 5 B	トランジスタ	
1 5 6	トランジスタ	
1 5 6 A	トランジスタ	
1 5 6 B	トランジスタ	
1 5 7	トランジスタ	
1 5 7 A	トランジスタ	20
1 5 7 B	トランジスタ	
1 5 8	トランジスタ	
1 5 8 A	トランジスタ	
1 5 8 B	トランジスタ	
1 5 9	トランジスタ	
1 6 0	トランジスタ	
1 6 1	トランジスタ	
1 6 2	トランジスタ	
1 6 3	トランジスタ	
1 6 4	トランジスタ	30
1 6 5	トランジスタ	
1 6 6	トランジスタ	
1 7 1	抵抗素子	
1 7 2	抵抗素子	
1 7 3	抵抗素子	
1 7 4	抵抗素子	
1 7 4 A	抵抗素子	
1 7 4 B	抵抗素子	
1 7 5	抵抗素子	
1 7 5 A	抵抗素子	40
1 7 5 B	抵抗素子	
1 7 6	抵抗素子	
1 7 7	抵抗素子	
1 7 8	抵抗素子	
1 7 9	抵抗素子	
1 8 0	抵抗素子	
1 8 1	配線	
1 8 2	配線	
1 8 3	配線	
1 8 4	配線	50

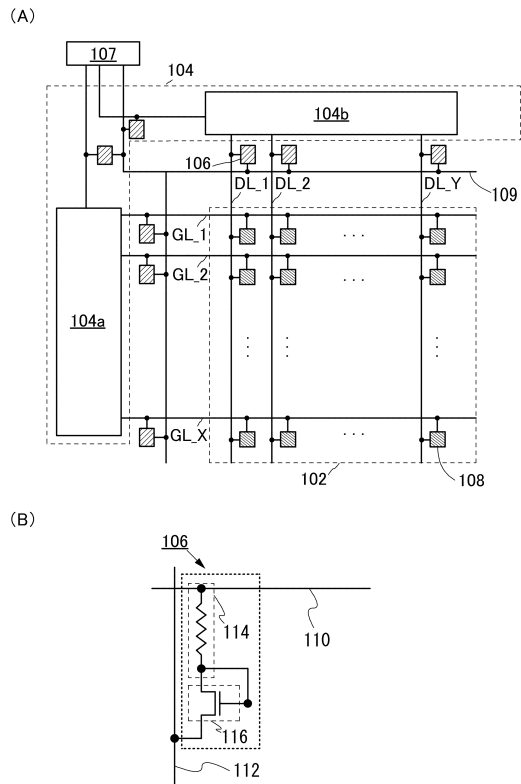
1 8 5	配線	
1 8 6	配線	
1 8 7	配線	
1 8 8	配線	
1 8 9	配線	
1 9 0	配線	
1 9 1	配線	
1 9 9	抵抗素子	
2 0 2	基板	
2 0 5	絶縁層	10
2 0 6	絶縁層	
2 0 8	半導体層	
2 0 9	開口部	
2 1 0 a	導電層	
2 1 0 b	導電層	
2 1 2	絶縁層	
2 1 4	絶縁層	
3 0 2	基板	
3 0 4 a	導電層	
3 0 4 b	導電層	20
3 0 4 c	導電層	
3 0 4 d	導電層	
3 0 5	絶縁層	
3 0 6	絶縁層	
3 0 7	半導体層	
3 0 8 a	半導体層	
3 0 8 b	半導体層	
3 0 8 c	半導体層	
3 0 8 d	半導体層	
3 0 9	導電層	30
3 1 0 a	導電層	
3 1 0 b	導電層	
3 1 0 c	導電層	
3 1 0 d	導電層	
3 1 0 e	導電層	
3 1 0 f	導電層	
3 1 0 g	導電層	
3 1 1	絶縁層	
3 1 2	絶縁層	
3 1 3	絶縁層	40
3 1 4	絶縁層	
3 1 5	導電層	
3 1 6 a	導電層	
3 1 6 b	導電層	
3 1 6 c	導電層	
3 1 8	配向膜	
3 2 0	液晶層	
3 2 2	液晶素子	
3 2 4	絶縁層	
3 4 2	基板	50

3 4 4	遮光層	
3 4 6	有色層	
3 4 8	絶縁層	
3 5 0	導電層	
3 5 2	配向膜	
3 6 2	開口部	
3 6 3	開口部	
3 6 4 a	開口部	
3 6 4 b	開口部	
3 6 4 c	開口部	10
3 7 2	開口部	
3 7 2 a	開口部	
3 7 2 b	開口部	
3 7 2 c	開口部	
3 7 2 d	開口部	
3 7 2 e	開口部	
3 7 4 a	開口部	
3 7 4 b	開口部	
3 7 4 c	開口部	
3 7 4 d	開口部	20
3 7 4 e	開口部	
3 7 6 a	開口部	
3 7 6 b	開口部	
3 8 0	酸化物積層	
3 8 0 a	酸化物半導体層	
3 8 0 b	酸化物層	
3 8 2	n 型領域	
3 8 2 a	開口部	
3 8 2 b	開口部	
3 8 2 c	開口部	30
3 8 4 a	開口部	
3 8 4 b	開口部	
3 8 4 c	開口部	
1 9 0 1	ガラス基板	
1 9 0 3	絶縁層	
1 9 0 4	絶縁層	
1 9 0 5	半導体層	
1 9 0 6	酸化物積層	
1 9 0 7	導電層	
1 9 0 9	導電層	40
1 9 1 0	絶縁層	
1 9 1 1	絶縁層	
1 9 1 3	開口部	
1 9 1 5	開口部	
1 9 1 7	開口部	
1 9 1 9	開口部	
2 0 0 0	装置	
2 1 0 0	基板	
2 1 0 1	ロード室	
2 1 0 2	アンロード室	50

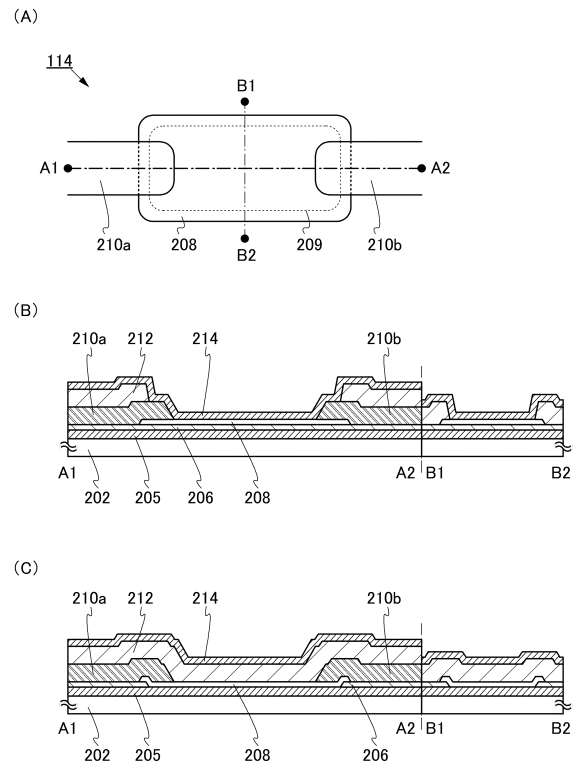
2 1 1 1	成膜室	
2 1 1 2	成膜室	
2 1 1 3	成膜室	
2 1 1 4	成膜室	
2 1 2 1	加熱室	
2 1 2 2	加熱室	
2 1 2 3	加熱室	
2 1 4 1	基板支持部	
2 1 4 3	移動手段	
2 1 5 0	成膜室	10
2 1 5 1	ターゲット	
2 1 5 3	防着板	
2 1 5 5	基板加熱手段	
2 1 5 7	圧力調整手段	
2 1 5 9	ガス導入手段	
2 1 6 1	ゲートバルブ	
2 1 7 0	加熱室	
2 1 7 1	ヒータ	
2 1 7 3	保護板	
4 5 0 0	タッチセンサ	20
4 5 1 0	導電層	
4 5 1 0 a	導電層	
4 5 1 0 b	導電層	
4 5 1 0 c	導電層	
4 5 2 0	導電層	
4 5 4 0	容量	
4 7 1 0	電極	
4 8 1 0	絶縁層	
4 8 2 0	絶縁層	
4 9 1 0	基板	30
4 9 2 0	基板	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	40
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	50

5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライター	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示モジュール	
5 0 2 7	ユニットバス	
5 0 2 8	表示モジュール	10
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示モジュール	
5 0 3 2	ヒンジ部	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	
8 0 0 5	F P C	20
8 0 0 6	表示パネルセル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

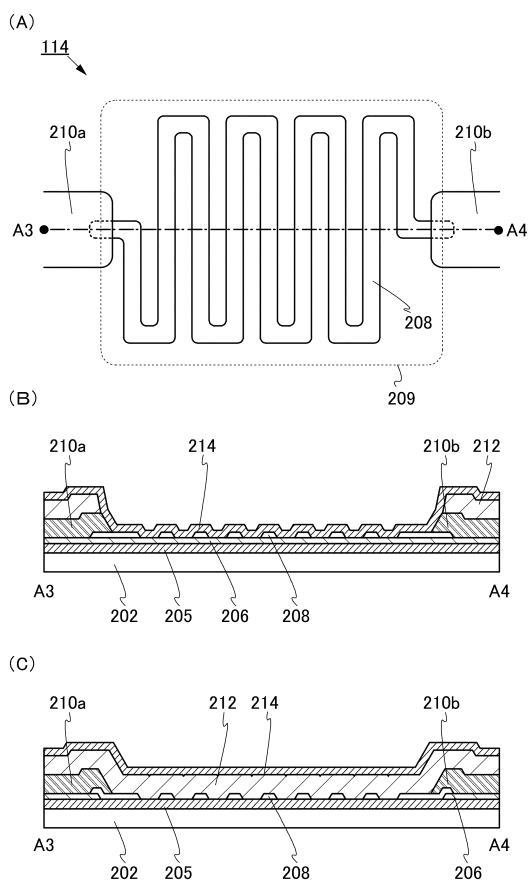
【図 1】



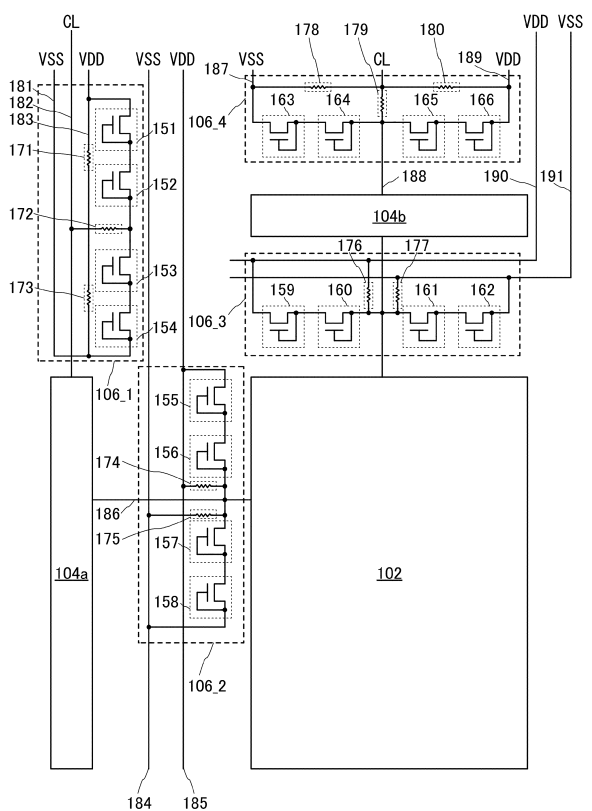
【図 2】



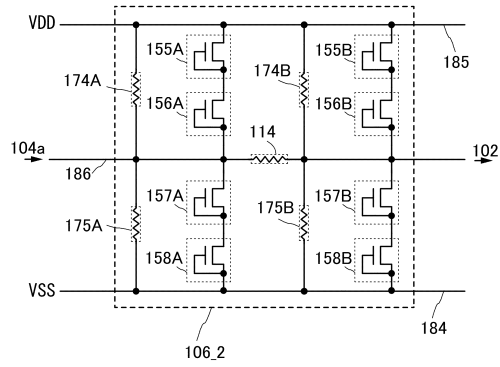
【図 3】



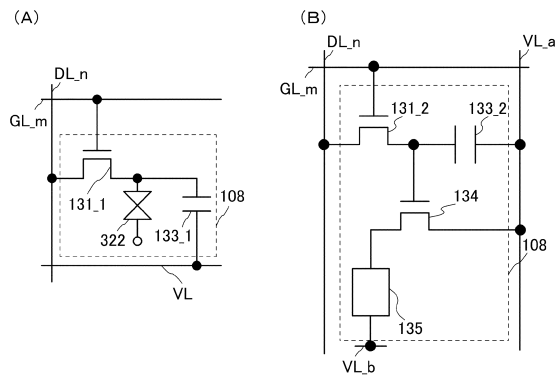
【図 4】



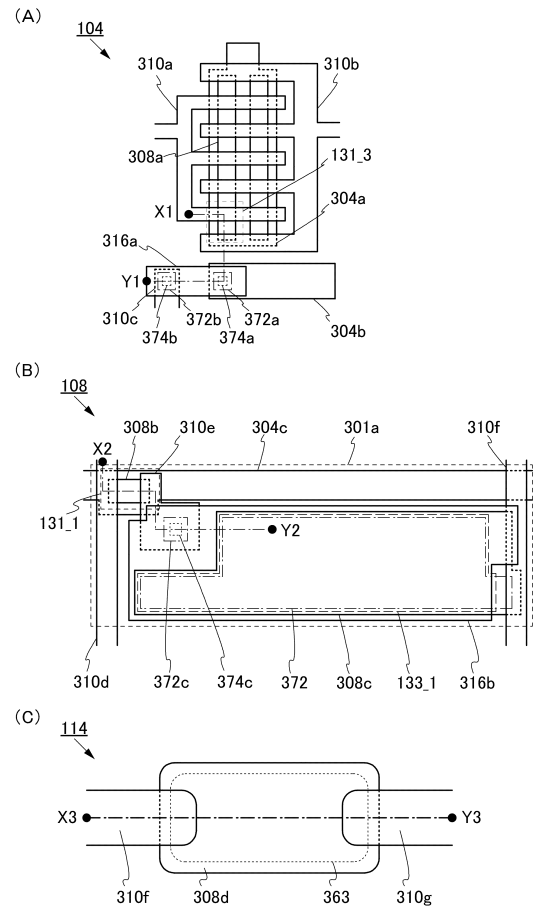
【図 5】



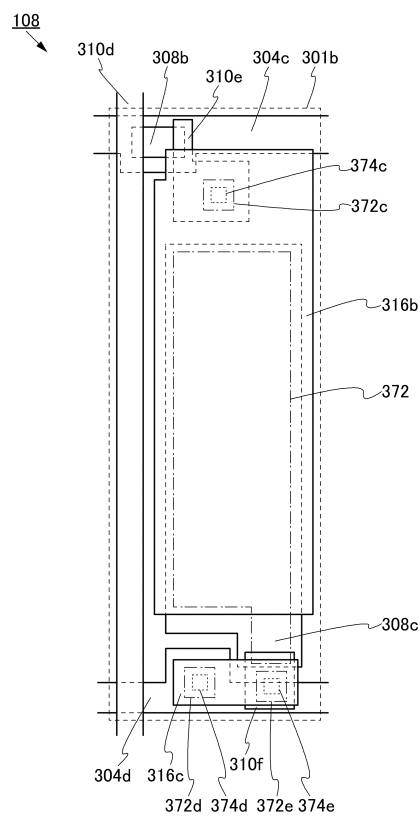
【図 6】



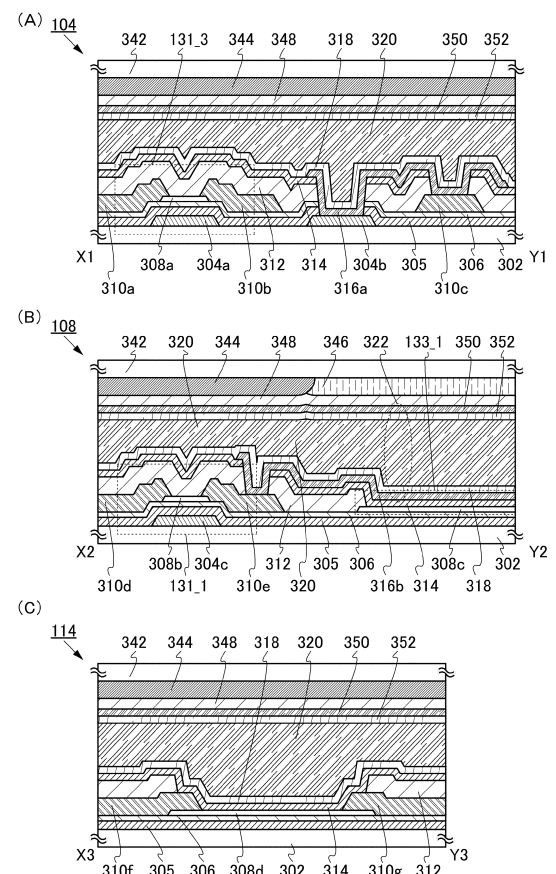
【図 7】



【図 8】

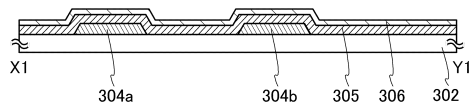


【図 9】

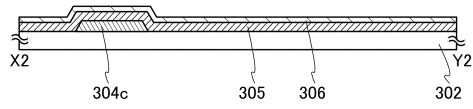


【図 10】

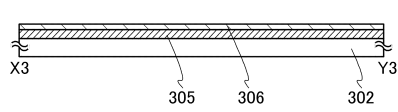
(A)



(B)

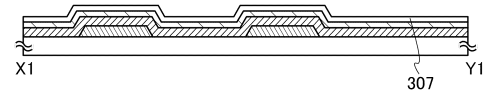


(C)

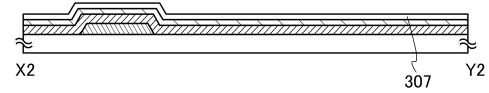


【図 11】

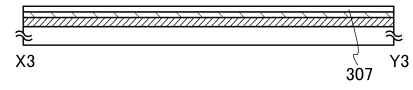
(A)



(B)

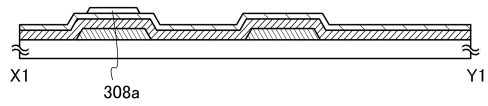


(C)

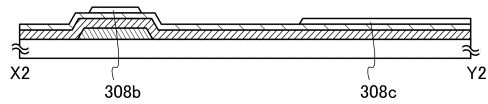


【図 12】

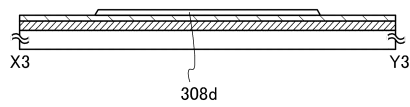
(A)



(B)

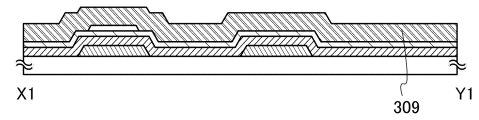


(C)

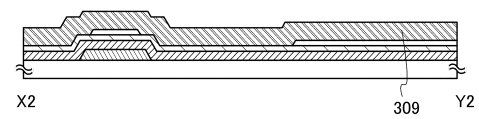


【図 13】

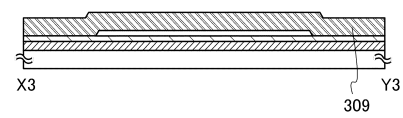
(A)



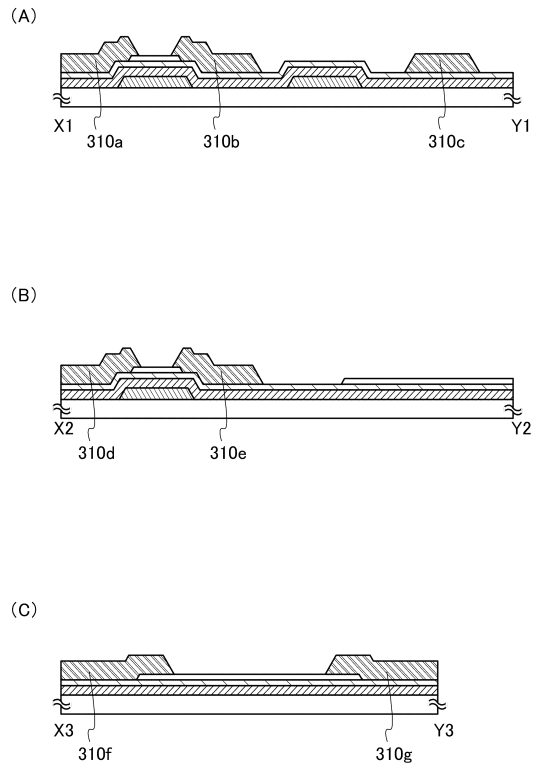
(B)



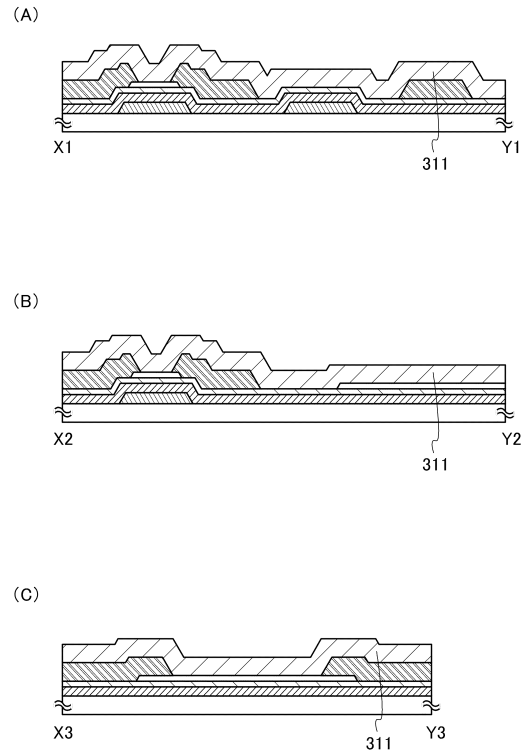
(C)



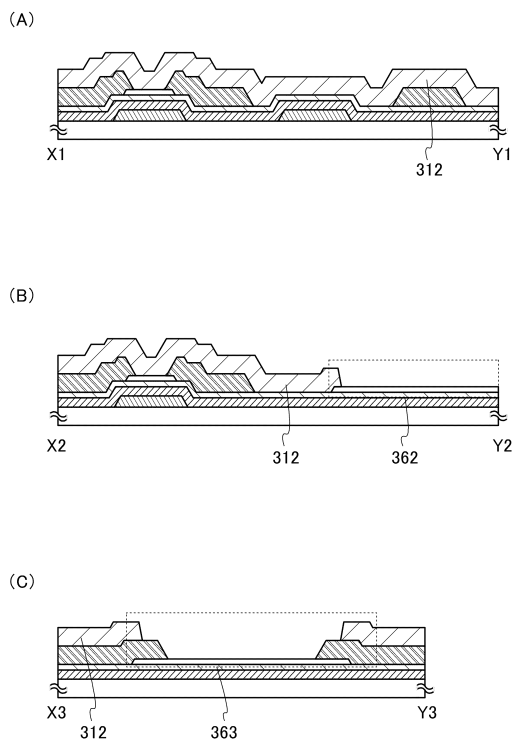
【図 14】



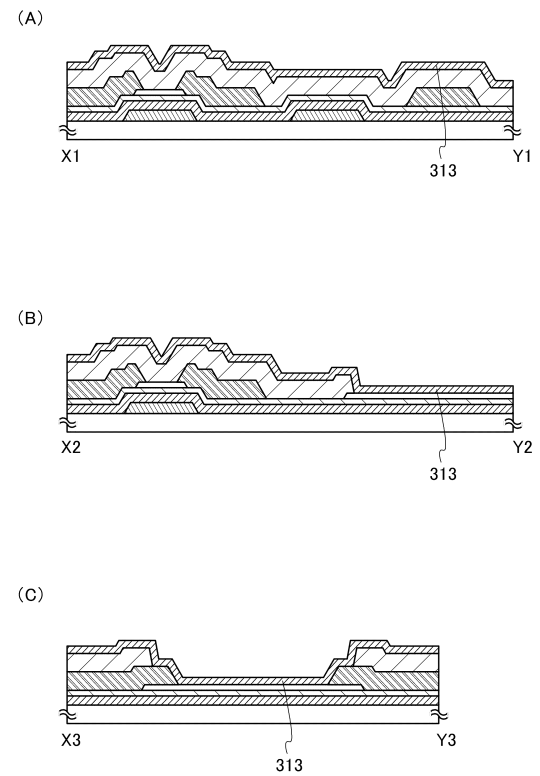
【図 15】



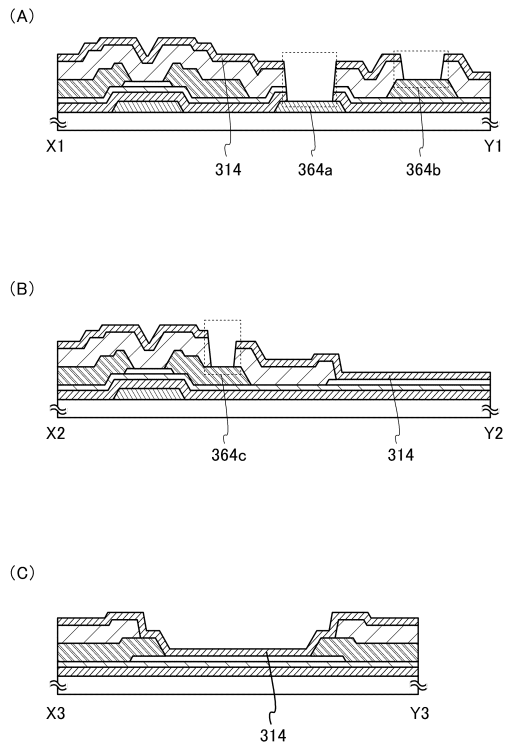
【図 16】



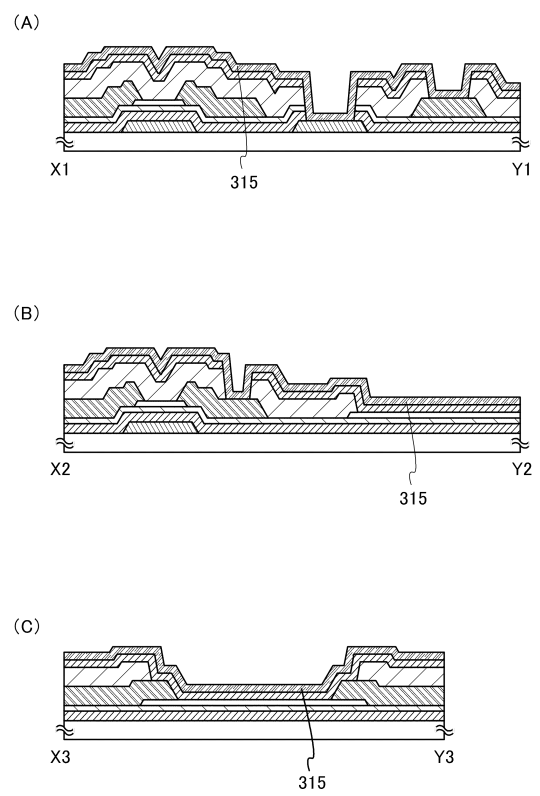
【図 17】



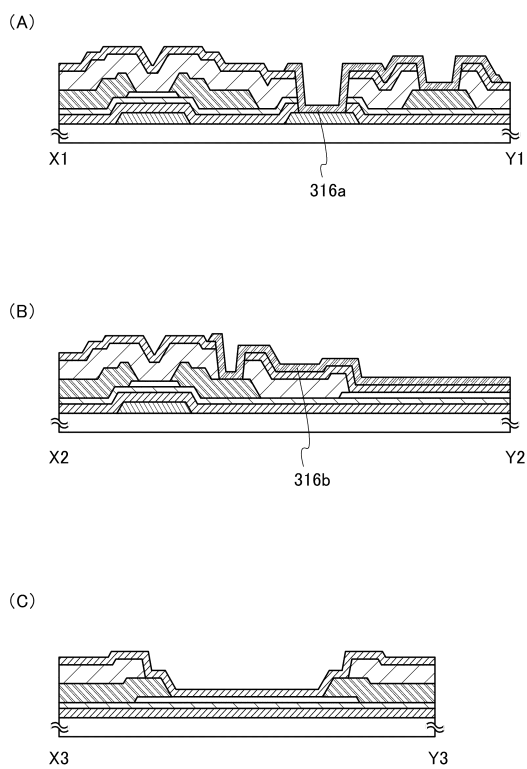
【図 18】



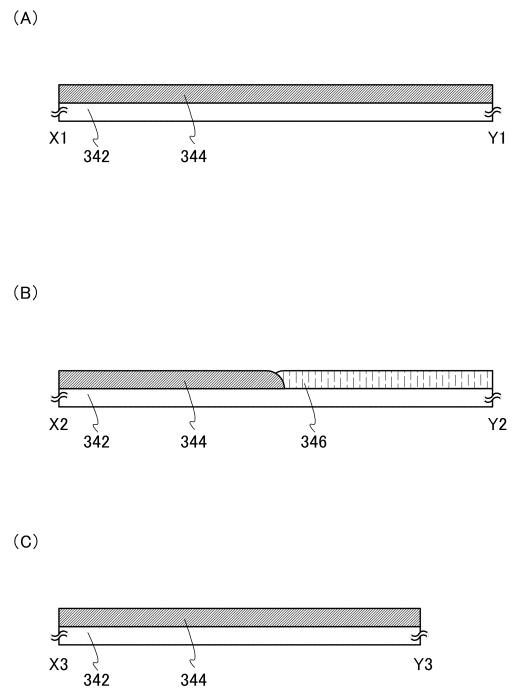
【図 19】



【図 20】

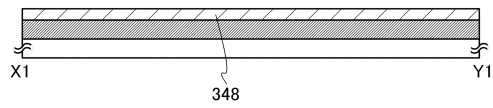


【図 21】

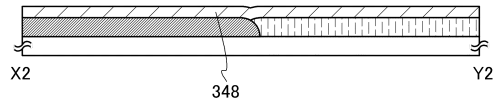


【図 2 2】

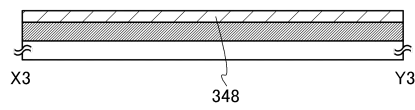
(A)



(B)

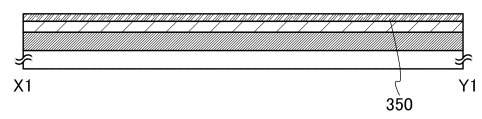


(C)

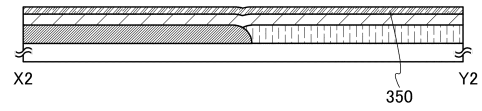


【図 2 3】

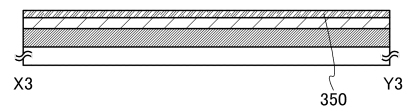
(A)



(B)

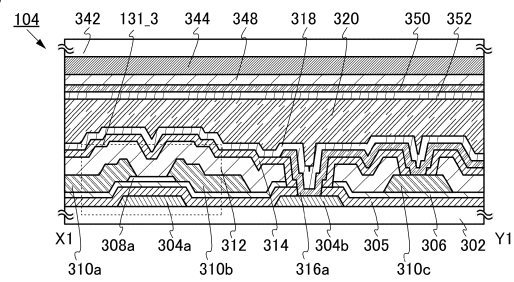


(C)

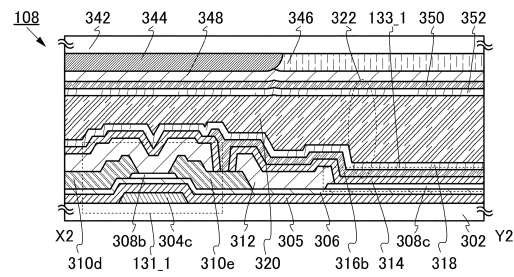


【図 2 4】

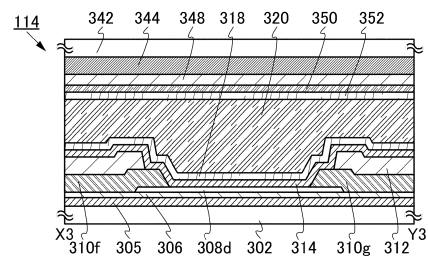
(A)



(B)

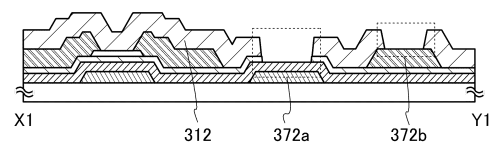


(C)

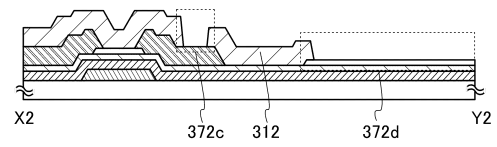


【図 2 5】

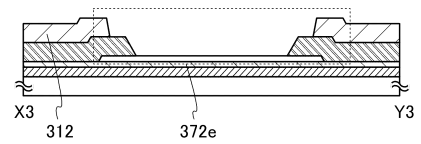
(A)



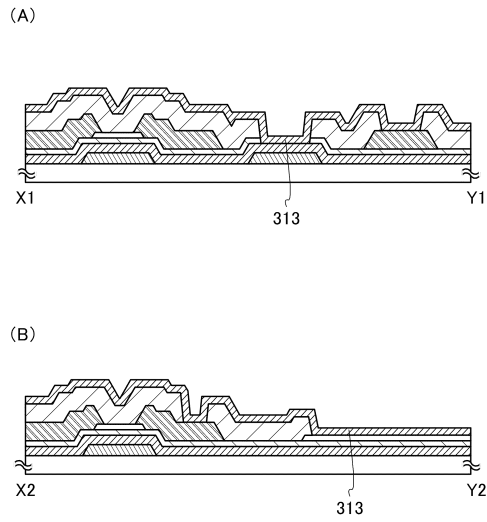
(B)



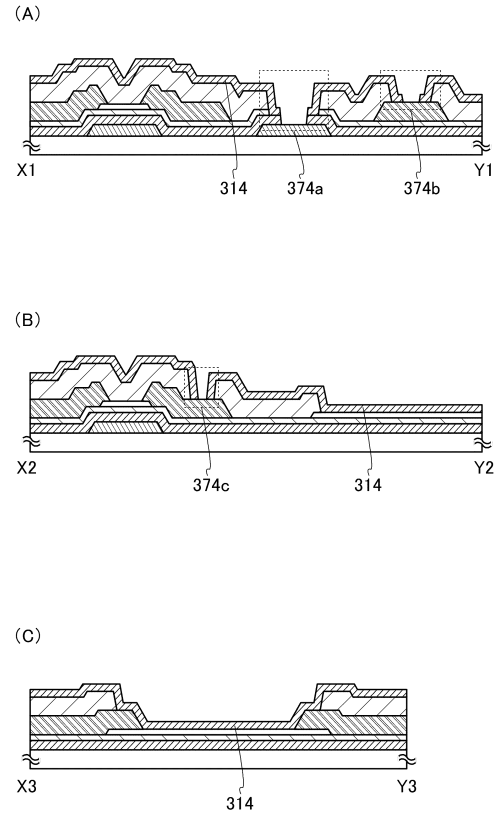
(C)



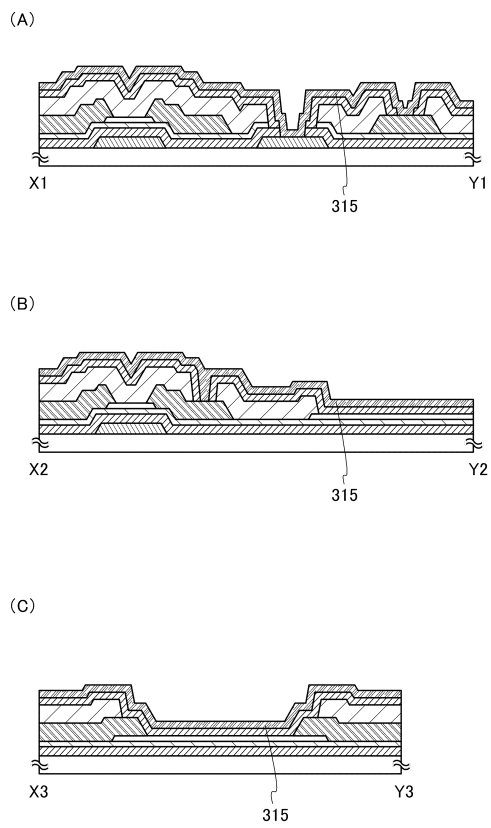
【図 26】



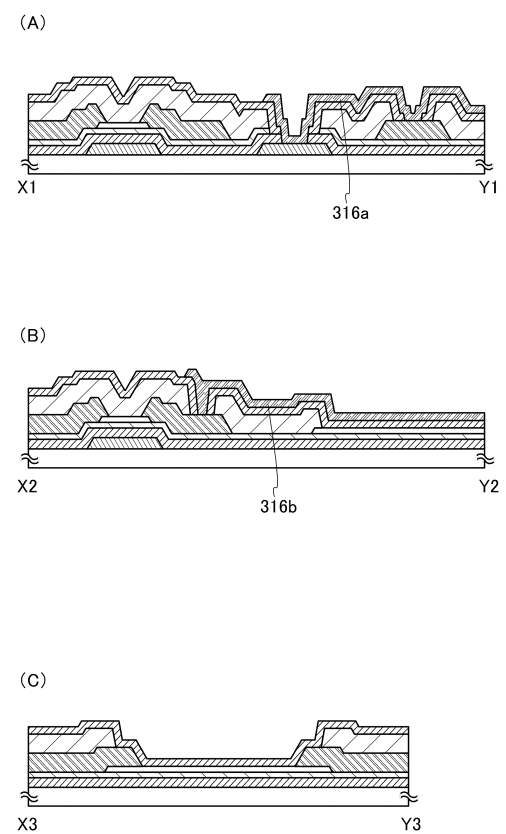
【図 27】



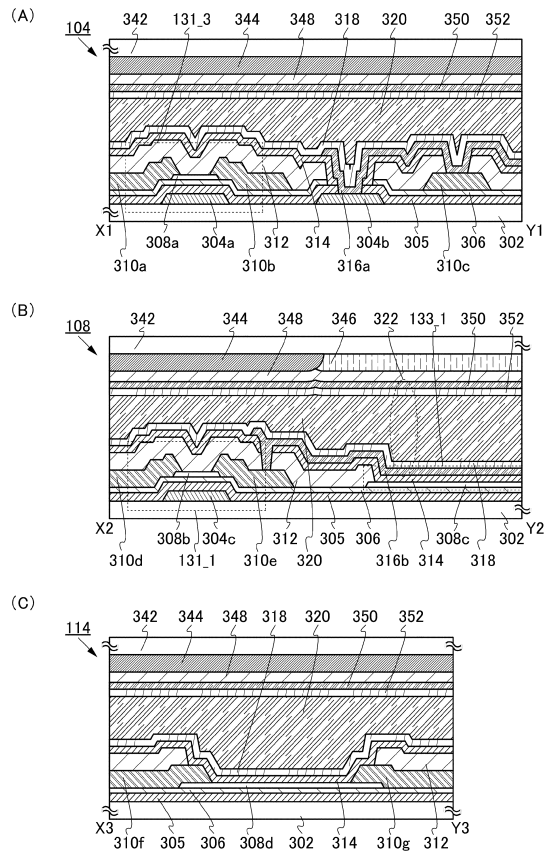
【図 28】



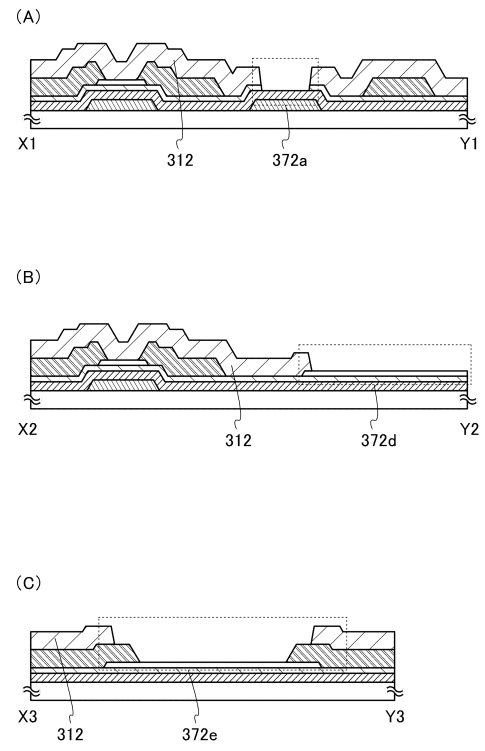
【図 29】



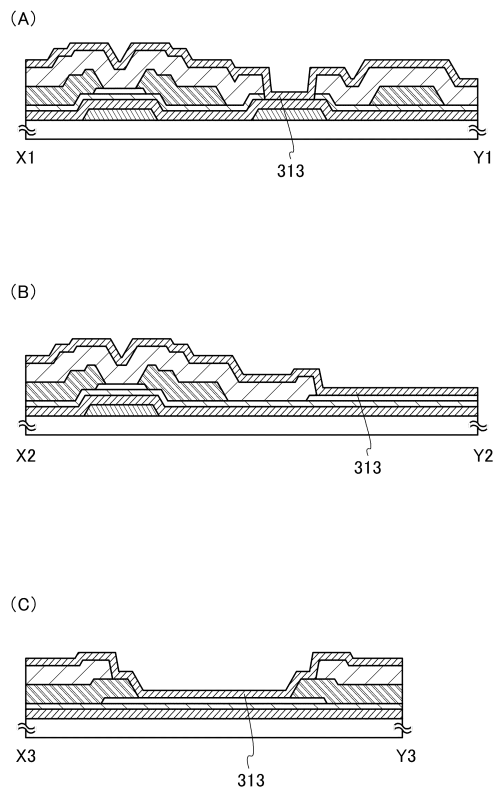
【図 30】



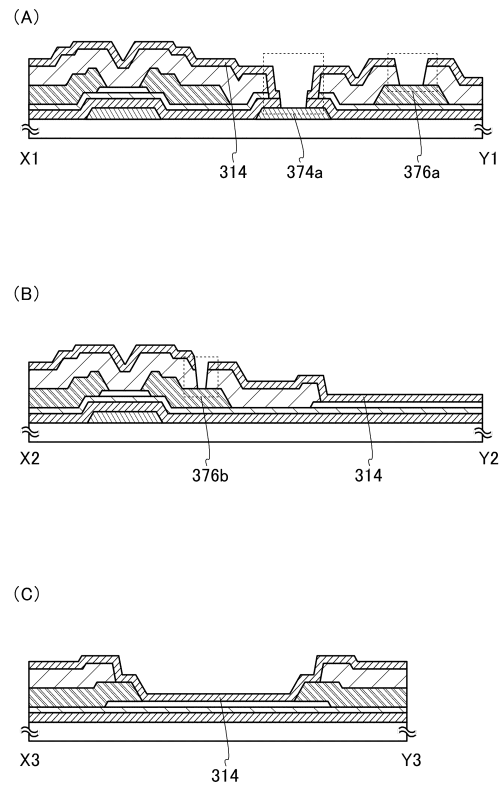
【図 31】



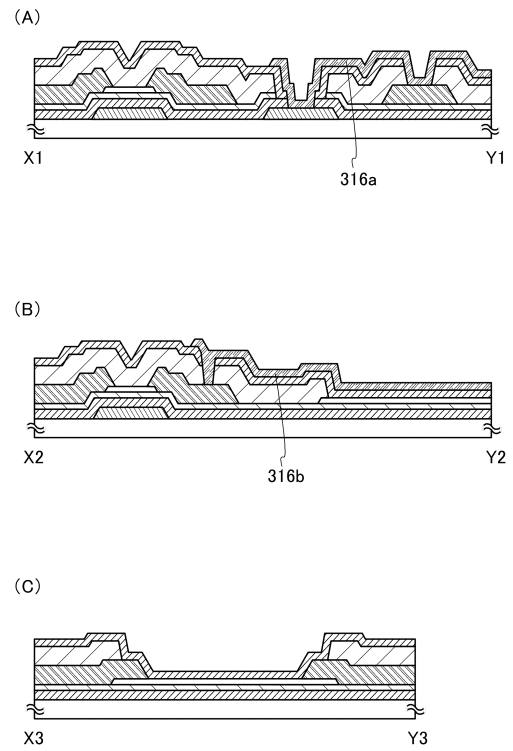
【図 32】



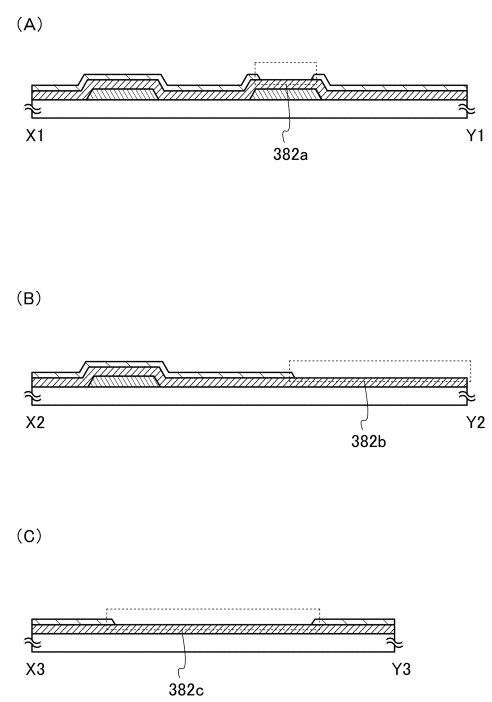
【図 33】



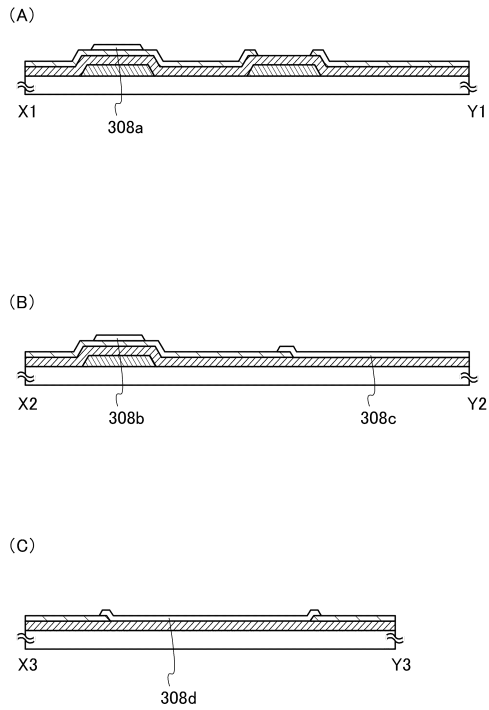
【 図 3 5 】



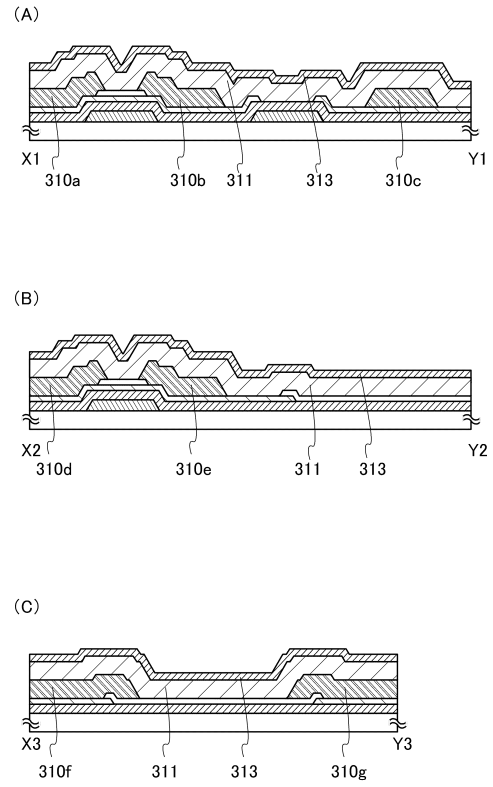
【 図 3 7 】



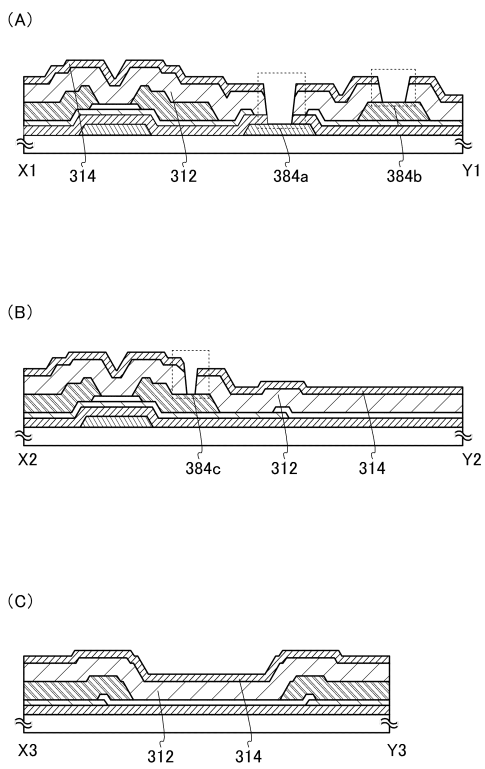
【図 38】



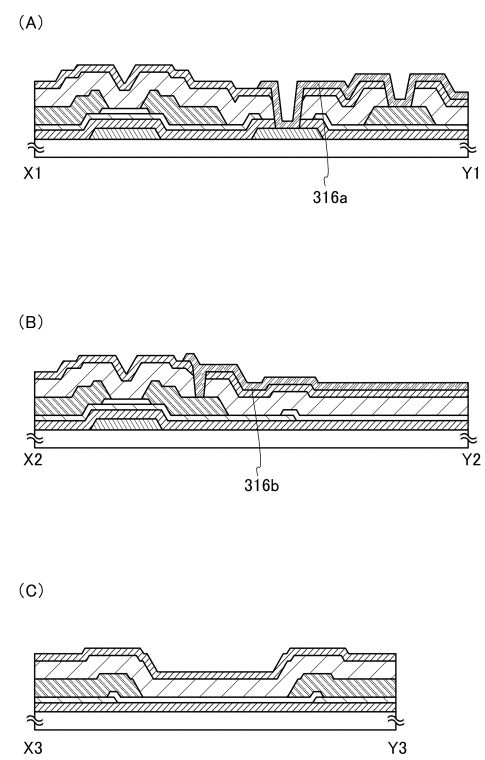
【図 39】



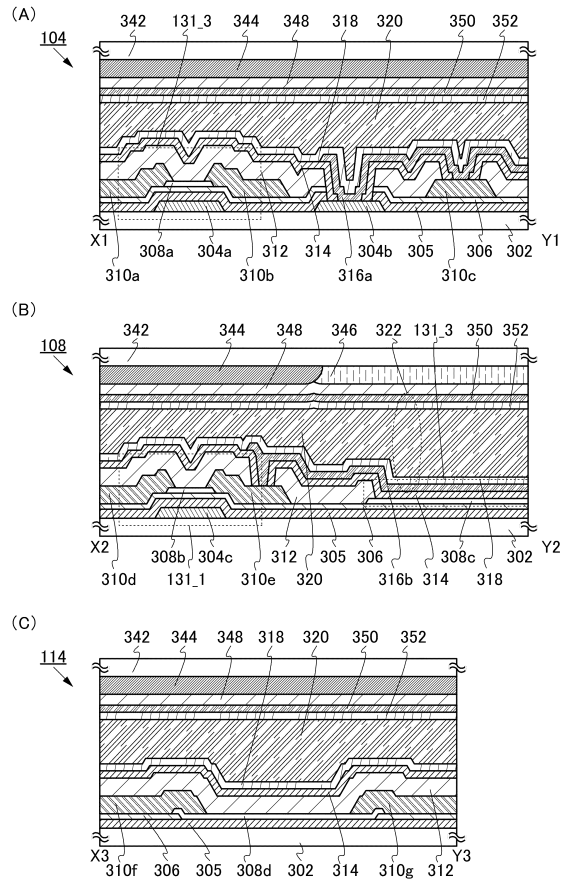
【図 40】



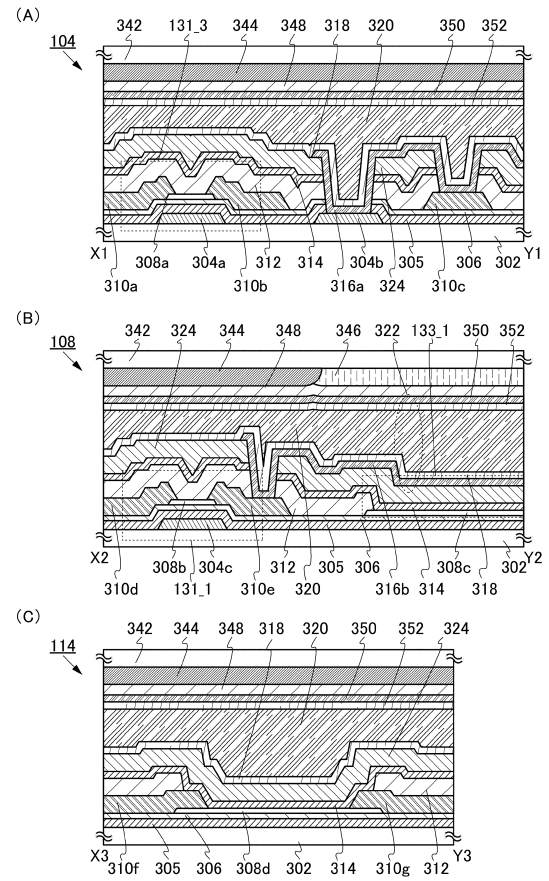
【図 41】



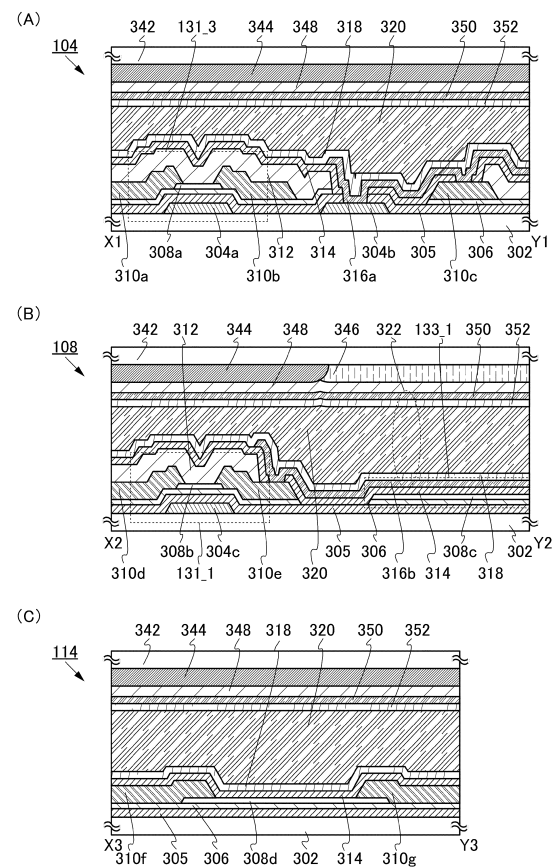
【図 4 2】



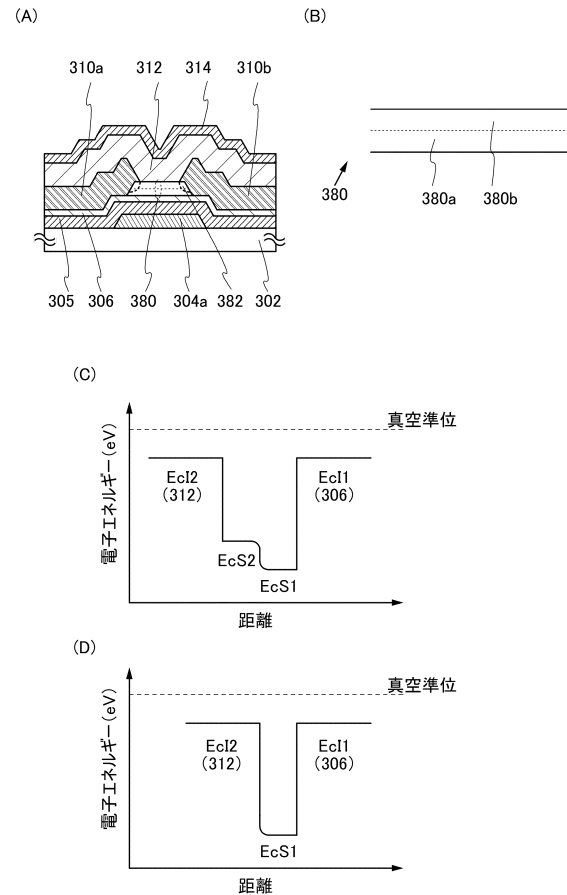
【図 4 3】



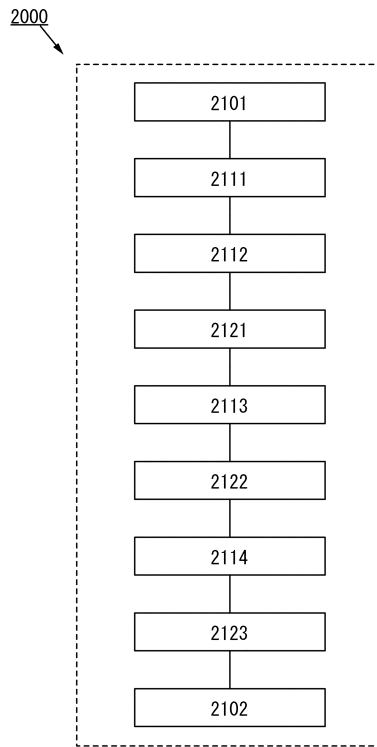
【図 4 4】



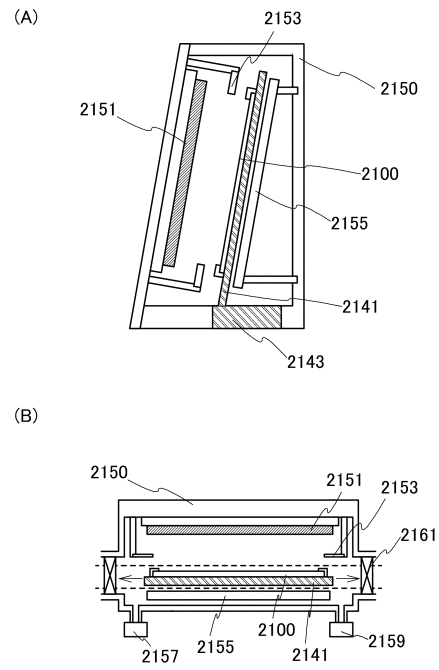
【図 4 5】



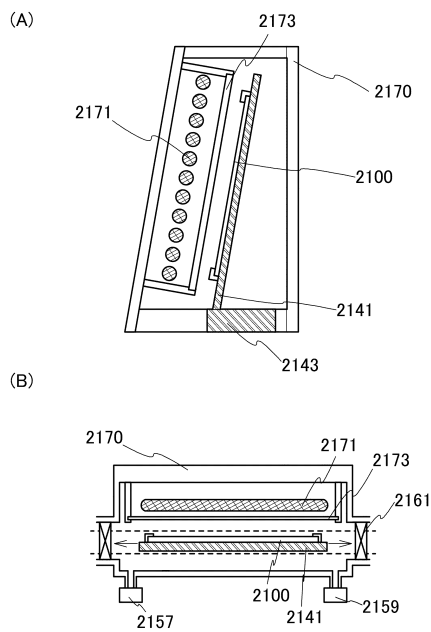
【図 46】



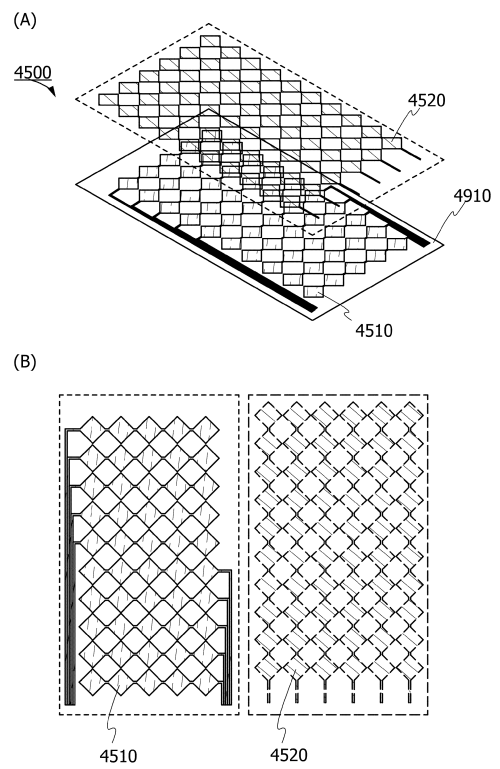
【図 47】



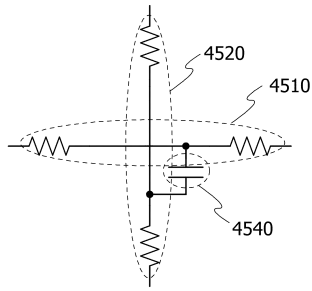
【図 48】



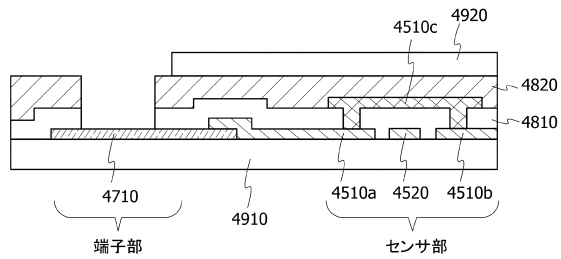
【図 49】



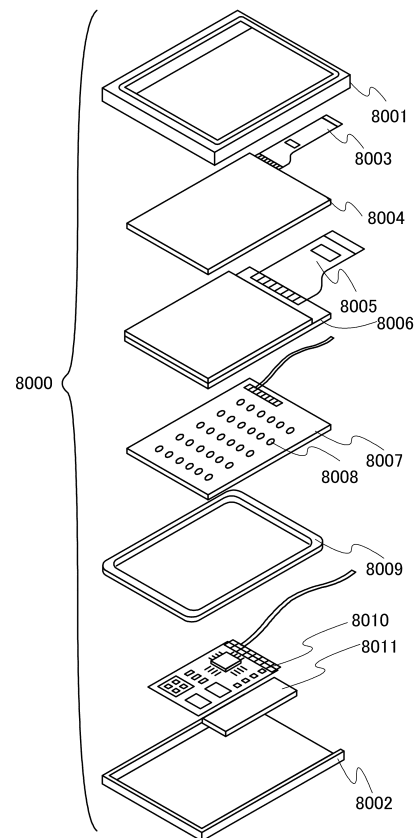
【図 50】



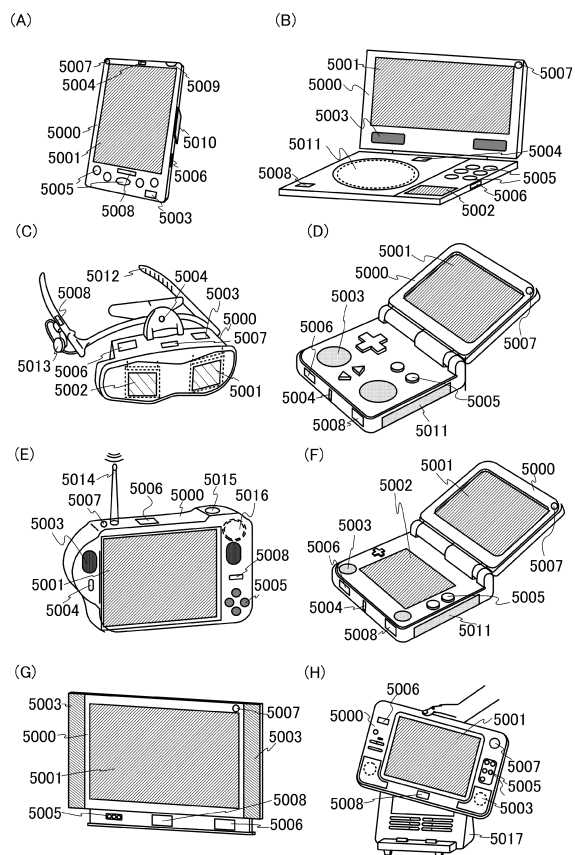
【図 51】



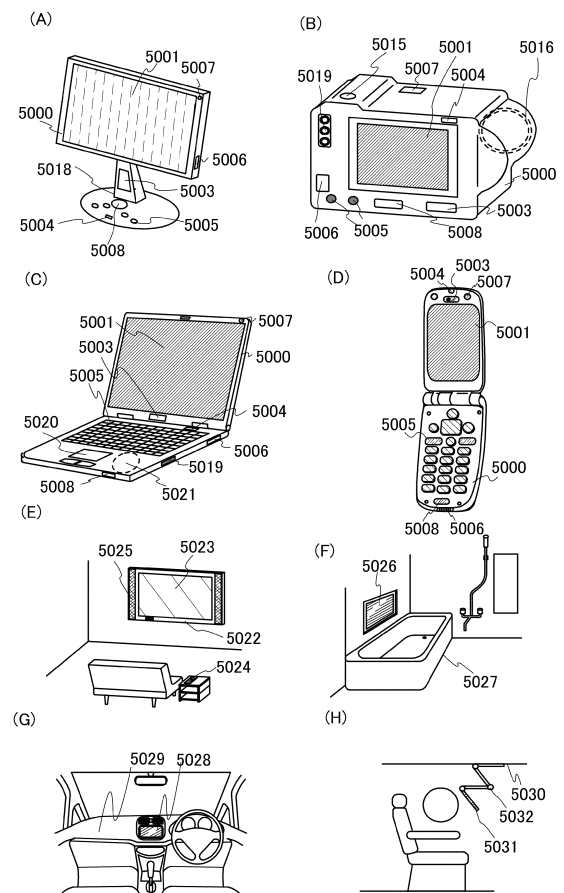
【図 52】



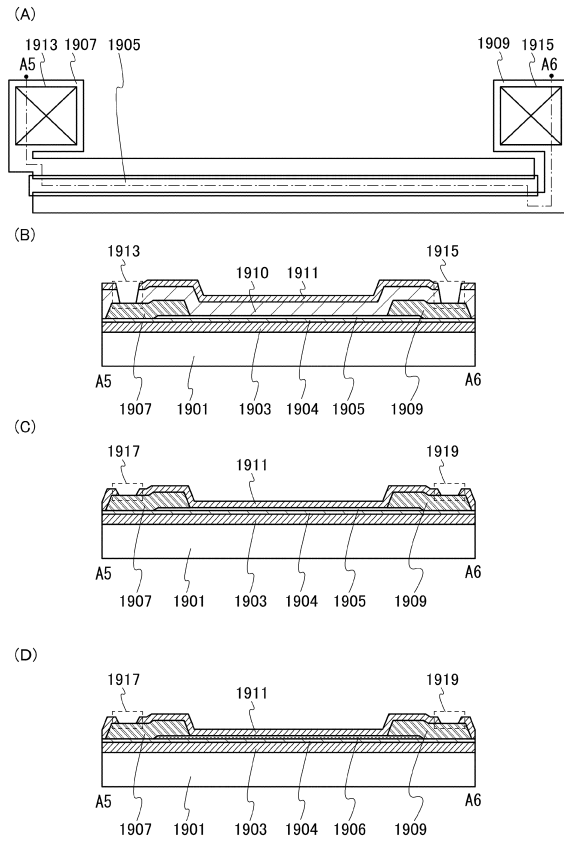
【図 53】



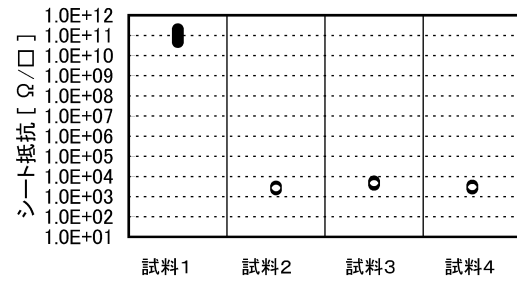
【図 54】



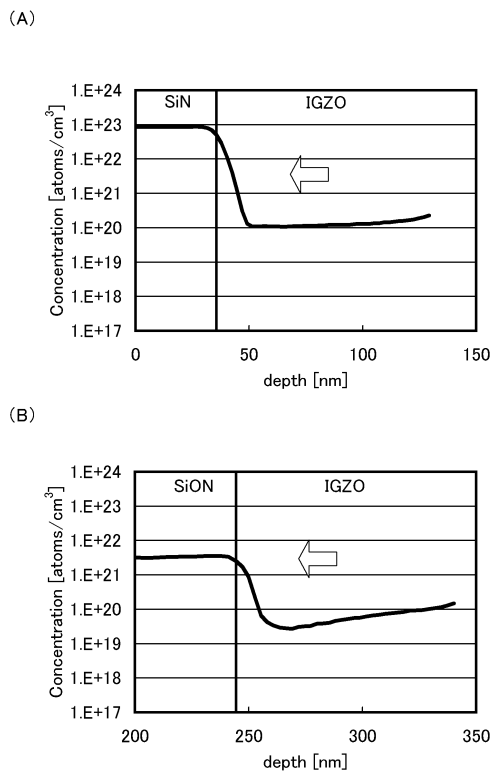
【図 5 5】



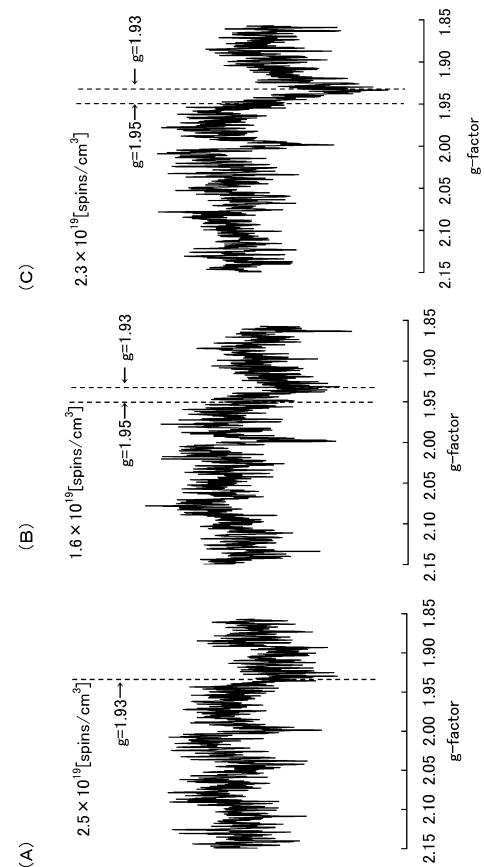
【図 5 6】



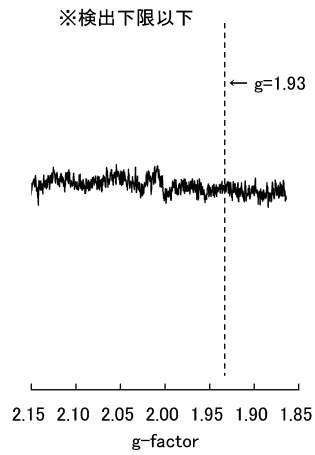
【図 5 7】



【図 5 8】

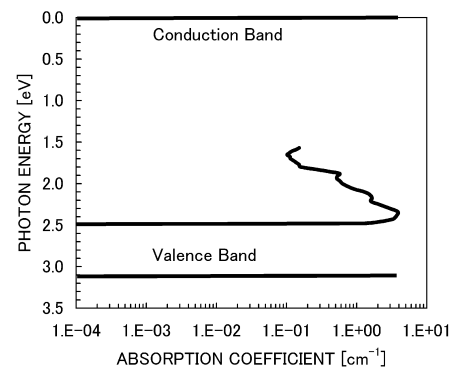


【図 59】

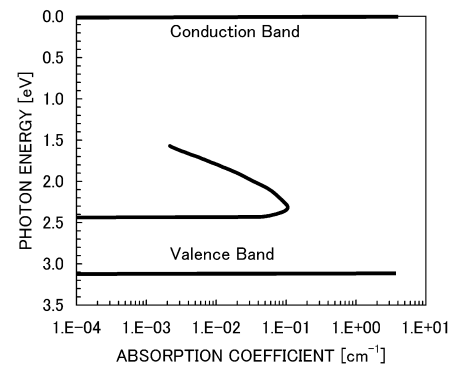


【図 60】

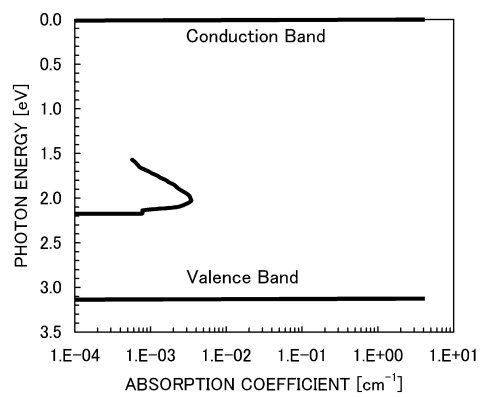
(A)



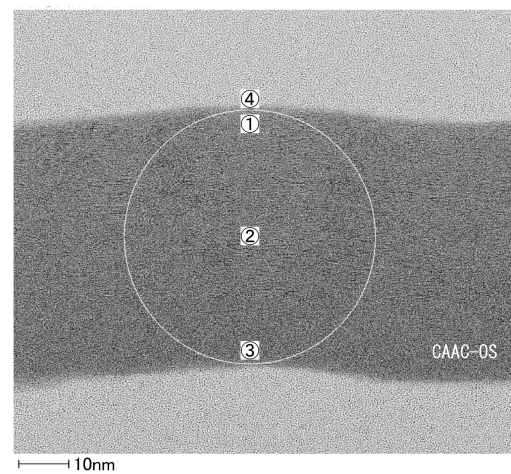
(B)



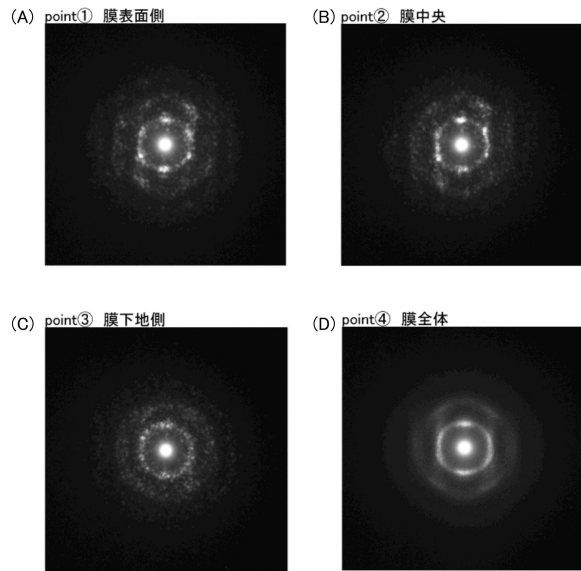
【図 61】



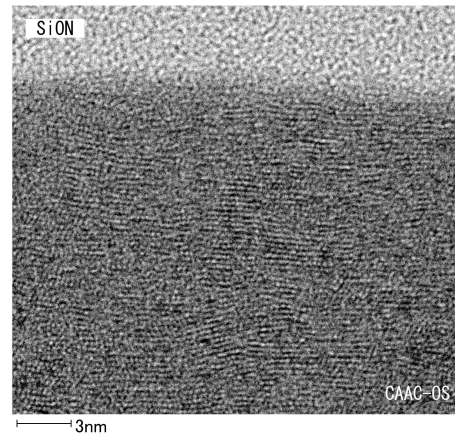
【図 62】



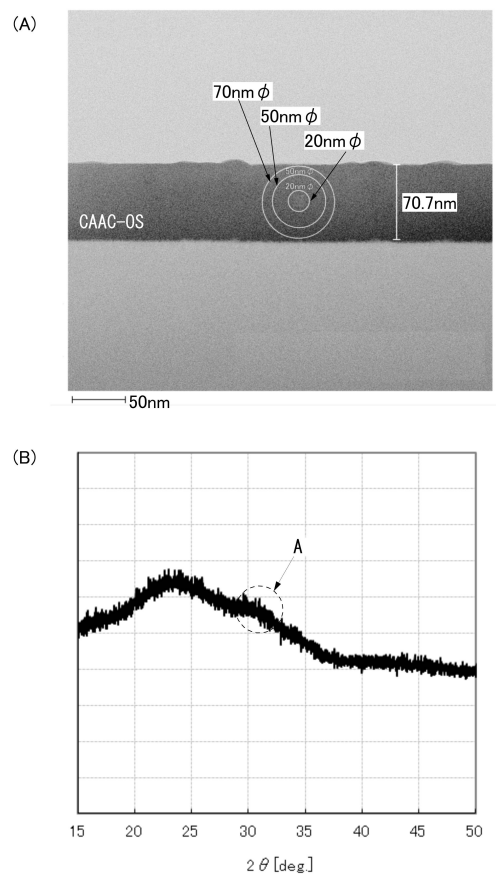
【図 6 3】



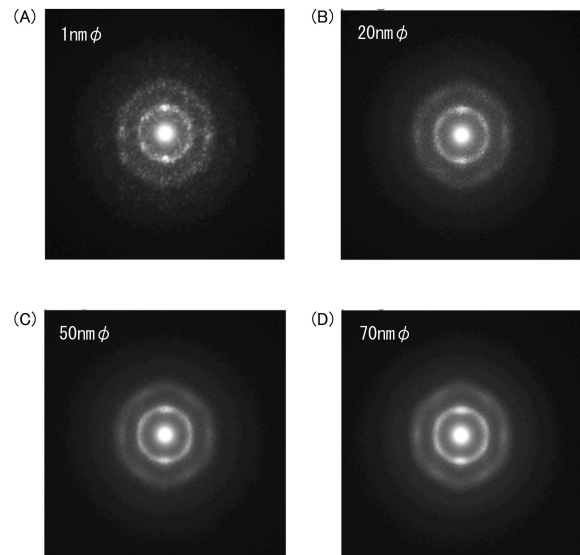
【図 6 4】



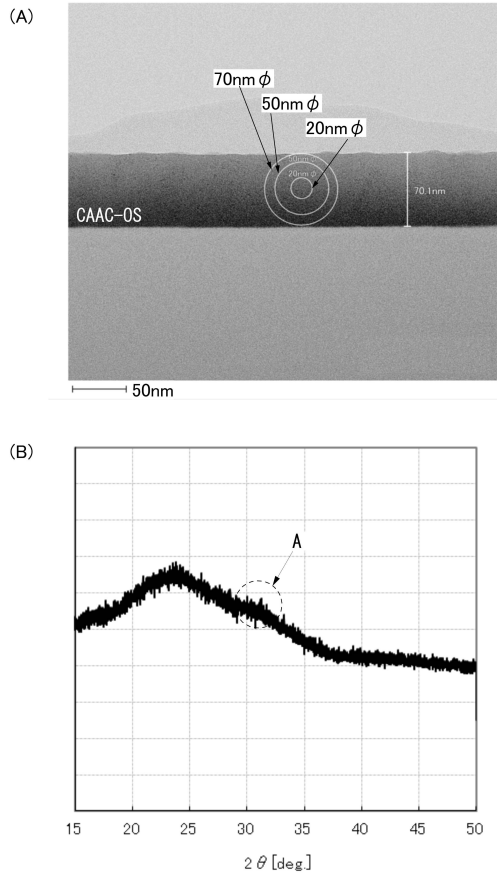
【図 6 5】



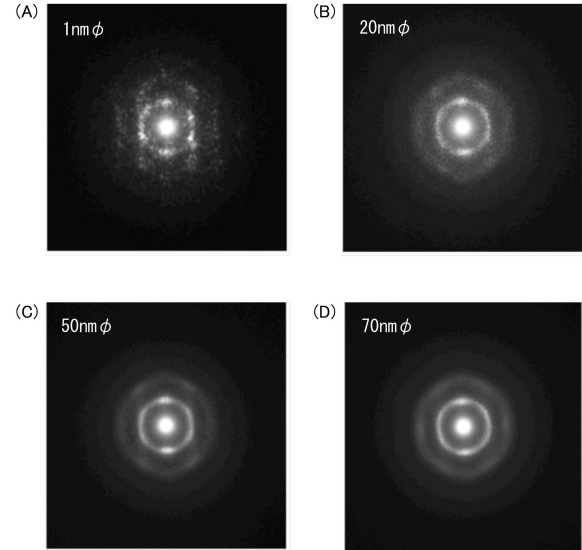
【図 6 6】



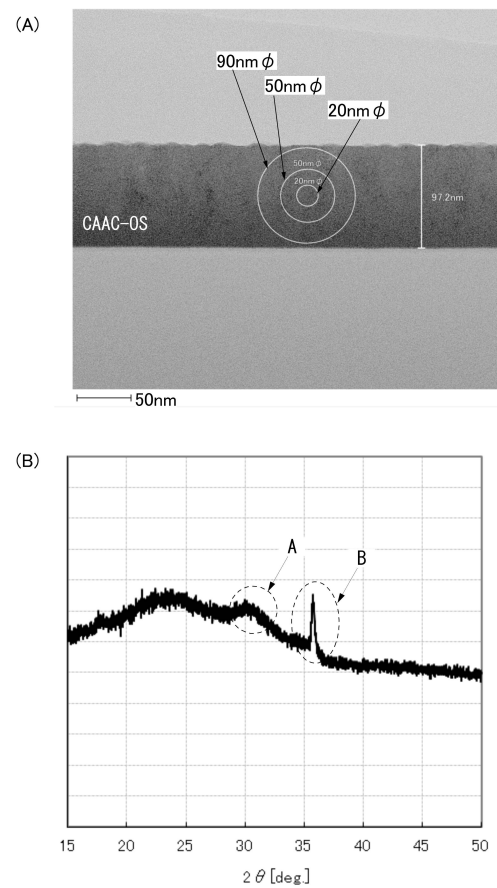
【図 67】



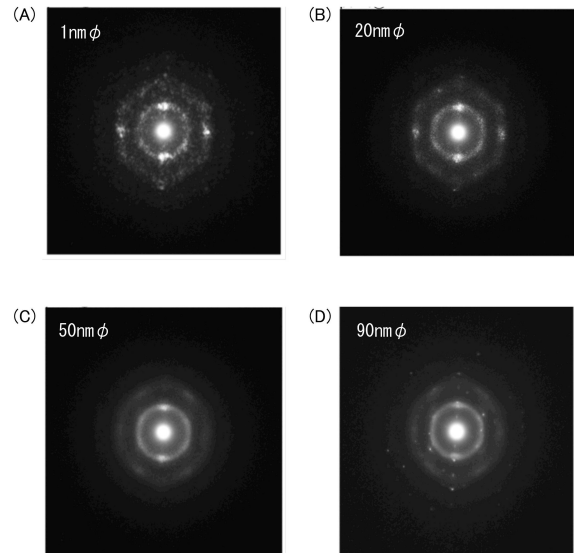
【図 68】



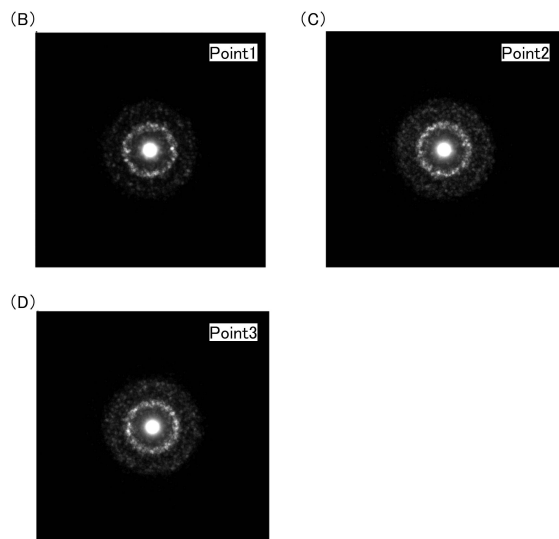
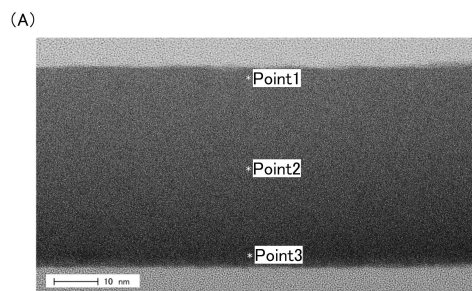
【図 69】



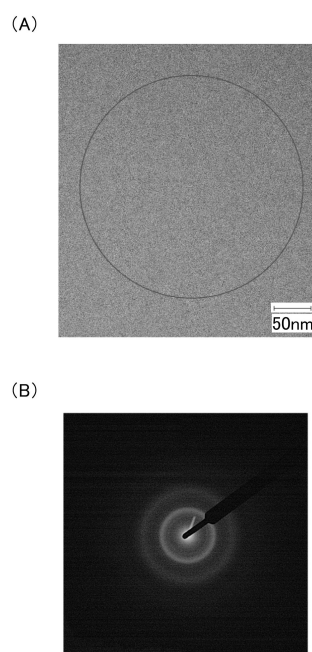
【図 70】



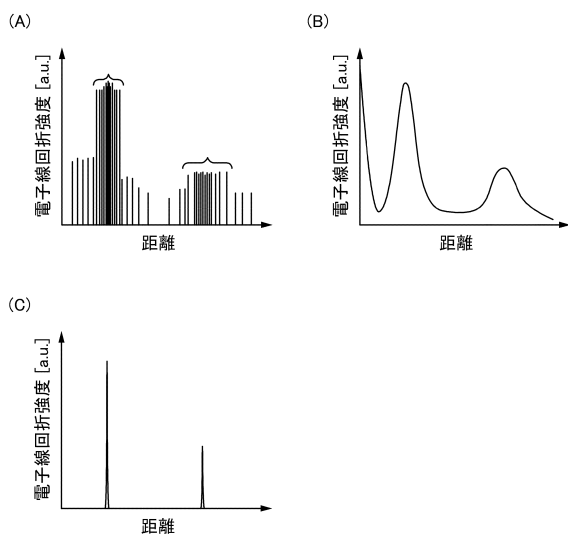
【図 7 1】



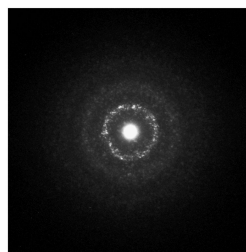
【図 7 2】



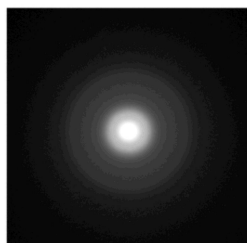
【図 7 3】



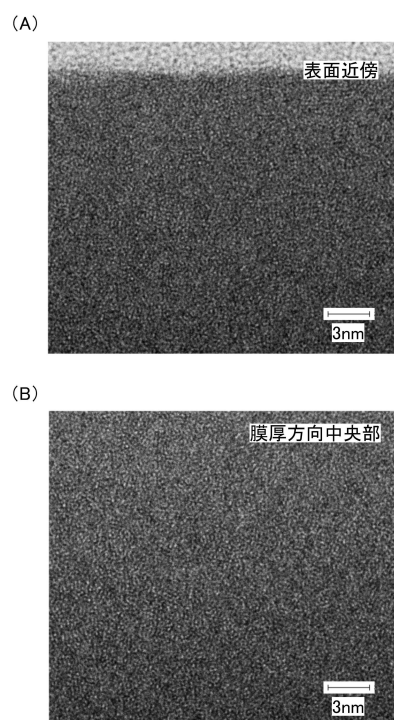
【図 7 5】



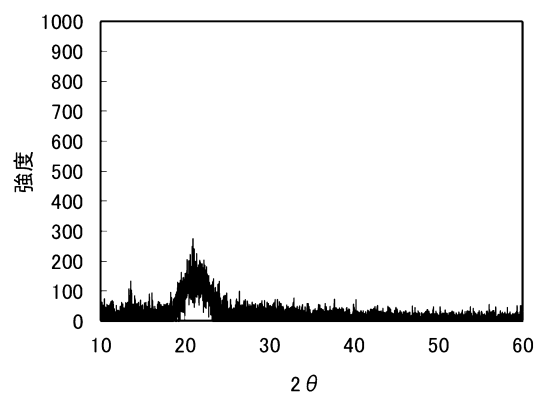
【図 7 4】



【図 7 6】



【図 7 7】



フロントページの続き

(51)Int.Cl.		F I	
G 0 2 F	1/1345	(2006.01)	G 0 2 F 1/1345
H 0 1 L	51/50	(2006.01)	H 0 5 B 33/14 A
H 0 5 B	33/14	(2006.01)	H 0 5 B 33/14 Z
			H 0 1 L 29/78 6 1 8 Z

(56)参考文献 特開 2 0 1 0 - 1 7 1 3 9 4 (J P , A)
 特開 2 0 1 1 - 1 0 9 0 8 4 (J P , A)
 国際公開第 2 0 0 9 / 0 7 5 1 6 1 (W O , A 1)
 国際公開第 2 0 0 9 / 0 9 3 6 2 5 (W O , A 1)
 特開 2 0 1 2 - 1 3 4 4 7 5 (J P , A)
 特開 2 0 0 9 - 1 4 1 0 0 2 (J P , A)
 特開 2 0 1 1 - 1 4 2 3 0 9 (J P , A)
 特開 2 0 0 7 - 2 5 0 9 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 2
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 6 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 4