

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年8月6日 (06.08.2009)

PCT

(10) 国際公開番号
WO 2009/096525 A1

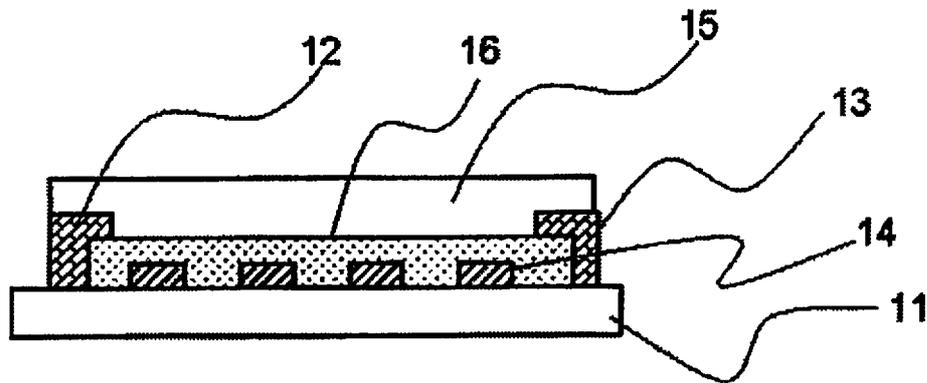
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 51/30 (2006.01)
H01L 51/05 (2006.01) H01L 51/40 (2006.01)
- (21) 国際出願番号: PCT/JP2009/051586
- (22) 国際出願日: 2009年1月30日 (30.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2008-023007 2008年2月1日 (01.02.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 遠藤 浩幸 (ENDO, Hiroyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 東口 達 (TOGUCHI, Satoru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 沼田 秀昭 (NUMATA, Hideaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 丸山 隆夫 (MARUYAMA, Takao); 〒1700013 東京都豊島区東池袋2-38-23 SAMビル3階 丸山特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

/ 続葉有 /

(54) Title: THIN FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタ

[[図2]]



(57) Abstract: Provided is a thin film transistor, which is manufactured by coating process wherein film forming process is simple, and has a small variance of TFT characteristics. In the thin film transistor, a gate electrode is formed on a substrate, and an insulating thin film is formed on the gate electrode. The gate electrode is formed with a line width smaller than a channel length, and a cross-section has linear or curved lines forming a semicircular, semielliptical or a protruding structure. A plurality of the gate electrodes are arranged from a source electrode toward a drain electrode without being overlapped with each other.

(57) 要約: 製膜プロセスが簡便な塗布プロセスで製造した薄膜トランジスタにおいて、TFT特性のばらつきが小さな薄膜トランジスタを提供する。基板上にゲート電極が形成され、ゲート電極上に絶縁性薄膜が配置される薄膜トランジスタであって、ゲート電極がチャンネル長より細い線幅で形成され、かつ、断面が半円、半楕円、凸状構造を有する直線もしくは曲線から形成され、前記ゲート電極は、ソース電極からドレイン電極に向かって互いに重なることなく複数本設置されている。



WO 2009/096525 A1



IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 国際調査報告書
— 補正書・説明書

明 細 書

薄膜トランジスタ

技術分野

[0001] 本発明は、有機材料もしくはカーボンナノチューブを半導体層として有する薄膜トランジスタに関し、特に、トランジスタ特性のばらつきの小さなTFT(Thin Film Transistor)を得ることに関する。

背景技術

[0002] 薄膜トランジスタは、液晶表示装置等の表示用のスイッチング素子として広く用いられている。従来、薄膜トランジスタ(以下、TFTとも呼ぶ)は、アモルファスや多結晶のシリコンを用いて作製されていた。

[0003] しかし、このようなシリコンを用いたTFTの作製に用いられるCVD装置は、非常に高額であり、TFTを用いた表示装置等の大型化は、製造コストの大幅な増加を伴うという問題点があった。

[0004] また、アモルファスや多結晶のシリコンを成膜するプロセスは非常に高い温度下で行われるので、基板として使用可能な材料の種類が限られ、従って、軽量の樹脂基板等は使用できないという問題があった。

[0005] 上記問題を解決するために、アモルファスや多結晶のシリコンに代えて有機物あるいはカーボンナノチューブを用いたTFTが提案されている。

[0006] 有機物あるいはカーボンナノチューブでTFTを形成する際に用いる成膜方法として真空蒸着法や塗布法等が知られているが、これらの成膜方法によれば、コストアップを抑えつつ素子の大型化が実現可能になり、成膜時に必要となるプロセス温度を比較的低温にすることができる。

[0007] このため、有機物あるいはカーボンナノチューブを用いたTFTでは、基板に用いる材料の選択時の制限が少ないといった利点が得られ、その実用化が期待される。

[0008] 実際、近年、有機物を用いたTFTは盛んに報告されるようになった。この報告例として、特許文献1から特許文献8および非特許文献1から非特許文献16などを挙げることができる。

- [0009] TFTの有機化合物層に用いる有機物としては、共役系ポリマーやチオフェンなどの多量体(特許文献1、特許文献2、特許文献3、特許文献4、特許文献5等)、或いは、金属フタロシアニン化合物(特許文献6)、またペンタセンなどの縮合芳香族炭化水素(特許文献7、特許文献8)などが、単体或いは他の化合物との混合物の状態で見られている。
- [0010] 一方、カーボンナノチューブを用いたTFTも盛んに発表されており、非特許文献17では、シリコンもしくはシリコン以上の性能を有することが示されている。
- [0011] また、半導体層の材料として有機材料やカーボンナノチューブを使用することにより、素子の基板もガラスなどの硬い材料はもちろんのこと、樹脂やプラスチックを適用することで素子全体にフレキシブル性を持たせることが可能となり、フレキシブルTFTに関する研究も盛んに行われている。
- [0012] さらに、有機もしくはカーボンナノチューブTFTの製造プロセスとして溶液もしくは分散液を用いた塗布プロセスを採用することができるため、低コスト化等を目標とした塗布プロセス、印刷プロセスを適用した製造方法の研究も盛んに行われている。
- [0013] ここで、代表的な有機もしくはカーボンナノチューブTFTの断面構造を図1に示す。このTFTは、基板11上に、ゲート電極(層)14および絶縁体層16をこの順に有し、絶縁体層16上に、所定の間隔をあけて形成されたソース電極12およびドレイン電極13を有している。
- [0014] 双方の電極12、13の一部表面を含み、電極12、13間に露出する絶縁体層16上には、半導体層15が形成されている。このような構成を有するTFTでは、半導体層15がチャンネル領域を成しており、ゲート電極14に印加される電圧でソース電極12とドレイン電極13の間に流れる電流が制御されることによってオン/オフ動作する。
- 特許文献1:特開平8-228034号公報
特許文献2:特開平8-228035号公報
特許文献3:特開平9-232589号公報
特許文献4:特開平10-125924号公報
特許文献5:特開平10-190001号公報
特許文献6:特開2000-174277号公報

特許文献7:特開平5-55568号公報

特許文献8:特開2001-94107号公報

非特許文献1:F. Ebisawa, Journal of Applied Physics, 54巻, 3255頁, 1983年

非特許文献2:A. Assadi, Applied Physics Letter, 53巻, 195頁, 1988年

非特許文献3:G. Guillaud, Chemical Physics Letter, 167巻, 503頁, 1990年

非特許文献4:X. Peng, Applied Physics Letter, 57巻, 2013頁, 1990年

非特許文献5:G. Horowitz, Synthetic Metals, 41-43巻, 1127頁, 1991年

非特許文献6:S. Miyauchi, Synthetic Metals, 41-43巻, 1991年

非特許文献7:H. Fuchigami, Applied Physics Letter, 63巻, 1372頁, 1993年

非特許文献8:H. Koezuka, Applied Physics Letter, 62巻, 1794頁, 1993年

非特許文献9:F. Garnier, Science, 265巻, 1684頁, 1994年

非特許文献10:A. R. Brown, Synthetic Metals, 68巻, 65頁, 1994年

非特許文献11:A. Dodabalapur, Science, 268巻, 270頁, 1995年

非特許文献12:T. Sumimoto, Synthetic Metals, 86巻, 2259頁, 1997年

非特許文献13:K. Kudo, Thin Solid Films, 331巻, 51頁, 1998年

非特許文献14:K. Kudo, Synthetic Metals, 102巻, 900頁, 1999年

非特許文献15:K. Kudo, Synthetic Metals, 111-112巻, 11頁, 2000年

非特許文献16:P. Avouris, Proc.IEEE, 91巻, 11号, 1772頁, 2003年

非特許文献17:S.wind、Applied Physics Letter 2002年5月20日号

発明の開示

発明が解決しようとする課題

[0015] ところで、上記のTFTを均一にばらつきなく製造使用とする場合、ゲート電極およびゲート絶縁膜の形状、表面性の制御が重要である。

[0016] チャネル構成半導体層が均一に形成できたとしてもゲート電極およびゲート絶縁膜の形状、表面性を同一に作製することができなければ製造したTFTの特性も同一にすることはきわめて困難である。

[0017] TFTの性能を一定に保つためにはチャネル材料の製膜制御も重要であるがゲート電極、ゲート絶縁膜の製造制御も非常に重要である。

[0018] 特にゲート電極を溶液もしくは分散液から製造する塗布プロセスを適用する場合、さらに塗布プロセスのなかでもディスペンサやインクジェット法を用いて製造する場合、大きな線幅の電極を製造したり、大面積の電極を均一に形成することは非常に困難である。

[0019] 通常、重ね塗り等を行うことによって線幅の大きな電極を形成するが、重ね合わせの部分とそれ以外の部分との膜厚に不均一が生じ、このことがゲート電極の形状ばらつきを引き起こし、TFT特性のばらつきを生じさせる。

[0020] 本発明は、上記に鑑み、形状制御が困難な塗布プロセスの適用においてもゲート電極、ゲート絶縁膜の形状、表面の制御が容易に行うことができる薄膜トランジスタを提供することを目的とする。

課題を解決するための手段

[0021] 上記目的を達成するために、本発明にかかる第1の薄膜トランジスタは、基板上にゲート電極が形成され、ゲート電極上に絶縁性薄膜が配置される薄膜トランジスタであって、ゲート電極がチャンネル長より細い線幅で形成され、かつ、断面が半円、半楕円、凸状構造を有する直線もしくは曲線から形成され、前記ゲート電極は、ソース電極からドレイン電極に向かって互いに重なることなく複数本設置されていることを特徴とする。

発明の効果

[0022] 本発明によれば、特定の形状を有するTFTを用いることによって、ゲート電極、ゲート絶縁膜の形状、表面制御が容易に実現でき、さらに形状制御が実現でき、性能ばらつきを小さくできる薄膜トランジスタを提供することを可能とする。

発明を実施するための最良の形態

[0023] 本発明は、特定の形状を有するTFTを用いることによって、ゲート電極、ゲート絶縁膜の形状、表面制御が容易に実現でき、さらに形状制御が実現できることによりTFTとしての性能ばらつきを小さくできることを見出した。

[0024] 本発明にかかる薄膜トランジスタは、基板上にゲート電極が形成され、ゲート電極上に絶縁性薄膜が配置される薄膜トランジスタであり、ゲート電極が、チャンネル長より細い線幅で形成され、かつ断面が半円、半楕円、凸状構造を有する直線もしくは曲

線から形成されることを特徴とする。

- [0025] また好ましくは、断面が半円、半楕円、凸状構造を有する直線もしくは曲線から形成されるゲート電極がお互いに独立させる。
- [0026] ここで記載する断面の半円、半楕円の形状とは厳密な幾何学的な半円、半楕円形状を示すだけでなく、円、楕円の一部を弦で切り取った形状も含まれる。また、断面を構成する弧は厳密に幾何学的に正確な弧であるほかに、液状の物質が乾燥した際に来る円、楕円に近似した構造の弧も含まれる。
- [0027] ディスペンサ法やインクジェット法の場合、一定の条件で描画した単線の制御は比較的容易に行えるが、それぞれを重ね合わせて線幅の大きな線を描画しようとするとき重ね合わせの部分のみ厚くなってしまったりにじんだりして表面の均一性を確保することが困難である。
- [0028] そこで、本発明の構造においては、ある程度制御可能な単線をひとつあるいは複数ゲート電極として利用することで、ゲート電極あるいはゲート絶縁膜の形状、表面が制御されたTFTを得ることができる。
- [0029] さらにゲート電極あるいはゲート絶縁膜の形状、表面が制御されたTFTを得るために本発明は、ゲート電極がディスペンサ装置による塗布工程で形成される薄膜トランジスタのばあい、単数のゲート電極または複数のゲート電極のそれぞれは1回の吐出動作で形成されることを特徴とし、ゲート電極がインクジェット装置による塗布工程で形成される薄膜トランジスタのばあい、単数のゲート電極または複数のゲート電極のそれぞれがゲート電極の長さ方向に1ドット吐出の重ね合わせで形成されることを特徴とする。
- [0030] ディスペンサ装置を使用した塗布工程において、細線を形成する場合、一定の吐出条件で溶液を吐出させながら吐出ヘッドを移動させることにより1回の吐出動作で細線を形成することが出来る。また、形成された細線は溶液の吐出条件を一定にすることで線幅、厚みを一定に制御することが可能である。
- [0031] この細線を単独あるいは複数重ならないように配置することによって一定の形状のゲート電極を得ることができる。
- [0032] インクジェット装置を使用した塗布工程においては、其の構造上連続した細線を1

回の吐出で形成することは不可能であり、細線を形成する場合、1ドット吐出を線の長さ方向に重ね合わせ細線を形成する。

[0033] この場合、隣接したドット同士の吐出時間は極めて短くすることが可能であり、液滴の濃度等が変化しないうちに次の液滴が形成されるためにドットとドットが重なってもお互いが結合し一定の連続した細線を形成することができる。

[0034] これと比較して細線を重ね合わせて幅の広い線を形成する場合、先に形成された細線と次に形成される細線の形成時間が長くなり、重ね合わせた部分の液滴の濃度差等から一定の形状の線を形成することは困難となる。

[0035] 本発明のTFT構造はゲート電極あるいはゲート絶縁膜の形状、表面を均一に製造することが可能である構造であり、それぞれの構成材料の作製プロセスを限定されるものでない。したがって、一般的な薄膜製造方法である、真空蒸着法、スパッタリング法、塗布法などで製造することが可能である。

[0036] 以下、図面等を参照し、本発明をさらに詳細に説明する。図2は、本発明にかかる第1のTFTの構成を示す断面図および平面図である。図3は、本発明にかかる第2のTFTの構成を示す断面図および平面図である。図4は、本発明にかかる第3のTFTの構成を示す断面図および平面図である。

[0037] 本発明にかかる第1のTFTは、図2に示すように、1対のソース電極12とドレイン電極13を有している。

[0038] 第1のTFTは、図2に示すように、一般的な電界効果トランジスタ(FET:Field Effect Transistor)構造を有している。

[0039] 本発明にかかるTFTは、半導体層(有機化合物層もしくはカーボンナノチューブ層)15と、相互に所定の間隔をあけて対向するように形成されたソース電極(第1の電極)12およびドレイン電極(第2の電極)13と、電極13、14からそれぞれ所定の距離をあけて形成されたゲート電極(第3の電極)14とを有し、ゲート電極14に電圧を印加することによってソース/ドレイン電極12、13間に流れる電流を制御する構成を備える。

[0040] 基板11として用いることが可能な材料としては、ガラス、シリコン等の無機材料やアクリル系樹脂のようなプラスチックなどその上に形成されるTFTを保持できる材料で

あれば特に限定はされない。また、基板以外の構成要素によりTFTの構造を十分に支持し得る場合には、使用しない事も可能である。

- [0041] ソース電極12、ドレイン電極13およびゲート電極14にそれぞれ用いることが可能な材料としては、酸化インジウム錫合金(ITO)、酸化錫(NESA)、金、銀、白金、銅、インジウム、アルミニウム、マグネシウム、マグネシウム－インジウム合金、マグネシウム－アルミニウム合金、アルミニウム－リチウム合金、アルミニウム－スカンジウム－リチウム合金、マグネシウム－銀合金等の金属や合金の他、導電性ポリマーなどの有機材料が挙げられるが、これらに限定されるものではない。
- [0042] 半導体層15に含まれる化合物として、テトラセン、ペンタセン等の縮合多環式芳香族化合物や、銅フタロシアニン、亜鉛フタロシアニン等のフタロシアニン系化合物、アミン系化合物、ポリチオフェン、ポリビニルカルバゾール等のポリマー等半導体特性を有する有機化合物もしくはカーボンナノチューブおよびカーボンナノチューブを含有した混合物を使用することが出来るが半導体特性を有する材料であれば特に限定されない。
- [0043] ゲート絶縁膜16に用いることが可能な材料としては、二酸化ケイ素膜、窒化珪素膜のような無機化合物のほか、アクリル樹脂、ポリイミドのような有機絶縁性材料を使用することが出来るが、電気絶縁性を有していれば用いることができとくに限定されない。
- [0044] 電極12, 13の作製方法としては、真空蒸着法、スパッタ法、エッチング法、リフトオフ等通常の電極形成プロセスを利用でき、特に限定されない。
- [0045] また、導電性ポリマーのような有機材料や、銀ペーストや金属粒子を含んだ分散液、金属の有機化合物を電極として使用する場合には、スピンコート法、ディップ法、ディスペンサ法、インクジェット法等の溶液プロセスも利用することができ、この場合にも特に限定されない。
- [0046] 電極14の作製方法としては、ディスペンサ法、インクジェット法等の細線の描画が可能な溶液プロセスであれば特に限定されない。
- [0047] 電極14の形状としては、図3に示す本発明にかかる第2のTFTは、図3に示すように直線からなる細線を1本もしくは複数本備える構造である。

- [0048] チャンネル長(ソース電極とドレイン電極との距離)よりも電極14の線幅が小さいことが良好なTFTを得るための条件であるが、電極14の線幅がチャンネル長と比較して数分の一以下の場合、電流を変調できるゲート電極部位が小さくなり変調しにくくなるため、その場合、複数本の電極14を備えることが望ましい。電極14を複数本備える場合は、お互いが独立に存在することが必要である。
- [0049] また、電極14を複数本備える場合、図3に示す本発明にかかる第2のTFTに示すように直線形状からなる電極14を複数配置しても図4に示す本発明にかかる第3のTFTに示すように1本の電極14を屈曲させて配置させても良い。
- [0050] 半導体層15の形成方法としては、真空蒸着法等のドライプロセスの他、スピコート法、ディップ法、ディスペンサ法、インクジェット法等の溶液プロセスも利用することができ、特に限定されない。
- [0051] ゲート絶縁膜16の形成方法としては、真空蒸着法、スパッタリング法等のドライプロセスの他、スピコート法、ディップ法、ディスペンサ法、インクジェット法等の溶液プロセスも利用することができ、特に限定されない。
- [0052] 本発明にかかる第1のTFT、第2のTFT、第3のTFTにおける半導体薄膜層15の膜厚は、特に制限されることはない。
- [0053] しかし、一般に、膜厚が薄すぎるとピンホール等の欠陥が生じやすく、逆に厚すぎるとチャンネル長が長くなり、或いは高い印加電圧が必要となってTFTの性能劣化の要因になるので、数nmから1 μ mの範囲が好ましい。

実施例

- [0054] 以下、実施例をもとに本発明を詳細に説明するが、本発明はその要旨を越えない限り、以下の実施例に限定されない。
- [0055] [実施例1]
- 本実施例では、実施形態例で説明した図3の第2のTFTを以下の手順で作製した。
- [0056] まず、ガラス基板11上にナノ銀コロイド溶液をディスペンサ装置を用いて線幅100 μ m、間隔200 μ mで2本形成し150°Cで30分加熱することによりゲート電極14とした。

- [0057] このとき線幅100 μ mのゲート電極は1回の吐出動作で形成した。
- [0058] 次いで、このゲート電極14上に、二酸化ケイ素膜スパッタリング法によって200nmの膜厚に成膜し、これを絶縁体層16とした。
- [0059] さらに、この絶縁体層16上に、ディスペンサ装置を用いてゲート電極14を挟み込む形でナノ銀コロイド溶液を線幅200 μ m、間隔500 μ mで2本製膜することで、ソース電極12およびドレイン電極13を形成した。
- [0060] 続いて、ディスペンサ装置を用いてポリ(3-ヘキシル)チオフェン溶液を直径700 μ mの大きさで上記ソース電極・ドレイン電極、絶縁薄膜層で囲まれた領域に4滴塗布し半導体層15を形成しTFT101を得た。
- [0061] 同様の製造方法でTFT20個を作製し、ゲート電圧-20V、ドレイン電圧-10Vのときの電流値を測定し、最大電流と最小電流の比を算出した。
- [0062] その結果、比は1.08であり、比較例1と比較して良好な値が得られた。
- [0063] 以下に表1を示す。
- [0064] [表1]

	半導体材料	TFT	最大電流値/ 最小電流値
実施例1	ポリ(3-ヘキシル)チオフェン溶液	101	1.08
比較例1	ポリ(3-ヘキシル)チオフェン溶液	102	8.7

- [0065] [比較例1]

線幅100 μ mのゲート絶縁膜14を400 μ mの間に5本重ね塗りしてゲート電極とした以外は実施例1と全く同様にTFTを作製し、TFT102を得た。

- [0066] 作製した有機TFT102について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は8.7であった。

- [0067] [実施例2]

半導体材料として表2に示す(F8T2)の化合物を用いた以外は実施例1と全く同様にTFTを作製し、TFT103を得た。

- [0068] 作製したTFT103について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表2(2.01)に示す結果であった。

[0069] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。以下に表2を示す。

[0070] [表2]

実施例	半導体材料	TFT	最大電流値／ 最小電流値
2	F 8 T 2	1 0 3	2. 0 1
3	ペンタセン	1 0 4	1. 8 6
4	カーボンナノチューブトルエン溶液	1 0 5	2. 2 1
5	カーボンナノチューブ水分散液	1 0 6	1. 5 4

[0071] [実施例3]

半導体材料として表2に示した化合物を用いた(ペンタセン)の以外は実施例1と全く同様にTFTを作製し、TFT104を得た。

[0072] 作製したTFT104について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表2に示す結果(1. 86)であった。

[0073] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0074] [実施例4]

半導体材料として表2に示した化合物を用いた(カーボンナノチューブトルエン溶液)の以外は実施例1と全く同様にTFTを作製し、TFT105を得た。

[0075] 作製したTFT105について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表2に示す結果(2. 21)であった。

[0076] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0077] [実施例5]

半導体材料として表2に示した化合物を用いた(カーボンナノチューブ水分散液)の以外は実施例1と全く同様にTFTを作製し、TFT106を得た。

[0078] 作製したTFT106について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表2に示す結果(1. 54)であった。

[0079] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0080] [実施例6]

基板11としてポリエチレンナフタレート(PEN)を用いた以外は実施例1と全く同様にTFTを作製し、TFT107を得た。

[0081] 作製した有機TFT107について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は2.55であった。

[0082] [比較例2]

基板11としてポリエチレンナフタレート(PEN)を用いた以外は比較例1と全く同様にTFTを作製し、TFT108を得た。

[0083] 作製した有機TFT108について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は18.3であった。

[0084] [実施例7]

半導体材料として表2に示した化合物を用いた以外は実施例6と全く同様にTFTを作製し、TFT109を得た。

[0085] 作製したTFT109について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表3に示す結果(3.76)であった。

[0086] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。以下に表3を示す。

[0087] [表3]

実施例	半導体材料	TFT	最大電流値/ 最小電流値
7	F8T2	109	3.76
8	ペンタセン	110	1.21
9	カーボンナノチューブトルエン溶液	111	2.01
10	カーボンナノチューブ水分散液	112	1.69

[0088] [実施例8]

半導体材料として表2に示した化合物を用いた以外は実施例6と全く同様にTFTを作製し、TFT110を得た。

[0089] 作製したTFT110について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表3に示す結果(1.21)であった。

[0090] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0091] [実施例9]

半導体材料として表2に示した化合物を用いた以外は実施例6と全く同様にTFTを作製し、TFT111を得た。

[0092] 作製したTFT111について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表3に示す結果(2.01)であった。

[0093] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0094] [実施例10]

半導体材料として表2に示した化合物を用いた以外は実施例6と全く同様にTFTを作製し、TFT112を得た。

[0095] 作製したTFT112について、実施例1と同様の条件で測定した電流値の最大値と最小値の比は、表3(1.69)に示す結果であった。

[0096] いずれのTFTにおいても最大電流値と最小電流値の比は良好であった。

[0097] 以上、本発明をその好適な実施形態例に基づいて説明したが、本発明に係る薄膜トランジスタは、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正および変更を施した薄膜トランジスタも、本発明の範囲に含まれる。

[0098] 以上説明したように、本発明の薄膜トランジスタによると、TFT特性の均一性が良好な薄膜トランジスタを提供することができる。

[0099] なお、この出願は、2008年2月1日出願した、日本特許出願番号2008-023007号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

図面の簡単な説明

[0100] [図1]一般的なTFTの構成を示す断面図である。

[図2]本発明にかかる第1のTFTの構成を示す断面図である。

[図3]本発明にかかる第2のTFTの構成を示す平面図である。

[図4]本発明にかかる第3のTFTの構成を示す平面図である。

符号の説明

[0101] 11 基板

- 12 ソース電極
- 13 ドレイン電極
- 14 ゲート電極
- 15 有機薄膜層
- 16 絶縁体層

請求の範囲

- [1] 基板上にゲート電極が形成され、ゲート電極上に絶縁性薄膜が配置される薄膜トランジスタであって、
- ゲート電極がチャンネル長より細い線幅で形成され、かつ、断面が半円、半楕円、凸状構造を有する直線もしくは曲線から形成され、
- 前記ゲート電極は、ソース電極からドレイン電極に向かって互いに重なることなく複数本設置されていることを特徴とする請求項1に記載の薄膜トランジスタ。
- [2] 前記ゲート電極が塗布工程で形成されることを特徴とする請求項1に記載の薄膜トランジスタ。
- [3] 前記ゲート電極の塗布工程がインクジェットまたはディスペンサで形成されることを特徴とする請求項1または2に記載の薄膜トランジスタ。
- [4] 前記ゲート電極がディスペンサ装置による塗布工程で形成され、
- 単数のゲート電極または複数のゲート電極のそれぞれが1回の吐出動作で形成されることを特徴とする請求項1から3のいずれか1項に記載の薄膜トランジスタ。
- [5] 前記ゲート電極がインクジェット装置による塗布工程で形成され、
- 単数のゲート電極または複数のゲート電極のそれぞれがゲート電極の長さ方向に1ドット吐出の重ね合わせで形成されることを特徴とする請求項1から4のいずれか1項に記載の薄膜トランジスタ。
- [6] チャンネルを形成する半導体材料が有機材料またはカーボンナノチューブまたはカーボンナノチューブを含有する混合物であることを特徴とする請求項1から5のいずれか1項に記載の薄膜トランジスタ。

補正された請求の範囲
[2009年6月12日 (12. 06. 2009) 国際事務局受理]

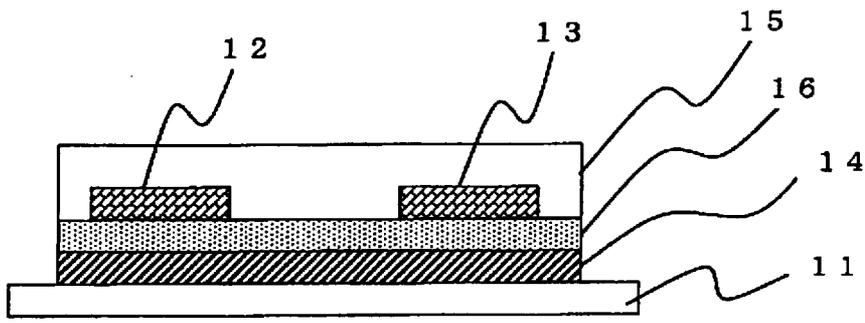
- [1] (補正後) 基板上にゲート電極が形成され、ゲート電極上に絶縁性薄膜が配置される薄膜トランジスタであって、
- ゲート電極がチャンネル長より細い線幅で形成され、かつ、断面が半円、半楕円、凸状構造を有する直線もしくは曲線から形成され、
- 前記ゲート電極は、互いに重なることなく複数本設置され、インクジェットまたはディスプレイにおける塗布工程で形成されることを特徴とする薄膜トランジスタ。
- [2] (補正後) 前記ゲート電極がディスペンサ装置による塗布工程で形成され、
- 単数のゲート電極または複数のゲート電極のそれぞれが1回の吐出動作で形成されることを特徴とする請求項1に記載の薄膜トランジスタ。
- [3] (補正後) 前記ゲート電極がインクジェット装置による塗布工程で形成され、
- 単数のゲート電極または複数のゲート電極のそれぞれがゲート電極の長さ方向に1ドット吐出の重ね合わせで形成されることを特徴とする請求項1又は2に記載の薄膜トランジスタ。
- [4] (補正後) チャンネルを形成する半導体材料が有機材料またはカーボンナノチューブまたはカーボンナノチューブを含有する混合物であることを特徴とする請求項1から3のいずれか1項に記載の薄膜トランジスタ。
- [5] (削除)
- [6] (削除)

条約第 19 条（1）に基づく説明書

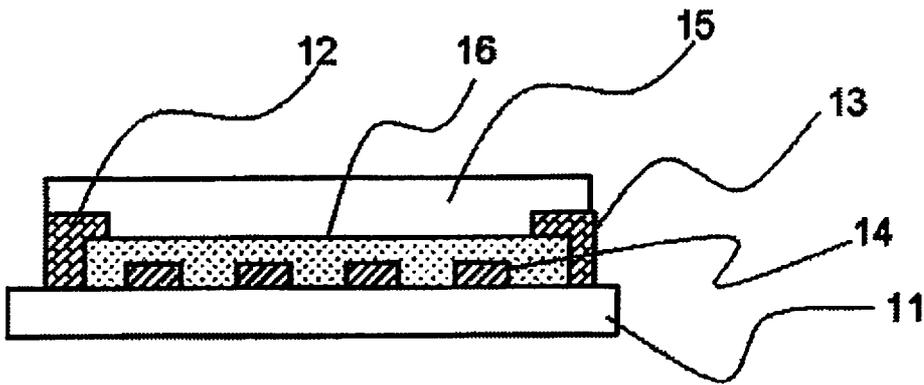
請求の範囲第 1 項を補正前の請求の範囲第 2 項及び第 3 項の内容で限定して補正した。

この補正に伴い、請求の範囲第 2 ～ 4 項における文章の整合性を図った。

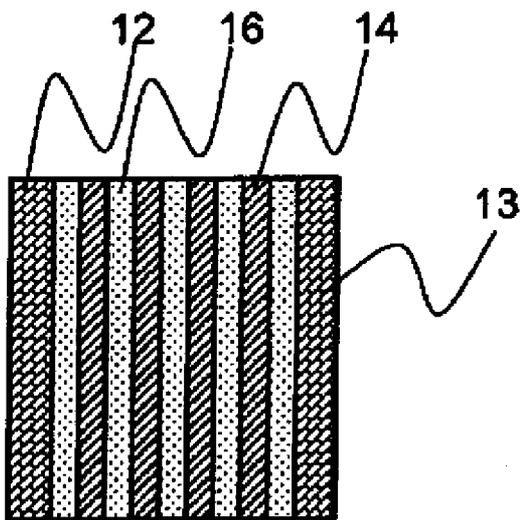
[図1]



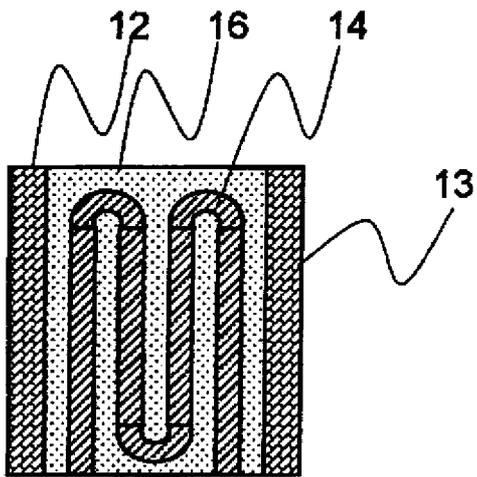
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/051586

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01) i, H01L51/05(2006.01) i, H01L51/30(2006.01) i, H01L51/40(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L51/05, H01L51/30, H01L51/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-285843 A (Semiconductor Energy Laboratory Co., Ltd.), 13 October, 2005 (13.10.05), Par. Nos. [0023] to [0091], [0122] to [0124]; Figs. 1(A), 2 to 7, 12 (Family: none)	1, 2

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 April, 2009 (06.04.09)	Date of mailing of the international search report 14 April, 2009 (14.04.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/051586

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There are five inventions in claims of this international application as stated in the extra sheet.

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature that links a group of inventions to form a single general inventive concept to have the group of inventions in claims satisfy the requirement of unity of invention. The group of inventions in claims 1-6 are linked only by the feature in claim 1.

The feature, however, cannot be a special technical feature, since it is disclosed in prior art documents, for instance, JP 2005-285843 A (Semiconductor Energy Laboratory Co., Ltd.), 13 October, 2005 (13.10.05), in paragraphs [0023]-[0091], [0122]-[0124], Fig. 1(A), Fig. 2 to Fig. 7 and Fig. 12.

There is no special technical feature among the group of inventions in claims 1-6 so as to link them to form a single general inventive concept.

Therefore, the group of inventions in claims 1-6 do not satisfy the requirement of unity of invention.

Next, the number of groups of inventions, namely, the number of inventions, so linked as to form the general inventive concept in claims in this international application is discussed.

As mentioned above, there is no special technical feature among the group of inventions in claims 1-6 so as to link them to form a single general inventive concept.

Consequently, there are five inventions classified as claims 1 and 2, claim 3, claim 4, claim 5 and claim 6 in claims of this international application.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/786(2006.01)i, H01L51/05(2006.01)i, H01L51/30(2006.01)i, H01L51/40(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/786, H01L51/05, H01L51/30, H01L51/40		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2009年 日本国実用新案登録公報 1996-2009年 日本国登録実用新案公報 1994-2009年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-285843 A (株式会社半導体エネルギー研究所) 2005. 10. 13, 段落【0023】-【0091】、段落【0122】-【0124】、図1 (A)、図2-図7、図12 (ファミリーなし)	1, 2
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06. 04. 2009	国際調査報告の発送日 14. 04. 2009	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 河本 充雄 電話番号 03-3581-1101 内線 3462	4M 9056

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条 (2) (a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

(特別ページ) に記載したように、この国際出願の請求の範囲には、5個の発明が記載されている。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求の範囲 1, 2

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-6に記載されている一群の発明は、請求の範囲1に記載された事項でのみ関連している。

しかしながら、この事項は、先行技術文献、例えば、JP 2005-285843 A (株式会社半導体エネルギー研究所) 2005.10.13, 段落【0023】-【0091】、段落【0122】-【0124】、図1(A)、図2-図7、図12に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-6に記載されている一群の発明の間には、単一の一般的発明概念を形成するように関連させるための特別な技術的特徴は存在しないこととなる。

よって、請求の範囲1-6に記載されている一群の発明は、発明の単一性の要件を満たしていない。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように関連している発明の群の数、すなわち、発明の数について検討する。

請求の範囲1-6に記載されている一群の発明の間には、上記のとおり、単一の一般的発明概念を形成するように関連させるための特別な技術的特徴は存在しない。

そうすると、この国際出願の請求の範囲には、請求の範囲1、2、請求の範囲3、請求の範囲4、請求の範囲5、請求の範囲6に区分される5個の発明が記載されている。