

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 16 年 12 月 24 日 (2004.12.24)

【公表番号】特表 2004-515931 (P2004-515931A)

【公表日】平成 16 年 5 月 27 日 (2004.5.27)

【年通号数】公開・登録公報 2004-020

【出願番号】特願 2001-505139 (P2001-505139)

【国際特許分類第 7 版】

H 0 3 M 1/78

H 0 3 K 17/00

H 0 3 K 17/693

【F I】

H 0 3 M 1/78

H 0 3 K 17/00 E

H 0 3 K 17/693 A

【手続補正書】

【提出日】平成 14 年 3 月 15 日 (2002.3.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ディジタル / アナログ変換器における抵抗器性分圧ネットワークの分路抵抗器を、低基準電圧および高基準電圧のいずれかに切り換える切り換え回路であって、

(a) 前記低基準電圧を前記分路抵抗器に結合する第 1 スイッチ MOS F E T と、前記分路抵抗器を前記高基準電圧に結合する第 2 スイッチ MOS F E T と、

(b) 第 1 スイッチ制御回路であって、

i . 前記第 1 スイッチ MOS F E T のゲートに結合された出力を有する第 1 C M O S 論理回路と、

i i . 前記低基準電圧に両方とも結合された第 1 基準抵抗器および第 1 制御 MOS F E T と、前記第 1 制御 MOS F E T のゲートに接続され更に前記第 1 スイッチ MOS F E T のゲートに前記第 1 C M O S 論理回路を介して結合されている出力を有する第 1 演算増幅器であって、前記第 1 制御 MOS F E T および前記第 1 基準抵抗器の抵抗を等化し、前記第 1 スイッチ MOS F E T のオン抵抗を前記第 1 基準抵抗器の抵抗に比例する値に調節するように動作する第 1 演算増幅器と、を含む第 1 ブリッジ回路と、

を含む第 1 スイッチ制御回路と、

(c) 第 2 スイッチ制御回路であって、

i . 前記第 2 スイッチ MOS F E T のゲートに結合された出力を有する第 C M O S 論理回路と、

i i . 第 2 基準抵抗器および第 2 制御 MOS F E T と、前記第 2 制御 MOS F E T のゲートに接続され、更に前記第 2 C M O S 論理回路を介して前記第 2 スイッチ MOS F E T のゲートに結合されている出力を有する第 2 演算増幅器であって、前記第 2 制御 MOS F E T および前記第 2 基準抵抗器の抵抗を等化し、更に前記第 2 スイッチ MOS F E T のオン抵抗を前記第 2 基準抵抗器の抵抗に比例する値に調節するように動作する第 2 演算増幅器と、を含む第 2 ブリッジ回路と、

を含む第 2 スイッチ制御回路と、

を備える切り換え回路。

【請求項 2】

請求項 1 記載の切り換え回路において、前記第 1 基準抵抗器の抵抗は、前記第 2 基準抵抗器の抵抗とは実質的に異なること、を特徴とする切り換え回路。

【請求項 3】

請求項 1 記載の切り換え回路において、前記第 1 および第 2 C M O S 論理回路は C M O S 反転器であること、を特徴とする切り換え回路。

【請求項 4】

請求項 1 記載の切り換え回路において、前記第 1 ブリッジ回路は、前記第 1 ブリッジ回路を付勢するように結合されている第 1 ブリッジ入力導体を含み、前記第 2 ブリッジ回路は、前記第 2 ブリッジ回路を付勢するように結合されている第 2 ブリッジ入力導体を含むこと、を特徴とする切り換え回路。

【請求項 5】

請求項 4 記載の切り換え回路において、前記第 1 ブリッジ入力導体は、第 1 電流源エレメントを介して前記第 1 基準抵抗器および前記第 1 演算増幅器の (-) 入力に結合され、更に第 2 電流源エレメントを介して前記第 1 制御 M O S F E T および前記第 1 演算増幅器の (+) 入力にも結合されており、前記第 2 ブリッジ入力導体は、第 3 電流源エレメントを介して前記第 2 基準抵抗器および前記第 2 演算増幅器の (-) 入力に結合され、更に第 4 電流源エレメントを介して前記第 2 制御 M O S F E T および前記第 2 演算増幅器の (+) 入力にも結合されていること、を特徴とする切り換え回路。

【請求項 6】

請求項 1 記載の切り換え回路であって、前記第 1 基準抵抗器および前記第 1 演算増幅器の (-) 入力に結合されている第 1 電流源エレメントと、前記第 1 制御 M O S F E T および前記第 1 演算増幅器の (+) 入力に結合されている第 2 電流源エレメントと、前記第 2 基準抵抗器および前記第 2 演算増幅器の (-) 入力に結合されている第 3 電流源エレメントと、前記第 2 制御 M O S F E T および前記第 2 演算増幅器の (+) 入力に結合されている第 4 電流源エレメントとを含むこと、を特徴とする切り換え回路。

【請求項 7】

請求項 5 記載の切り換え回路において、前記第 1、第 2、第 3 および第 4 電流源エレメントは、それぞれ、第 1、第 2、第 3、および第 4 抵抗器であり、前記第 1 ブリッジ入力導体は、前記低基準電圧から一定量だけブートストラップした電圧を導通させ、前記第 2 ブリッジ入力導体は、前記高基準電圧から別の一定量だけブートストラップした電圧を導通させること、を特徴とする切り換え回路。

【請求項 8】

請求項 5 記載の切り換え回路において、前記第 1 演算増幅器の (+) 入力は、第 1 レベル・シフト抵抗器を介して前記第 1 制御 M O S F E T のドレインに結合されており、前記第 1 基準抵抗器は第 1 複合抵抗器の一体部分であり、該第 1 複合抵抗器は、前記第 1 基準抵抗器の抵抗と直列の前記第 1 レベル・シフト抵抗器の抵抗に等しい第 1 レベル・シフト抵抗も含み、前記第 2 演算増幅器の (+) 入力は、第 2 レベル・シフト抵抗器を介して前記第 2 制御 M O S F E T のドレインに結合されており、前記第 2 基準抵抗器は第 2 複合抵抗器の一体部分であり、該第 2 複合抵抗器は、前記第 2 レベル・シフト抵抗器の抵抗と直列の第 2 レベル・シフト抵抗も含むこと、を特徴とする切り換え回路。

【請求項 9】

請求項 5 記載の切り換え回路において、前記第 1 基準抵抗器の抵抗は、前記第 2 基準抵抗器の抵抗よりも実質的に大きな値であって、前記第 1 ブリッジ回路を流れるバイアス電流を、前記第 2 ブリッジ回路を流れる対応のバイアス電流に対して、実質的に減少させること、を特徴とする切り換え回路。

【請求項 10】

請求項 1 記載の切り換え回路であって、前記第 1 ブリッジ制御回路において、前記低基準電圧とは独立した値に前記第 1 ブリッジ回路を付勢する第 1 バイアス電流を維持する第 1

手段と、前記第 2 ブリッジ制御回路において、前記高基準電圧とは独立した値に前記第 2 ブリッジ回路を付勢する第 2 バイアス電流を維持する第 2 手段とを含むこと、を特徴とする切り換え回路。

【請求項 1 1】

ディジタル／アナログ変換器において、当該ディジタル／アナログ変換器のディジタル入力に印加される二進入力 of 1 ビットに対応する論理情報に応答して、 $R/2R'$ 抵抗器性分圧ネットワークのレッグを、高基準電圧または低基準電圧に切り換える切り換え回路であって、

(a) 前記低基準電圧を導通させる第 1 導体に結合されているソースと、前記レッグの導体に結合されているドレインとを有する第 1 MOSFET と、前記レッグの導体に結合されているソースと、前記高基準電圧を導通させる第 2 基準電圧導体に結合されているドレインとを有する第 2 MOSFET とを含むスイッチ回路と、

(b) 第 1 スイッチ制御回路であって、

i. 第 1 給電導体および第 2 給電導体の間に結合され、前記論理情報を受けけるように結合されている入力と、前記第 1 MOSFET のゲートに結合されている出力とを有する第 1 CMOS 反転器と、

ii. 第 1 ブートストラップ基準電圧源と、

iii. 第 1 および第 2 入力端子と、第 1 および第 2 出力端子とを含む第 1 ブリッジ回路であって、前記第 1 ブートストラップ基準電圧源を前記第 1 および第 2 入力端子間に結合した、第 1 ブリッジ回路と、

iv. 前記第 2 入力端子および前記第 1 出力端子の間に結合されている第 1 抵抗器と、前記第 1 出力端子および前記第 1 入力端子の間に結合されている第 2 抵抗器と、前記第 1 入力端子および前記第 2 出力端子の間に結合されている第 3 抵抗器と、前記第 2 出力端子および前記第 2 入力端子の間に結合されている第 4 抵抗器と、前記第 4 抵抗器を前記第 2 入力端子に結合する第 3 MOSFET と、

v. 前記第 1 出力端子に結合されている第 1 入力と、前記第 2 出力端子に結合されている第 2 入力と、第 2 導体によって前記第 3 MOSFET のゲート電極に接続されている出力とを有する第 1 演算増幅器と、

を含む第 1 スイッチ制御回路と、

(c) 第 2 スイッチ制御回路であって、

i. 第 3 給電導体および前記第 2 給電導体の間に結合されており、前記二進ビット信号の相補値を受けけるように接続されている入力と、前記第 2 MOSFET のゲートに結合されている出力とを有する第 2 CMOS 反転器と、

ii. 第 2 ブートストラップ基準電圧源と、

iii. 第 3 および第 4 入力端子ならびに第 3 および第 4 出力端子を含む第 2 ブリッジ回路であって、前記第 2 ブートストラップ基準電圧源を前記第 3 および第 4 入力端子間に結合した、第 2 ブリッジ回路と、

iv. 前記第 4 入力端子および前記第 3 出力端子間に結合されている第 5 抵抗器と、前記第 3 出力端子および前記第 3 入力端子間に結合されている第 6 抵抗器と、前記第 3 入力端子および前記第 4 出力端子間に結合されている第 7 抵抗器と、前記第 4 出力端子および前記第 4 入力端子間に結合されている第 8 抵抗器と、前記第 8 抵抗器を前記第 4 入力端子に結合する第 4 MOSFET と、

v. 前記第 3 出力端子に結合されている第 1 入力と、前記第 4 出力端子に結合されている第 2 入力と、第 3 導体によって前記第 4 MOSFET のゲート電極に接続されている出力とを有する第 2 演算増幅器であって、前記第 1 および第 2 スイッチ MOSFET の各々のオン抵抗が R_{ONi} に等しく、前記抵抗 $2R'$ が $2R - R_{ONi}$ に等しい、第 2 演算増幅器と、

を含む第 2 スイッチ制御回路と、

を備える切り換え回路。

【請求項 1 2】

ディジタル／アナログ変換器であって、

(a) 各々抵抗 R を有する複数の直列抵抗器と、各々抵抗 $2R'$ を有する複数の分路抵抗器とを含む抵抗器性分圧ネットワークと、

(b) デジタル／アナログ変換器における抵抗器性分圧ネットワークの分路抵抗器を、低基準電圧および高基準電圧のいずれかに切り換える切り換え回路であって、

(1) 前記低基準電圧を前記分路抵抗器に結合する第1スイッチMOSFETと、前記分路抵抗器を前記高基準電圧に結合する第2スイッチMOSFETと、

(2) 第1スイッチ制御回路であって、

i. 前記第1スイッチMOSFETのゲートに結合されている出力を有する第1CMOS論理回路と、

ii. 前記低基準電圧に両方とも結合されている第1基準抵抗器および第1制御MOSFETと、前記第1制御MOSFETのゲートに接続され、更に前記第1CMOS論理回路を介して前記第1スイッチMOSFETのゲートにも結合されている出力を有する第1演算増幅器であって、前記第1制御MOSFETおよび前記第1基準抵抗器の抵抗を等化し、前記第1スイッチMOSFETのオン抵抗を前記第1基準抵抗器の抵抗に比例する値に調節するように動作する第1演算増幅器と、を含む第1ブリッジ回路と、

を含む第1スイッチ制御回路と、

(3) 第2スイッチ制御回路であって、

i. 前記第2スイッチMOSFETのゲートに結合されている出力を有する第2CMOS論理回路と、

ii. 第2基準抵抗器および第2制御MOSFETと、前記第2制御MOSFETのゲートに接続され、更に前記第2CMOS論理回路を介して前記第2スイッチMOSFETのゲートにも結合されている出力を有する第2演算増幅器であって、前記第2制御MOSFETおよび前記第2基準抵抗器の抵抗を等化し、前記第2スイッチMOSFETのオン抵抗を前記第2基準抵抗器の抵抗に比例する値に調節するように動作する第2演算増幅器と、を含む第2ブリッジ回路と、

を含む第2スイッチ制御回路と、

を備え、

(c) 前記第1および第2スイッチMOSFETの各々のオン抵抗が R_{ONi} に等しく、前記抵抗 $2R'$ が $2R - R_{ONi}$ に等しいこと、

を特徴とするディジタル／アナログ変換器。

【請求項13】

請求項12記載のディジタル／アナログ変換器において、前記第1基準抵抗器の抵抗が、前記第2基準抵抗器の抵抗とは実質的に異なること、を特徴とするディジタル／アナログ変換器。

【請求項14】

請求項12記載のディジタル／アナログ変換器において、前記第1および第2CMOS論理回路はCMOS反転器であること、を特徴とするディジタル／アナログ変換器。

【請求項15】

請求項12記載のディジタル／アナログ変換器において、前記第1ブリッジ回路は、該第1ブリッジ回路を付勢するように結合されている第1ブリッジ入力導体を含み、前記第2ブリッジ回路は、該第2ブリッジ回路を付勢するように結合されている第2ブリッジ入力導体を含むこと、を特徴とするディジタル／アナログ変換器。

【請求項16】

請求項15記載のディジタル／アナログ変換器において、前記第1ブリッジ入力導体は、第1電流源エレメントを介して前記第1基準抵抗器および前記第1演算増幅器の(-)入力に結合し、更に第2電流源エレメントを介して前記第1制御MOSFETおよび前記第1演算増幅器の(+)入力にも結合し、前記第2ブリッジ入力導体は、第3電流源エレメントを介して前記第2基準抵抗器および前記第2演算増幅器の(-)入力に結合し、更に第4電流源エレメントを介して前記第2制御MOSFETおよび前記第2演算増幅器の(

+) 入力にも結合したこと、を特徴とするディジタル / アナログ変換器。

【請求項 17】

請求項 16 記載のディジタル / アナログ変換器において、前記第 1、第 2、第 3 および第 4 電流源エレメントは、それぞれ、第 1、第 2、第 3、および第 4 抵抗器であり、前記第 1 ブリッジ入力導体は、前記低基準電圧から一定量だけブートストラップされた電圧を導通させ、前記第 2 ブリッジ入力導体は、前記高基準電圧から別の一定量だけブートストラップされた電圧を導通させること、を特徴とするディジタル / アナログ変換器。

【請求項 18】

請求項 16 記載のディジタル / アナログ変換器において、前記第 1 演算増幅器の (+) 入力は、第 1 レベル・シフト抵抗器を介して前記第 1 制御 MOSFET のドレインに結合されており、前記第 1 基準抵抗器は、第 1 複合抵抗器の一体部分であり、該第 1 複合抵抗器は、前記第 1 基準抵抗器の抵抗と直列に前記第 1 レベル・シフト抵抗器の抵抗に等しい第 1 レベル・シフト抵抗も含み、前記第 2 演算増幅器の (+) 入力は、第 2 レベル・シフト抵抗器を介して前記第 2 制御 MOSFET のドレインに結合されており、前記第 2 基準抵抗器は、第 2 複合抵抗器の一体部分であり、該第 2 複合抵抗器は、前記第 2 レベル・シフト抵抗器の抵抗と直列に第 2 レベル・シフト抵抗も含むこと、を特徴とするディジタル / アナログ変換器。

【請求項 19】

請求項 16 記載のディジタル / アナログ変換器において、前記第 1 基準抵抗器の抵抗は、前記第 2 基準抵抗器の抵抗よりも実質的に大きい値にスケーリングして、前記第 1 ブリッジ回路を流れるバイアス電流を、前記第 2 ブリッジ回路を流れる対応のバイアス電流に対して実質的に減少させること、を特徴とするディジタル / アナログ変換器。

【請求項 20】

請求項 12 記載のディジタル / アナログ変換器であって、前記第 1 ブリッジ制御回路において、前記低基準電圧とは独立した値に前記第 1 ブリッジ回路を付勢する第 1 バイアス電流を維持する第 1 手段と、前記第 2 ブリッジ制御回路において、前記高基準電圧とは独立した値に前記第 2 ブリッジ回路を付勢する第 2 バイアス電流を維持する第 2 手段とを含むこと、を特徴とするディジタル / アナログ変換器。

【請求項 21】

請求項 12 記載のディジタル / アナログ変換器において、前記第 1 および第 2 基準抵抗器は、前記第 1 および第 2 制御 MOSFET および前記第 1 および第 2 スイッチ MOSFET のオン抵抗と同じ温度係数を有すること、を特徴とするディジタル / アナログ変換器。

【請求項 22】

請求項 21 記載のディジタル / アナログ変換器において、前記抵抗 R は単一の値であり、前記抵抗値 $2R'$ の一部が他の抵抗と異なり、オン抵抗値 R_{ONi} の一部が他の抵抗と異なること、を特徴とするディジタル / アナログ変換器。

【請求項 23】

請求項 22 記載のディジタル / アナログ変換器であって、全てが同じチャネル長を有する複数の第 1 スイッチ MOSFET および第 2 スイッチ MOSFET を含むことによって、前記ディジタル / アナログ変換器の精度におけるコードに依存したばらつきを低減すること、を特徴とするディジタル / アナログ変換器。

【請求項 24】

ディジタル / アナログ変換器において用いるために適合させた抵抗器性分圧ネットワークであって、

(a) 各々抵抗 R を有する複数の直列抵抗器と各々抵抗 $2R'$ を有する複数の分路抵抗器とを備え、前記ディジタル / アナログ変換器が、前記抵抗器性分圧ネットワークの分路抵抗器を、第 1 および第 2 基準電圧のいずれかに切り換える切り換え回路を含み、該切り換え回路が、前記低基準電圧を前記レグに結合する第 1 スイッチ MOSFET と、前記レグを前記高基準電圧に結合する第 2 スイッチ MOSFET とを含み、

(b) 前記第 1 および第 2 スイッチ MOSFET の各々のオン抵抗が R_{ONi} に等しく、

前記抵抗 $2R'$ が $2R - R_{ONi}$ に等しいこと、
を特徴とする抵抗器性分圧ネットワーク。

【請求項 25】

請求項 24 記載の抵抗器性分圧ネットワークであって、前記低基準電圧に両方とも結合されている第 1 基準抵抗器および第 1 制御 MOSFET と、前記第 1 スイッチ MOSFET のゲートに結合されている出力を有する第 1 演算増幅器であって、前記第 1 基準抵抗器の抵抗に比例するように前記第 1 スイッチ MOSFET のオン抵抗を調節するように動作する第 1 演算増幅器と、を含む第 1 回路と、第 2 基準抵抗器および第 2 制御 MOSFET と、前記第 2 スイッチ MOSFET のゲートに結合されている出力を有する第 2 演算増幅器であって、前記第 2 基準抵抗器の抵抗に比例するように前記第 2 スイッチ MOSFET のオン抵抗を調節するように動作する第 2 演算増幅器と、を含む第 2 回路と、を備えた切り換え回路を含むこと、を特徴とする抵抗器性分圧ネットワーク。

【請求項 26】

抵抗器性ラダー・ネットワークの分路抵抗器を低基準電圧または高基準電圧のいずれかに接続するビット・スイッチの二進スケーリングを行うことなく、ディジタル/アナログ変換器において高い精度を得る方法であって、

(a) 各分路抵抗器毎に、前記分路抵抗器の端子および前記低基準電圧の間に結合した第 1 スイッチ MOSFET を設け、前記分路抵抗器の前記端子および前記高基準電圧の間に結合した第 2 スイッチ MOSFET を設けるステップと、

(b) 前記ディジタル/アナログ変換器に印加するディジタル入力ワードのビットの状態に応じて、前記第 1 および第 2 スイッチ MOSFET のゲート電極に制御電圧を印加し、それぞれ、各分路抵抗器の前記端子に結合されている前記第 1 および第 2 スイッチ MOSFET の一方または他方をオンに切り換えて、オンに切り換えた各第 1 または第 2 スイッチ MOSFET のオン抵抗を $2R - 2R'$ に等しくするステップであって、 R が前記抵抗器性ラダー・ネットワークの複数の直列抵抗器の各々の抵抗であり、 $2R'$ が前記オンに切り換えた第 1 または第 2 スイッチが結合されている分路抵抗器の抵抗である、ステップと、

から成る方法。

【請求項 27】

請求項 26 記載の方法において、前記第 1 スイッチ MOSFET および前記第 2 スイッチ MOSFET のオン抵抗を二進スケーリングしないこと、を特徴とする方法。

【請求項 28】

請求項 26 記載の方法において、ステップ (b) は、前記制御電圧の大きさを制御することによって、前記オンに切り換えた第 1 および第 2 スイッチ MOSFET のオン抵抗器の温度係数を、前記抵抗器性ラダー・ネットワークを構成する抵抗器の温度係数に等しくするステップを含むこと、を特徴とする方法。