



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0029849
(43) 공개일자 2017년03월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/76811 (2013.01)
H01L 21/76829 (2013.01)
(21) 출원번호 10-2015-0126949
(22) 출원일자 2015년09월08일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김은정
대구광역시 달서구 선원남로 77, 101동 1602호 (이곡동, 한샘타운)
박소현
서울특별시 영등포구 여의대방로43나길 25, 105동 2203호 (신길동, 삼환아파트)
(74) 대리인
특허법인씨엔에스

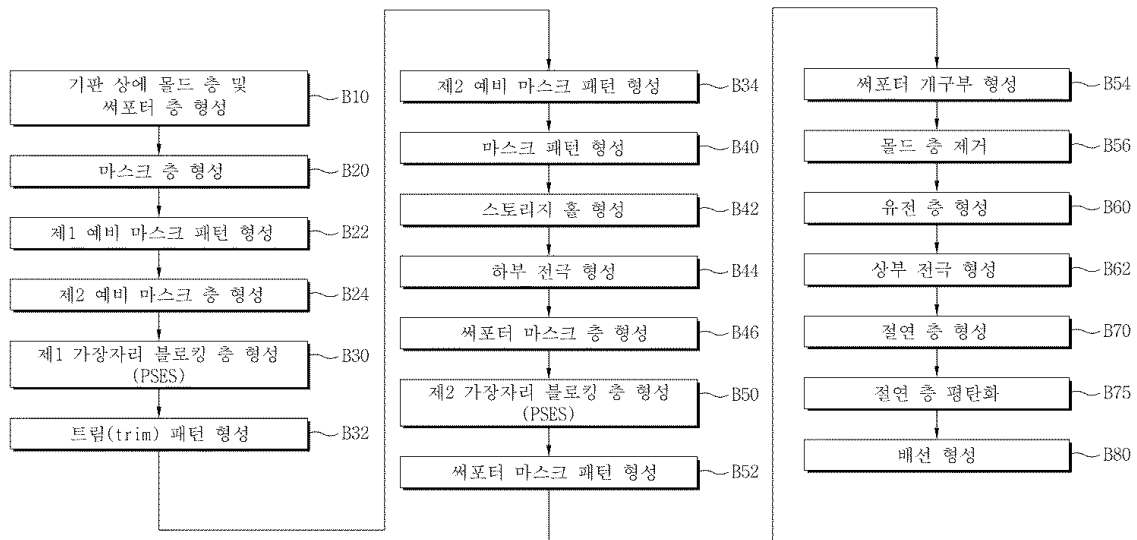
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **에지 칩을 갖는 반도체 소자 형성 방법 및 관련된 소자**

(57) 요약

에지 칩을 갖는 반도체 소자 형성 방법에 관한 것이다. 식각 정지 층을 갖는 기판 상에 몰드 층 및 씨포터 층을 형성한다. 상기 씨포터 층 상에 마스크 층을 형성한다. 상기 마스크 층 상에 제1 가장자리 블로킹 층을 형성한다. 상기 마스크 층을 식각하여 마스크 패턴을 형성한다. 상기 씨포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성한다. 상기 홀 내에 하부 전극을 형성한다. 상기 씨포터 층 상에 씨포터 마스크 층을 형성한다. 상기 씨포터 마스크 층 상에 제2 가장자리 블로킹 층을 형성한다. 상기 씨포터 마스크 층을 패터닝하여 씨포터 마스크 패턴을 형성한다. 상기 씨포터 층을 관통하는 씨포터 개구부를 형성한다. 상기 몰드 층을 제거한다. 상기 하부 전극 상에 캐패시터 유전 층 및 상부 전극을 형성한다. 상기 상부 전극 상에 층간 절연 층을 형성한다. 상기 층간 절연 층을 평탄화한다.

대표도



(52) CPC특허분류

H01L 21/76834 (2013.01)

H01L 21/76841 (2013.01)

H01L 21/7687 (2013.01)

(72) 발명자

김봉수

경기도 용인시 기흥구 보정로 30, 124동 1702호 (보정동, 행원마을 동아솔레시아파트)

황유상

경기도 수원시 영통구 영통로200번길 156, 1001동 504호 (망포동, 방죽마을영통뜨란채)

김동완

경기도 화성시 동탄공원로1길 6-59, 361동 304호 (반송동, 동탄시범다운마을 풍성신미주)

한정훈

경기도 화성시 메타폴리스로 6, 311동 303호 (반송동, 동탄시범다운마을 삼성래미안)

명세서

청구범위

청구항 1

식각 정지 층을 갖는 기판 상에 몰드 층 및 써포터 층을 형성하되, 상기 기판은 메인 칩(main chip) 및 상기 메인 칩 보다 상기 기판의 가장자리에 인접한 에지 칩(edge chip)을 포함하고, 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함하며, 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함하고,

상기 써포터 층 상에 마스크 층을 형성하고,

상기 마스크 층 상에 상기 제2 셀 영역 및 상기 제2 주변 영역을 덮는 제1 가장자리 블로킹 층을 형성하고,

상기 마스크 층을 식각하여 마스크 패턴을 형성하고,

상기 마스크 패턴을 식각마스크로 사용하여 상기 써포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성하되, 상기 제1 셀 영역 상에는 상기 홀이 형성되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니하고,

상기 홀 내에 하부 전극을 형성하고,

상기 써포터 층의 상부표면을 노출하되, 상기 제1 셀 영역 상의 상기 써포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 써포터 층의 상단, 상기 제2 셀 영역 상의 상기 써포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 써포터 층의 상단은 실질적으로 동일 레벨을 이루고,

상기 써포터 층 상에 써포터 마스크 층을 형성하고,

상기 써포터 마스크 층 상에 제2 가장자리 블로킹 층을 형성하고,

상기 써포터 마스크 층을 패터닝하여 써포터 마스크 패턴을 형성하고,

상기 써포터 층을 관통하는 써포터 개구부를 형성하고,

상기 몰드 층을 제거하고,

상기 하부 전극 상에 캐패시터 유전 층을 형성하고,

상기 캐패시터 유전 층 상에 상부 전극을 형성하고,

상기 상부 전극 상에 층간 절연 층을 형성하고,

상기 층간 절연 층을 평탄화하는 것을 포함하는 반도체 소자 형성 방법.

청구항 2

제1 항에 있어서,

상기 제1 가장자리 블로킹 층 및 상기 제2 가장자리 블로킹 층의 각각은 네거티브 포토레지스트를 포함하는 반도체 소자 형성 방법.

청구항 3

제1 항에 있어서,

상기 마스크 패턴을 형성하는 것은

상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 마스크 층 상에 제1 예비 마스크 패턴을 형성하고,

상기 제1 예비 마스크 패턴 상에 제2 예비 마스크 층을 형성하되, 상기 제2 예비 마스크 층은 상기 기판의 전면을 덮고,

상기 제1 가장자리 블로킹 층을 형성하고,

상기 제2 예비 마스크 층 및 상기 제1 가장자리 블로킹 층 상에 트림(trim) 패턴을 형성하되, 상기 트림 패턴은 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 가장자리 및 상기 제1 주변 영역 및 상기 제2 주변 영역을 덮고, 상기 제2 예비 마스크 층을 식각하여 상기 제1 셀 영역 상에 상기 제1 예비 마스크 패턴과 교차하는 제2 예비 마스크 패턴을 형성하고,

상기 제2 예비 마스크 패턴 및 상기 제1 예비 마스크 패턴을 식각마스크로 사용하여 상기 마스크 층을 식각하는 것을 포함하는 반도체 소자 형성 방법.

청구항 4

제3 항에 있어서,
 상기 제1 예비 마스크 패턴을 형성하는 것은
 상기 마스크 층 상에 제1 희생 패턴을 형성하고,
 상기 제1 희생 패턴의 상부 및 측면을 덮는 제1 예비 마스크 층을 형성하고,
 상기 제1 예비 마스크 층을 이방성 식각하고,
 상기 제1 희생 패턴을 제거하는 것을 포함하는 반도체 소자 형성 방법.

청구항 5

제3 항에 있어서,
 상기 제2 예비 마스크 패턴을 형성하는 것은
 상기 제1 예비 마스크 패턴 상을 가로지르는 제2 희생 패턴을 형성하고,
 상기 제2 희생 패턴의 상부 및 측면을 덮는 상기 제2 예비 마스크 층을 형성하고,
 상기 제2 예비 마스크 층을 이방성 식각하고,
 상기 제2 희생 패턴을 제거하는 것을 포함하는 반도체 소자 형성 방법.

청구항 6

제3 항에 있어서,
 상기 제2 예비 마스크 층은 상기 제1 셀 영역, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상을 덮고,
 상기 제1 가장자리 블로킹 층은 상기 제2 셀 영역, 및 상기 제2 주변 영역 상을 덮는 반도체 소자 형성 방법.

청구항 7

제1 항에 있어서,
 상기 제2 가장자리 블로킹 층은 상기 제2 셀 영역 상을 덮고, 상기 제1 셀 영역, 상기 제1 주변 영역, 및 상기 제2 주변 영역 상을 노출하는 반도체 소자 형성 방법.

청구항 8

제7 항에 있어서,
 상기 캐패시터 유전 층을 형성하기 전에,
 상기 제1 셀 영역 상에 상기 식각 정지 층, 상기 하부 전극, 및 상기 써포터 층이 노출되고,
 상기 제1 주변 영역 상에 상기 식각 정지 층이 노출되며,
 상기 제2 셀 영역 상에 상기 써포터 층이 노출되되, 상기 써포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존되고,

상기 제2 주변 영역 상에 상기 식각 정지 층이 노출되는 것을 포함하는 반도체 소자 형성 방법.

청구항 9

제1 항에 있어서,

상기 제2 가장자리 블로킹 층은 상기 제2 셀 영역 및 상기 제2 주변 영역 상을 덮고, 상기 제1 셀 영역 및 상기 제1 주변 영역 상을 노출하는 반도체 소자 형성 방법.

청구항 10

제9 항에 있어서,

상기 캐패시터 유전 층을 형성하기 전에,

상기 제1 셀 영역 상에 상기 식각 정지 층, 상기 하부 전극, 및 상기 씨포터 층이 노출되고,

상기 제1 주변 영역 상에 상기 식각 정지 층이 노출되며,

상기 제2 셀 영역 상에 상기 씨포터 층이 노출되되, 상기 씨포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존되고,

상기 제2 주변 영역 상에 상기 씨포터 층이 노출되되, 상기 씨포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존되는 것을 포함하는 반도체 소자 형성 방법.

청구항 11

식각 정지 층을 갖는 기판 상에 몰드 층 및 씨포터 층을 형성하되, 상기 기판은 메인 칩(main chip) 및 상기 메인 칩 보다 상기 기판의 가장자리에 인접한 에지 칩(edge chip)을 포함하고, 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함하며, 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함하고,

상기 씨포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성하되, 상기 제1 셀 영역 상에는 상기 홀이 형성되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니하고,

상기 홀 내에 하부 전극을 형성하고,

상기 씨포터 층의 상부표면을 노출하되, 상기 제1 셀 영역 상의 상기 씨포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 씨포터 층의 상단, 상기 제2 셀 영역 상의 상기 씨포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 씨포터 층의 상단은 실질적으로 동일 레벨을 이루고,

상기 씨포터 층 상에 씨포터 마스크 층을 형성하고,

상기 씨포터 마스크 층 상에 가장자리 블로킹 층을 형성하고,

상기 씨포터 마스크 층을 패터닝하여 씨포터 마스크 패턴을 형성하고,

상기 씨포터 층을 관통하는 씨포터 개구부를 형성하고,

상기 몰드 층을 제거하고,

상기 하부 전극 상에 캐패시터 유전 층을 형성하고,

상기 캐패시터 유전 층을 갖는 상기 기판 상에 상부 전극을 형성하고,

상기 상부 전극 상에 층간 절연 층을 형성하고,

상기 층간 절연 층을 평탄화하는 것을 포함하는 반도체 소자 형성 방법.

청구항 12

제11 항에 있어서,

상기 가장자리 블로킹 층을 형성하는 것은

상기 제2 셀 영역에 대응하는 투광 패턴 및 상기 제2 주변 영역에 대응하는 차광 패턴을 갖는 레티클이 적용되

는 반도체 소자 형성 방법.

청구항 13

제12 항에 있어서,

상기 층간 절연 층을 평탄화하기 전에,

상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 층간 절연 층의 상단들은 실질적으로 동일 레벨에 형성되고,

상기 제1 주변 영역 및 상기 제2 주변 영역 상의 상기 층간 절연 층의 상단들은 실질적으로 동일 레벨에 형성되며,

상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 층간 절연 층의 상단들은 상기 제1 주변 영역 및 상기 제2 주변 영역 상의 상기 층간 절연 층의 상단들보다 높은 레벨에 형성된 반도체 소자 형성 방법.

청구항 14

제11 항에 있어서,

상기 가장자리 블로킹 층을 형성하는 것은

상기 제2 셀 영역 및 상기 제2 주변 영역에 대응하는 투광 패턴을 갖는 레티클이 적용되는 반도체 소자 형성 방법.

청구항 15

제14 항에 있어서,

상기 층간 절연 층을 평탄화하기 전에,

상기 제2 주변 영역 상의 상기 층간 절연 층을 식각하여 리세스하는 것을 더 포함하되,

상기 리세스된 층간 절연 층의 상부 표면은 상기 제1 주변 영역 상의 상기 층간 절연 층의 상부 표면과 실질적으로 동일 레벨에 형성된 반도체 소자 형성 방법.

청구항 16

식각 정지 층을 갖는 기판 상에 몰드 층 및 써포터 층을 형성하되, 상기 기판은 메인 칩(main chip) 및 상기 메인 칩 보다 상기 기판의 가장자리에 인접한 에지 칩(edge chip)을 포함하고, 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함하며, 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함하고,

상기 써포터 층 상에 마스크 층을 형성하고,

상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 마스크 층 상에 제1 예비 마스크 패턴을 형성하고,

상기 제1 예비 마스크 패턴 상에 제2 예비 마스크 층을 형성하되, 상기 제2 예비 마스크 층은 상기 기판의 전면을 덮고,

상기 제2 셀 영역 및 상기 제2 주변 영역 상의 상기 제2 예비 마스크 층을 덮는 가장자리 블로킹 층을 형성하고,

상기 제2 예비 마스크 층 및 상기 가장자리 블로킹 층 상에 트림(trim) 패턴을 형성하되, 상기 트림 패턴은 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 가장자리 및 상기 제1 주변 영역 및 상기 제2 주변 영역을 덮고,

상기 제2 예비 마스크 층을 식각하여 상기 제1 셀 영역 상에 상기 제1 예비 마스크 패턴과 교차하는 제2 예비 마스크 패턴을 형성하고,

상기 제2 예비 마스크 패턴 및 상기 제1 예비 마스크 패턴을 식각마스크로 사용하여 상기 마스크 층을 식각하여 마스크 패턴을 형성하고,

상기 마스크 패턴을 식각마스크로 사용하여 상기 써포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성하되, 상기 제1 셀 영역 상에는 상기 홀이 형성되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니하고,

상기 홀 내에 하부 전극을 형성하고,

상기 씨포터 층의 상부표면을 노출하는 것을 포함하되,

상기 제1 셀 영역 상의 상기 씨포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 씨포터 층의 상단, 상기 제2 셀 영역 상의 상기 씨포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 씨포터 층의 상단은 실질적으로 동일 레벨을 이루는 반도체 소자 형성 방법.

청구항 17

메인 칩 및 에지 칩을 갖는 기관;

상기 에지 칩은 상기 메인 칩 보다 상기 기관의 가장자리에 인접하고, 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함하며, 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함하고, 상기 기관 상의 랜딩 패드들;

상기 랜딩 패드들 상의 식각 정지 층;

상기 식각 정지 층 상의 씨포터 층;

상기 씨포터 층 및 상기 식각 정지 층을 관통하여 랜딩 패드들에 접촉된 하부 전극;

상기 식각 정지 층 및 상기 씨포터 층 사이의 몰드 층;

상기 하부 전극 상의 캐패시터 유전 층;

상기 캐패시터 유전 층 상의 상부 전극; 및

상기 식각 정지 층 및 상기 상부 전극 상을 덮는 층간 절연 층을 포함하되,

상기 제1 셀 영역 상에는 상기 하부 전극이 보존되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 하부 전극이 없으며,

상기 제1 셀 영역 및 상기 제1 주변 영역 상에는 상기 몰드 층이 없고,

상기 제1 주변 영역 상에는 상기 씨포터 층이 없는 반도체 소자.

청구항 18

제17 항에 있어서,

상기 제1 셀 영역 상의 상기 층간 절연 층의 하부 표면과 상기 제2 셀 영역 상의 상기 층간 절연 층의 하부 표면은 실질적으로 동일 레벨에 형성된 반도체 소자.

청구항 19

제17 항에 있어서,

상기 상부 전극은 상기 제2 셀 영역 상의 상기 상단 씨포터 층 상에 보존되며,

상기 제2 셀 영역 상의 상기 상부 전극의 상부 표면은 상기 제1 셀 영역 상의 상기 상부 전극의 상부 표면과 실질적으로 동일 레벨에 형성된 반도체 소자.

청구항 20

제17 항에 있어서,

상기 제1 셀 영역 및 상기 제2 셀 영역 상에는 상기 씨포터 층이 보존되고,

상기 제2 셀 영역 상에는 상기 식각 정지 층 및 상기 씨포터 층 사이에 상기 몰드 층이 보존되고,

상기 제2 주변 영역 상에는 상기 몰드 층 및 상기 씨포터 층이 없는 반도체 소자.

발명의 설명

기술분야

[0001] 에지 칩(edge chip)을 포함하는 반도체 소자 형성 방법에 관한 것이다.

배경기술

[0002] 에지 칩(edge chip) 상에 패턴의 형성을 방지하기 위한 다양한 방법이 시도되고 있다. 상기 에지 칩 상에 형성되는 패턴은 파손에 취약한 특성을 보인다. 상기 패턴의 파손은 메인 칩(main chip)의 불량률 유발한다. 상기 패턴이 형성될 영역을 식각하여 리세스 영역을 형성하는 경우 상기 에지 칩 및 상기 메인 칩 간의 표면 단차가 증가될 수 있다. 상기 에지 칩 및 상기 메인 칩 간의 표면 단차는 평탄화 공정을 어렵게 한다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, 에지 칩(edge chip) 상에 패턴의 형성을 방지하면서 표면 단차를 최소화할 수 있는 반도체 소자 형성 방법을 제공하는 데 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는, 우수한 전기적 특성을 갖는 반도체 소자를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 달성하기 위하여 본 발명 기술적 사상의 실시 예들은, 반도체 소자 형성 방법을 제공한다. 이 방법은 식각 정지 층을 갖는 기판 상에 몰드 층 및 써포터 층을 형성하는 것을 포함한다. 상기 기판은 메인 칩(main chip) 및 상기 메인 칩 보다 상기 기판의 가장자리에 인접한 에지 칩(edge chip)을 포함한다. 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함한다. 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함한다. 상기 써포터 층 상에 마스크 층을 형성한다. 상기 마스크 층 상에 상기 제2 셀 영역 및 상기 제2 주변 영역을 덮는 제1 가장자리 블로킹 층을 형성한다. 상기 마스크 층을 식각 하여 마스크 패턴을 형성한다. 상기 마스크 패턴을 식각마스크로 사용하여 상기 써포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성한다. 상기 제1 셀 영역 상에는 상기 홀이 형성된다. 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니한다. 상기 홀 내에 하부 전극을 형성한다. 상기 써포터 층의 상부 표면을 노출한다. 상기 제1 셀 영역 상의 상기 써포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 써포터 층의 상단, 상기 제2 셀 영역 상의 상기 써포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 써포터 층의 상단은 실질적으로 동일 레벨을 이룬다. 상기 써포터 층 상에 써포터 마스크 층을 형성한다. 상기 써포터 마스크 층 상에 제2 가장자리 블로킹 층을 형성한다. 상기 써포터 마스크 층을 패터닝하여 써포터 마스크 패턴을 형성한다. 상기 써포터 층을 관통하는 써포터 개구부를 형성한다. 상기 몰드 층을 제거한다. 상기 하부 전극 상에 캐패시터 유전 층을 형성한다. 상기 캐패시터 유전 층 상에 상부 전극을 형성한다. 상기 상부 전극 상에 층간 절연 층을 형성한다. 상기 층간 절연 층을 평탄화한다.

[0007] 상기 제1 가장자리 블로킹 층 및 상기 제2 가장자리 블로킹 층의 각각은 네거티브 포토레지스트를 포함할 수 있다.

[0008] 상기 마스크 패턴을 형성하는 것은 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 마스크 층 상에 제1 예비 마스크 패턴을 형성하는 것을 포함할 수 있다. 상기 제1 예비 마스크 패턴 상에 제2 예비 마스크 층을 형성할 수 있다. 상기 제2 예비 마스크 층은 상기 기판의 전면을 덮을 수 있다. 상기 제1 가장자리 블로킹 층을 형성할 수 있다. 상기 제2 예비 마스크 층 및 상기 제1 가장자리 블로킹 층 상에 트림(trim) 패턴을 형성할 수 있다. 상기 트림(trim) 패턴은 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 가장자리 및 상기 제1 주변 영역 및 상기 제2 주변 영역을 덮을 수 있다. 상기 제2 예비 마스크 층을 식각 하여 상기 제1 셀 영역 상에 상기 제1 예비 마스크 패턴과 교차하는 제2 예비 마스크 패턴을 형성할 수 있다. 상기 제2 예비 마스크 패턴 및 상기 제1 예비 마스크 패턴을 식각마스크로 사용하여 상기 마스크 층을 식각 할 수 있다.

[0009] 상기 제1 예비 마스크 패턴을 형성하는 것은 상기 마스크 층 상에 제1 희생 패턴을 형성하는 것을 포함할 수 있다. 상기 제1 희생 패턴의 상부 및 측면을 덮는 제1 예비 마스크 층을 형성할 수 있다. 상기 제1 예비 마스크

층을 이방성 식각 할 수 있다. 상기 제1 희생 패턴을 제거 할 수 있다.

- [0010] 상기 제2 예비 마스크 패턴을 형성하는 것은 상기 제1 예비 마스크 패턴 상을 가로지르는 제2 희생 패턴을 형성하는 것을 포함할 수 있다. 상기 제2 희생 패턴의 상부 및 측면을 덮는 상기 제2 예비 마스크 층을 형성할 수 있다. 상기 제2 예비 마스크 층을 이방성 식각 할 수 있다. 상기 제2 희생 패턴을 제거 할 수 있다.
- [0011] 상기 제2 예비 마스크 층은 상기 제1 셀 영역, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상을 덮을 수 있다. 상기 제1 가장자리 블로킹 층은 상기 제2 셀 영역, 및 상기 제2 주변 영역 상을 덮을 수 있다.
- [0012] 상기 제2 가장자리 블로킹 층은 상기 제2 셀 영역 상을 덮고, 상기 제1 셀 영역, 상기 제1 주변 영역, 및 상기 제2 주변 영역 상을 노출할 수 있다.
- [0013] 상기 캐패시터 유전 층을 형성하기 전에, 상기 제1 셀 영역 상에 상기 식각 정지 층, 상기 하부 전극, 및 상기 써포터 층이 노출될 수 있다. 상기 제1 주변 영역 상에 상기 식각 정지 층이 노출될 수 있다. 상기 제2 셀 영역 상에 상기 써포터 층이 노출될 수 있다. 상기 써포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존될 수 있다. 상기 제2 주변 영역 상에 상기 식각 정지 층이 노출될 수 있다.
- [0014] 상기 제2 가장자리 블로킹 층은 상기 제2 셀 영역 및 상기 제2 주변 영역 상을 덮고, 상기 제1 셀 영역 및 상기 제1 주변 영역 상을 노출할 수 있다.
- [0015] 상기 캐패시터 유전 층을 형성하기 전에, 상기 제1 셀 영역 상에 상기 식각 정지 층, 상기 하부 전극, 및 상기 써포터 층이 노출될 수 있다. 상기 제1 주변 영역 상에 상기 식각 정지 층이 노출될 수 있다. 상기 제2 셀 영역 상에 상기 써포터 층이 노출되되, 상기 써포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존될 수 있다. 상기 제2 주변 영역 상에 상기 써포터 층이 노출되되, 상기 써포터 층 및 상기 식각 정지 층 사이에 상기 몰드 층이 보존될 수 있다.
- [0016] 또한, 본 발명 기술적 사상의 실시 예들은, 반도체 소자 형성 방법을 제공한다. 이 방법은 식각 정지 층을 갖는 기판 상에 몰드 층 및 써포터 층을 형성하는 것을 포함한다. 상기 기판은 메인 칩(main chip) 및 상기 메인 칩보다 상기 기판의 가장자리에 인접한 에지 칩(edge chip)을 포함한다. 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함한다. 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함한다. 상기 써포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성한다. 상기 제1 셀 영역 상에는 상기 홀이 형성되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니한다. 상기 홀 내에 하부 전극을 형성한다. 상기 써포터 층의 상부표면을 노출한다. 상기 제1 셀 영역 상의 상기 써포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 써포터 층의 상단, 상기 제2 셀 영역 상의 상기 써포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 써포터 층의 상단은 실질적으로 동일 레벨을 이룬다. 상기 써포터 층 상에 써포터 마스크 층을 형성한다. 상기 써포터 마스크 층 상에 가장자리 블로킹 층을 형성한다. 상기 써포터 마스크 층을 패터닝하여 써포터 마스크 패턴을 형성한다. 상기 써포터 층을 관통하는 써포터 개구부를 형성한다. 상기 몰드 층을 형성한다. 상기 하부 전극 상에 캐패시터 유전 층을 형성한다. 상기 캐패시터 유전 층을 갖는 상기 기판 상에 상부 전극을 형성한다. 상기 상부 전극 상에 층간 절연 층을 형성한다. 상기 층간 절연 층을 평탄화한다.
- [0017] 상기 가장자리 블로킹 층을 형성하는 것은, 상기 제2 셀 영역에 대응하는 투광 패턴 및 상기 제2 주변 영역에 대응하는 차광 패턴을 갖는 레티클이 적용될 수 있다.
- [0018] 상기 층간 절연 층을 평탄화하기 전에, 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 층간 절연 층의 상단들은 실질적으로 동일 레벨에 형성될 수 있다. 상기 제1 주변 영역 및 상기 제2 주변 영역 상의 상기 층간 절연 층의 상단들은 실질적으로 동일 레벨에 형성될 수 있다. 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 층간 절연 층의 상단들은 상기 제1 주변 영역 및 상기 제2 주변 영역 상의 상기 층간 절연 층의 상단들보다 높은 레벨에 형성될 수 있다.
- [0019] 상기 가장자리 블로킹 층을 형성하는 것은, 상기 제2 셀 영역 및 상기 제2 주변 영역에 대응하는 투광 패턴을 갖는 레티클이 적용될 수 있다.
- [0020] 상기 층간 절연 층을 평탄화하기 전에, 상기 제2 주변 영역 상의 상기 층간 절연 층을 식각 하여 리세스 할 수 있다. 상기 리세스된 층간 절연 층의 상부 표면은 상기 제1 주변 영역 상의 상기 층간 절연 층의 상부 표면과 실질적으로 동일 레벨에 형성될 수 있다.
- [0021] 이에 더하여, 본 발명 기술적 사상의 실시 예들은, 반도체 소자 형성 방법을 제공한다. 이 방법은 식각 정지 층

을 갖는 기관 상에 몰드 층 및 씨포터 층을 형성하는 것을 포함한다. 상기 기관은 메인 칩 및 상기 메인 칩 보다 상기 기관의 가장자리에 인접한 에지 칩을 포함한다. 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함한다. 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함한다. 상기 씨포터 층 상에 마스크 층을 형성한다. 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 상기 마스크 층 상에 제1 예비 마스크 패턴을 형성한다. 상기 제1 예비 마스크 패턴 상에 제2 예비 마스크 층을 형성한다. 상기 제2 예비 마스크 층은 상기 기관의 전면을 덮는다. 상기 제2 셀 영역 및 상기 제2 주변 영역 상의 상기 제2 예비 마스크 층을 덮는 가장자리 블로킹 층을 형성한다. 상기 제2 예비 마스크 층 및 상기 가장자리 블로킹 층 상에 트림(trim) 패턴을 형성한다. 상기 트림 패턴은 상기 제1 셀 영역 및 상기 제2 셀 영역 상의 가장자리 및 상기 제1 주변 영역 및 상기 제2 주변 영역을 덮는다. 상기 제2 예비 마스크 층을 식각하여 상기 제1 셀 영역 상에 상기 제1 예비 마스크 패턴과 교차하는 제2 예비 마스크 패턴을 형성한다. 상기 제2 예비 마스크 패턴 및 상기 제1 예비 마스크 패턴을 식각마스크로 사용하여 상기 마스크 층을 식각하여 마스크 패턴을 형성한다. 상기 마스크 패턴을 식각마스크로 사용하여 상기 씨포터 층, 상기 몰드 층 및 상기 식각 정지 층을 관통하는 홀을 형성한다. 상기 제1 셀 영역 상에는 상기 홀이 형성되고, 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 홀이 형성되지 아니한다. 상기 홀 내에 하부 전극을 형성한다. 상기 씨포터 층의 상부표면을 노출한다. 상기 제1 셀 영역 상의 상기 씨포터 층 및 상기 홀의 상단, 상기 제1 주변 영역 상의 상기 씨포터 층의 상단, 상기 제2 셀 영역 상의 상기 씨포터 층의 상단, 및 상기 제2 주변 영역 상의 상기 씨포터 층의 상단은 실질적으로 동일 레벨을 이룬다.

[0022] 나아가서, 본 발명 기술적 사상의 실시 예들은, 반도체 소자를 제공한다. 이 소자는 메인 칩 및 에지 칩을 갖는 기관을 포함한다. 상기 에지 칩은 상기 메인 칩 보다 상기 기관의 가장자리에 인접한다. 상기 메인 칩은 제1 셀 영역 및 제1 주변 영역을 포함한다. 상기 에지 칩은 제2 셀 영역 및 제2 주변 영역을 포함한다. 상기 기관 상에 랜딩 패드들이 형성된다. 상기 랜딩 패드들 상에 식각 정지 층이 형성된다. 상기 식각 정지 층 상에 씨포터 층이 형성된다. 상기 씨포터 층 및 상기 식각 정지 층을 관통하여 랜딩 패드들에 접촉된 하부 전극이 형성된다. 상기 식각 정지 층 및 상기 씨포터 층 사이에 몰드 층이 형성된다. 상기 하부 전극 상에 캐패시터 유전 층이 형성된다. 상기 캐패시터 유전 층 상에 상부 전극이 형성된다. 상기 식각 정지 층 및 상기 상부 전극 상을 덮는 층간 절연 층이 형성된다. 상기 제1 셀 영역 상에는 상기 하부 전극이 보존된다. 상기 제1 주변 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 하부 전극이 형성되지 아니한다. 상기 제1 셀 영역 및 상기 제1 주변 영역 상에는 상기 몰드 층이 없다. 상기 제1 주변 영역 상에는 상기 씨포터 층이 없다.

[0023] 상기 제1 셀 영역 상의 상기 층간 절연 층의 하부 표면과 상기 제2 셀 영역 상의 상기 층간 절연 층의 하부 표면은 실질적으로 동일 레벨에 형성될 수 있다.

[0024] 상기 상부 전극은 상기 제2 셀 영역 상의 상기 상단 씨포터 층 상에 보존될 수 있다. 상기 제2 셀 영역 상의 상기 상부 전극의 상부 표면은 상기 제1 셀 영역 상의 상기 상부 전극의 상부 표면과 실질적으로 동일 레벨에 형성될 수 있다.

[0025] 상기 제1 셀 영역 및 상기 제2 셀 영역 상에는 상기 씨포터 층이 보존될 수 있다. 상기 제2 셀 영역 상에는 상기 식각 정지 층 및 상기 씨포터 층 사이에 상기 몰드 층이 보존될 수 있다. 상기 제2 주변 영역 상에는 상기 몰드 층 및 상기 씨포터 층이 없다.

[0026] 상기 제1 주변 영역 상의 상기 층간 절연 층은 상기 식각 정지 층에 직접적으로 접촉될 수 있다. 상기 제2 주변 영역 상의 상기 층간 절연 층은 상기 식각 정지 층에 직접적으로 접촉될 수 있다. 상기 제1 주변 영역 상의 상기 층간 절연 층의 하부 표면과 상기 제2 주변 영역 상의 상기 층간 절연 층의 하부 표면은 실질적으로 동일 레벨에 형성될 수 있다.

[0027] 상기 제1 셀 영역, 상기 제2 셀 영역, 및 상기 제2 주변 영역 상에는 상기 씨포터 층이 보존될 수 있다. 상기 제2 셀 영역 상에는 상기 식각 정지 층 및 상기 씨포터 층 사이에 상기 몰드 층이 보존될 수 있다. 상기 제2 주변 영역 상에는 상기 식각 정지 층 및 상기 씨포터 층 사이에 상기 몰드 층이 보존될 수 있다.

[0028] 상기 제1 주변 영역 상의 상기 층간 절연 층은 상기 식각 정지 층에 직접적으로 접촉될 수 있다. 상기 제2 주변 영역 상의 상기 층간 절연 층은 상기 씨포터 층에 직접적으로 접촉될 수 있다. 상기 제2 주변 영역 상의 상기 층간 절연 층의 하부 표면은 상기 제1 주변 영역 상의 상기 층간 절연 층의 하부 표면보다 높은 레벨에 형성될 수 있다.

[0029] 상기 씨포터 층은 상기 하부 전극에 직접적으로 접촉될 수 있다. 상기 상부 전극은 상기 씨포터 층 및 상기 층간 절연 층 사이에 신장될 수 있다. 상기 캐패시터 유전 층은 상기 상부 전극 및 상기 하부 전극 사이와 상기

상부 전극 및 상기 씨포터 층 사이에 개재될 수 있다.

[0030] 상기 씨포터 층은 상단 씨포터 층, 및 상기 상단 씨포터 층 및 상기 식각 정지 층 사이의 중간 씨포터 층을 포함할 수 있다. 상기 캐패시터 유전 층은 상기 상단 씨포터 층의 상부 표면 및 하부 표면에 접촉될 수 있다. 상기 중간 씨포터 층의 상부 표면 및 하부 표면에 접촉될 수 있다. 상기 식각 정지 층의 상부 표면에 접촉될 수 있다.

[0031] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0032] 본 발명 기술적 사상의 실시 예들에 따르면, 3회의 사진 공정이 수행되는 동안 1회의 피에스이에스(PSES) 공정을 수행하여 반도체 기관의 에지 칩 상에 스토리지 홀 및 하부 전극과 같은 패턴이 형성되는 것을 방지할 수 있다. 또한, 상단 씨포터 개구부의 형성 단계에서 제2 피에스이에스(PSES) 공정을 수행한다. 상기 에지 칩 상의 층간 절연 층의 표면 단차는 메인 칩 상의 상기 층간 절연 층의 표면 단차와 실질적으로 동일할 수 있다. 상기 반도체 기관의 전면에 걸쳐서 균일한 분포를 보이는 상기 층간 절연 층의 표면 단차는 평탄화 공정을 매우 용이하게 하는 효과가 있다. 우수한 전기적 특성을 갖는 반도체 소자를 구현할 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 플로우 차트이다.
 도 2 및 도 24는 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 레이아웃들이다.
 도 3 내지 도23 및 도 25 내지 도 31은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 사시도들이다.
 도 32는 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 단면도이다.
 도 33은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 플로우 차트이다.
 도 34 내지 도37은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 사시도들이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0035] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0036] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0037] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어

있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0038] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드 지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0039] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0040] 본 명세서에서 '전면(front side)'과 '후면(back side)'은 본 발명의 기술적 사상을 이해하기 쉽도록 설명하기 위하여 상대적인 개념으로 사용된 것이다. 따라서, '전면'과 '후면'은 특정한 방향, 위치 또는 구성 요소를 지칭하는 것이 아니고 서로 호환될 수 있다. 예를 들어, '전면'이 '후면'이라고 해석될 수도 있고 '후면'이 '전면'으로 해석될 수도 있다. 따라서, '전면'을 '제1'이라고 표현하고 '후면'을 '제2'라고 표현할 수도 있고, '후면'을 '제1'로 표현하고 '전면'을 '제2'라고 표현할 수도 있다. 그러나, 하나의 실시 예 내에서는 '전면'과 '후면'이 혼용되지 않는다.
- [0041] 본 명세서에서 '가깝다(near)'라는 표현은 대칭적 개념을 갖는 둘 이상의 구성 요소들 중 어느 하나가 다른 특정한 구성 요소에 대해 상대적으로 가깝게 위치하는 것을 의미한다. 예를 들어, 제1 단부(first end)가 제1 면(first side)에 가깝다는 표현은 제1 단부가 제2 단부보다 제1 면에 더 가깝다는 의미이거나, 제1 단부가 제2 면보다 제1 면에 더 가깝다는 의미로 이해될 수 있다.
- [0042] 도 1은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 플로우 차트 이다. 도 2 및 도 24는 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 레이아웃들 이다. 도 3 내지 도 23 및 도 25 내지 도 31은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 사시도들 이다.
- [0043] 도 1을 참조하면, 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법은 기판 상에 몰드 층 및 씨포터 층을 형성하고(B10), 마스크 층을 형성하고(B20), 제1 예비 마스크 패턴을 형성하고(B22), 제2 예비 마스크 층을 형성하고(B24), 제1 가장자리 블로킹 층을 형성하고(B30), 트림(trim) 패턴을 형성하고(B32), 제2 예비 마스크 패턴을 형성하고(B34), 마스크 패턴을 형성하고(B40), 스토리지 홀을 형성하고(B42), 하부 전극을 형성하고(B44), 씨포터 마스크 층을 형성하고(B46), 제2 가장자리 블로킹 층을 형성하고(B50), 씨포터 마스크 패턴을 형성하고(B52), 씨포터 개구부를 형성하고(B54), 몰드 층을 제거하고(B56), 유전 층을 형성하고(B60), 상부 전극을 형성하고(B62), 절연 층을 형성하고(B70), 절연 층을 평탄화하고(B75), 및 배선을 형성하는 것(B80)을 포함할 수 있다.
- [0044] 상기 제1 가장자리 블로킹 층을 형성하는 것은(B30) 제1 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다. 상기 제2 가장자리 블로킹 층을 형성하는 것은(B50) 제2 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다.
- [0045] 도 2를 참조하면, 기판(21) 상에 메인 칩(main chip; M) 및 에지 칩(edge chip; E)이 형성될 수 있다. 상기 에지 칩(E)은 상기 기판(21)의 가장자리에 인접할 수 있다. 상기 메인 칩(M)은 상기 기판(21)의 가장자리에서 떨어진 안쪽에 형성될 수 있다. 상기 에지 칩(E)은 상기 메인 칩(M)의 외곽에 형성될 수 있다. 상기 기판(21)은 실리콘 웨이퍼 또는 에스오아이(silicon on insulator; SOI) 웨이퍼와 같은 반도체 기판일 수 있다.
- [0046] 도1, 도 2 및 도 3을 참조하면, 상기 메인 칩(M) 및 상기 에지 칩(E)의 각각은 셀 영역(cell region) 및 주변 영역(peripheral region)을 포함할 수 있다. 이하에서는 간략한 설명을 위하여, 상기 메인 칩(M)의 셀 영역은 제1 셀 영역(MC), 상기 에지 칩(E)의 셀 영역은 제2 셀 영역(EC), 상기 메인 칩(M)의 주변 영역은 제1 주변 영역(MP), 상기 에지 칩(E)의 주변 영역은 제2 주변 영역(EP)으로 지칭하기로 한다. 본 발명 기술적 사상의 실시 예에 따른 반도체 소자는 디램(dynamic random access memory; DRAM)을 포함할 수 있다. 도 3은 상기 메인 칩

(M)의 상기 제1 셀 영역(MC), 상기 메인 칩(M)의 상기 제1 주변 영역(MP), 상기 에지 칩(E)의 상기 제2 셀 영역(EC), 및 상기 에지 칩(E)의 상기 제2 주변 영역(EP)을 부분적으로 도시한 사시도일 수 있다.

- [0047] 상기 기판(21) 상에 몰드 층(43, 47) 및 써포터 층(45, 49)이 형성될 수 있다(B10).
- [0048] 예를 들면, 상기 기판(21) 상에 하부 절연 층(35)이 형성될 수 있다. 상기 하부 절연 층(35) 내에 랜딩 패드들(39)이 형성될 수 있다. 상기 랜딩 패드들(39) 및 상기 하부 절연 층(35)을 덮는 식각 정지 층(41)이 형성될 수 있다. 상기 식각 정지 층(41) 상에 제1 몰드 층(43)이 형성될 수 있다. 상기 제1 몰드 층(43) 상에 중간 써포터 층(middle supporter layer; 45)이 형성될 수 있다. 상기 중간 써포터 층(45) 상에 제2 몰드 층(47)이 형성될 수 있다. 상기 제2 몰드 층(47) 상에 상단 써포터 층(top supporter layer; 49)이 형성될 수 있다.
- [0049] 상기 기판(21)의 내부, 상기 기판(21) 및 상기 하부 절연 층(35) 사이, 및 상기 하부 절연 층(35)의 내부에는 트랜지스터, 다이오드, 및 저항과 같은 다양한 종류의 능동/수동 소자들이 형성될 수 있으나 간략한 설명을 위하여 생략하기로 한다.
- [0050] 상기 하부 절연 층(35)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합과 같은 절연 층을 포함할 수 있다. 상기 랜딩 패드들(39)은 금속, 금속 질화물, 폴리실리콘, 도전성 카본, 또는 이들의 조합을 포함할 수 있다. 상기 랜딩 패드들(39)은 W, WN, Ti, TiN, TiAlN, TiCN, Ta, TaN, TaAlN, TaCN, Ru, 또는 이들의 조합을 포함할 수 있다. 상기 식각 정지 층(41)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합과 같은 절연 층을 포함할 수 있다. 예를 들면, 상기 식각 정지 층(41)은 실리콘 질화물을 포함할 수 있다. 상기 하부 절연 층(35), 상기 랜딩 패드들(39), 및 상기 식각 정지 층(41)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 덮을 수 있다. 상기 하부 절연 층(35) 및 상기 랜딩 패드들(39)의 상부 표면들은 실질적으로 동일 평면을 이룰 수 있다.
- [0051] 상기 제1 몰드 층(43)은 상기 식각 정지 층(41)보다 두꺼울 수 있다. 상기 제1 몰드 층(43)은 실리콘 산화물을 포함할 수 있다. 상기 중간 써포터 층(middle supporter layer; 45)은 상기 제1 몰드 층(43)에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 중간 써포터 층(45)은 실리콘 질화물, 실리콘 산질화물, 실리콘 카본 질화물(SiCN), 또는 이들의 조합과 같은 절연 층을 포함할 수 있다. 예를 들면, 상기 중간 써포터 층(45)은 SiCN을 포함할 수 있다. 상기 중간 써포터 층(45)은 상기 제1 몰드 층(43)보다 얇을 수 있다. 상기 제2 몰드 층(47)은 상기 제1 몰드 층(43)보다 얇고, 상기 중간 써포터 층(45)보다 두꺼울 수 있다. 상기 제2 몰드 층(47)은 실리콘 산화물을 포함할 수 있다. 상기 상단 써포터 층(top supporter layer; 49)은 상기 제2 몰드 층(47) 및 상기 제1 몰드 층(43)에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 상단 써포터 층(49)은 실리콘 질화물, 실리콘 산질화물, 실리콘 카본 질화물(SiCN), 또는 이들의 조합과 같은 절연 층을 포함할 수 있다. 예를 들면, 상기 상단 써포터 층(49)은 SiN/SiCN을 포함할 수 있다. 상기 상단 써포터 층(49)은 상기 중간 써포터 층(45)보다 두껍고, 상기 제2 몰드 층(47) 보다 얇을 수 있다. 상기 제1 몰드 층(43), 상기 중간 써포터 층(45), 상기 제2 몰드 층(47), 및 상기 상단 써포터 층(49)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 덮을 수 있다.
- [0052] 마스크 층(51)이 형성될 수 있다(B20).
- [0053] 예를 들면, 상기 상단 써포터 층(49) 상에 상기 마스크 층(51)이 형성될 수 있다. 상기 마스크 층(51) 상에 제1 보조 마스크 층(52)이 형성될 수 있다. 상기 제1 보조 마스크 층(52) 상에 제2 보조 마스크 층(53)이 형성될 수 있다. 상기 마스크 층(51), 상기 제1 보조 마스크 층(52), 및 상기 제2 보조 마스크 층(53)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 덮을 수 있다. 상기 제1 보조 마스크 층(52) 및 상기 제2 보조 마스크 층(53)은 선택적으로 생략될 수 있다.
- [0054] 상기 마스크 층(51)은 상기 식각 정지 층(41), 상기 제1 몰드 층(43), 상기 중간 써포터 층(45), 상기 제2 몰드 층(47), 및 상기 상단 써포터 층(49)에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 예를 들면, 상기 마스크 층(51)은 폴리실리콘을 포함할 수 있다. 상기 제1 보조 마스크 층(52)은 상기 마스크 층(51)과 다른 물질을 포함할 수 있다. 상기 제1 보조 마스크 층(52)은 실리콘 산화물을 포함할 수 있다. 예를 들면, 상기 제1 보조 마스크 층(52)은 TEOS(Tetra Ethyl Ortho Silicate)를 포함할 수 있다. 상기 제2 보조 마스크 층(53)은 SOH(Spin On Hardmask) 층을 포함할 수 있다.
- [0055] 상기 제2 보조 마스크 층(53) 상에 제1 반사 방지 층(Anti Reflective Coating layer; ARC layer; 55)이 형성될 수 있다. 상기 제1 반사 방지 층(55) 상에 제1 희생 층(56)이 형성될 수 있다. 상기 제1 희생 층(56) 상에 제2 반사 방지 층(57)이 형성될 수 있다. 상기 제1 반사 방지 층(55), 상기 제1 희생 층(56), 및 상기 제2 반사

방지 층(57)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 덮을 수 있다. 상기 제1 반사 방지 층(55)은 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있다. 예를 들면, 상기 제1 반사 방지 층(55)은 실리콘 산질화물 일 수 있다. 상기 제1 희생 층(56)은 SOH(Spin On Hardmask) 층을 포함할 수 있다. 상기 제2 반사 방지 층(57)은 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있다. 예를 들면, 상기 제2 반사 방지 층(57)은 실리콘 산질화물 일 수 있다. 상기 제1 반사 방지 층(55) 및 상기 제2 반사 방지 층(57)의 각각은 상기 제1 희생 층(56)보다 얇을 수 있다.

[0056] 도 4를 참조하면, 제1 포토 마스크 패턴(59)이 형성될 수 있다. 상기 제1 포토 마스크 패턴(59)은 사진 공정을 이용하여 형성될 수 있다. 상기 제1 포토 마스크 패턴(59)은 상기 제1 주변 영역(MP) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상을 부분적으로 덮을 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상의 상기 제1 포토 마스크 패턴(59)은 서로 평행한 라인 모양 또는 서로 평행한 바아 모양을 보일 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제1 포토 마스크 패턴(59) 사이에 상기 제2 반사 방지 층(57)이 노출될 수 있다.

[0057] 도 5를 참조하면, 상기 제1 포토 마스크 패턴(59)을 식각마스크로 사용하여 상기 제2 반사 방지 층(57) 및 상기 제1 희생 층(56)을 식각하여 제2 반사 방지 패턴(57P) 및 제1 희생 패턴(56P)이 형성될 수 있다. 상기 제2 반사 방지 패턴(57P)은 상기 제1 희생 패턴(56P) 상에 보존될 수 있다. 상기 제1 포토 마스크 패턴(59)을 제거하여 상기 제2 반사 방지 패턴(57P)이 노출될 수 있다. 상기 제2 반사 방지 패턴(57P) 및 상기 제1 희생 패턴(56P)은 상기 제1 주변 영역(MP) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상을 부분적으로 덮을 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상의 상기 제2 반사 방지 패턴(57P)은 서로 평행한 라인 모양 또는 서로 평행한 바아 모양을 보일 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제1 희생 패턴(56P) 사이에 상기 제1 반사 방지 층(55)이 노출될 수 있다.

[0058] 도 6을 참조하면, 상기 제1 희생 패턴(56P) 상에 제1 예비 마스크 층(61)이 형성될 수 있다. 상기 제1 예비 마스크 층(61)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 전면적으로 덮을 수 있다. 상기 제1 예비 마스크 층(61)은 상기 제2 반사 방지 패턴(57P) 및 상기 제1 희생 패턴(56P)에 대하여 식각선택비를 갖는 물질을 포함할 수 있다. 상기 제1 예비 마스크 층(61)은 ALD산화층(Atomic Layer Deposition oxide layer; ALD oxide layer)을 포함할 수 있다. 상기 제1 예비 마스크 층(61)은 상기 제2 반사 방지 패턴(57P) 및 상기 제1 희생 패턴(56P)의 상부 및 측면을 균일한 두께로 덮을 수 있다.

[0059] 도 7을 참조하면, 이방성 식각공정을 이용하여 상기 제1 예비 마스크 층(61)을 부분적으로 제거하여 제1 예비 마스크 패턴(61P)이 형성될 수 있다(B22). 상기 제1 예비 마스크 패턴(61P)의 하부에 제1 반사 방지 패턴(55P)이 형성될 수 있다. 상기 제2 반사 방지 패턴(57P) 및 상기 제1 희생 패턴(56P)은 제거될 수 있다. 상기 제1 주변 영역(MP) 및 상기 제2 주변 영역(EP) 상에는 상기 제2 보조 마스크 층(53)이 노출될 수 있다. 상기 제1 예비 마스크 패턴(61P)은 평행한 라인 모양 또는 서로 평행한 바아 모양을 포함할 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에는 상기 제1 예비 마스크 패턴(61P) 사이에 상기 제2 보조 마스크 층(53)이 노출될 수 있다.

[0060] 도 8을 참조하면, 제1 갭 충전 층(gap fill layer; 63), 제3 반사 방지 층(65), 제2 희생 층(66), 및 제4 반사 방지 층(67)이 형성될 수 있다. 상기 제1 갭 충전 층(63)은 상기 제2 보조 마스크 층(53) 상을 덮을 수 있다. 상기 제1 갭 충전 층(63)은 상기 제1 반사 방지 패턴(55P) 사이를 채우고, 상기 제1 예비 마스크 패턴(61P) 사이를 채울 수 있다. 상기 제3 반사 방지 층(65)은 상기 제1 갭 충전 층(63) 상에 형성될 수 있다. 상기 제2 희생 층(66)은 상기 제3 반사 방지 층(65) 상에 형성될 수 있다. 상기 제4 반사 방지 층(67)은 상기 제2 희생 층(66) 상에 형성될 수 있다. 상기 제3 반사 방지 층(65), 상기 제2 희생 층(66), 및 상기 제4 반사 방지 층(67)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 덮을 수 있다.

[0061] 도 9를 참조하면, 상기 제4 반사 방지 층(67) 상에 제2 포토 마스크 패턴(69)이 형성될 수 있다.

[0062] 상기 제2 포토 마스크 패턴(69)은 사진 공정을 이용하여 형성될 수 있다. 상기 제2 포토 마스크 패턴(69)은 상기 제1 주변 영역(MP) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상을 부분적으로 덮을 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상의 상기 제2 포토 마스크 패턴(69)은 서로 평행한 라인 모양 또는 서로 평행한 바아 모양을 보일 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제2 포토 마스크 패턴(69)은 상기 제1 예비 마스크 패턴(61P)과 직교

할 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제2 포토 마스크 패턴(69) 사이에 상기 제4 반사 방지 층(67)이 노출될 수 있다.

[0063] 다른 실시 예에서, 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제2 포토 마스크 패턴(69)은 상기 제1 예비 마스크 패턴(61P) 상을 비스듬하게 가로지를 수 있다.

[0064] 도 10을 참조하면, 상기 제2 포토 마스크 패턴(69)을 식각마스크로 사용하여 상기 제4 반사 방지 층(67) 및 상기 제2 희생 층(66)을 식각하여 제4 반사 방지 패턴(67P) 및 제2 희생 패턴(66P)이 형성될 수 있다. 상기 제4 반사 방지 패턴(67P)은 상기 제2 희생 패턴(66P) 상에 보존될 수 있다. 상기 제2 포토 마스크 패턴(69)을 제거하여 상기 제4 반사 방지 패턴(67P)이 노출될 수 있다. 상기 제4 반사 방지 패턴(67P) 및 상기 제2 희생 패턴(66P)은 상기 제1 주변 영역(MP) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상을 부분적으로 덮을 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상의 상기 제4 반사 방지 패턴(67P)은 서로 평행한 라인 모양 또는 서로 평행한 바아 모양을 보일 수 있다. 상기 제1 셀 영역(MC) 및 상기 제2 셀 영역(EC) 상에 있어서, 상기 제2 희생 패턴(66P) 사이에 상기 제3 반사 방지 층(65)이 노출될 수 있다.

[0065] 도 11을 참조하면, 상기 제2 희생 패턴(66P) 상에 제2 예비 마스크 층(71)이 형성될 수 있다(B24).

[0066] 상기 제2 예비 마스크 층(71)은 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP) 상을 전면적으로 덮을 수 있다. 상기 제2 예비 마스크 층(71)은 상기 제4 반사 방지 패턴(67P) 및 상기 제2 희생 패턴(66P)에 대하여 식각선택비를 갖는 물질을 포함할 수 있다. 상기 제2 예비 마스크 층(71)은 ALD산화 층(Atomic Layer Deposition oxide layer; ALD oxide layer)을 포함할 수 있다. 상기 제2 예비 마스크 층(71)은 상기 제4 반사 방지 패턴(67P) 및 상기 제2 희생 패턴(66P)의 상부 및 측면을 균일한 두께로 덮을 수 있다.

[0067] 도 12를 참조하면, 상기 제2 예비 마스크 층(71) 상에 제1 가장자리 블로킹 층(73)이 형성될 수 있다(B30). 상기 제1 가장자리 블로킹 층(73)을 이용하는 공정은 제1 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다.

[0068] 상기 제1 가장자리 블로킹 층(73)은 네거티브 포토레지스트를 포함할 수 있다. 상기 네거티브 포토레지스트는 노광 영역이 보존되는 특성을 보일 수 있다. 상기 제1 가장자리 블로킹 층(73)은 사진공정을 이용하여 형성될 수 있다. 상기 제1 가장자리 블로킹 층(73)의 형성에는 상기 에지 칩(E)의 상부를 전체적으로 노광하는 투광 패턴을 갖는 레티클(reticle)이 사용될 수 있다. 상기 제1 가장자리 블로킹 층(73)은 상기 제2 셀 영역(EC) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제1 주변 영역(MP) 상에 상기 제2 예비 마스크 층(71)이 노출될 수 있다. 상기 제1 가장자리 블로킹 층(73)은 상기 제2 셀 영역(EC) 및 상기 제2 주변 영역(EP) 상의 상기 제2 예비 마스크 층(71)에 직접적으로 접촉될 수 있다.

[0069] 도 13을 참조하면, 트림(trim) 패턴(75)이 형성될 수 있다(B32).

[0070] 상기 트림 패턴(75)은 포지티브 포토레지스트를 포함할 수 있다. 상기 포지티브 포토레지스트는 노광 영역이 제거되는 특성을 보일 수 있다. 상기 트림 패턴(75)은 사진공정을 이용하여 형성될 수 있다. 상기 트림 패턴(75)은 상기 제1 셀 영역(MC)의 상기 제2 예비 마스크 층(71) 상을 부분적으로 덮고, 상기 제1 주변 영역(MP)의 상기 제2 예비 마스크 층(71) 상을 완전히 덮고, 상기 제2 셀 영역(EC)의 상기 제2 예비 마스크 층(71) 상을 부분적으로 덮고, 상기 제2 주변 영역(EP)의 상기 제2 예비 마스크 층(71) 상을 완전히 덮을 수 있다. 상기 트림 패턴(75)은 상기 제1 셀 영역(MC)의 상기 제1 예비 마스크 패턴(61P)의 가장자리 상부를 덮고, 상기 제1 셀 영역(MC)의 상기 제2 예비 마스크 층(71)의 가장자리 상부를 덮을 수 있다.

[0071] 도 14를 참조하면, 이방성 식각 공정을 이용하여 상기 제2 예비 마스크 층(71)을 식각하여 제2 예비 마스크 패턴(71P)이 형성될 수 있다(B34). 상기 제2 예비 마스크 패턴(71P)의 하부에 제3 반사 방지 패턴(65P)이 형성될 수 있다.

[0072] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 제2 예비 마스크 패턴(71P)은 서로 평행한 라인 모양 또는 서로 평행한 바아 모양을 보일 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제2 희생 패턴(66P)의 양측에 자기-정렬(self-align)될 수 있다. 상기 제2 희생 패턴(66P) 및 상기 제4 반사 방지 패턴(67P)은 제거될 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제1 예비 마스크 패턴(61P)과 직교할 수 있다. 상기 제2 예비 마스크 패턴(71P) 사이에 상기 제1 예비 마스크 패턴(61P) 및 상기 제1 캡 충전 층(63)이 노출될 수 있다.

- [0073] 다른 실시 예에서, 상기 제2 예비 마스크 패턴(71P)은 상기 제1 예비 마스크 패턴(61P) 상을 비스듬하게 가로질러 수 있다.
- [0074] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 트림 패턴(75)의 하부에 상기 제2 예비 마스크 패턴(71P)이 보존될 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제1 주변 영역(MP)의 상부를 완전히 덮을 수 있다. 상기 제2 예비 마스크 패턴(71P)의 하부에 상기 제4 반사 방지 패턴(67P)이 보존될 수 있다.
- [0075] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 제1 가장자리 블로킹 층(73)의 하부에 상기 제2 예비 마스크 패턴(71P)이 보존될 수 있다. 상기 제1 가장자리 블로킹 층(73)은 상기 제2 예비 마스크 패턴(71P)의 식각손상을 방지하는 역할을 할 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제2 셀 영역(EC)의 상부를 완전히 덮을 수 있다. 상기 제2 예비 마스크 패턴(71P)의 하부에 상기 제4 반사 방지 패턴(67P), 상기 제2 희생 패턴(66P), 및 상기 제3 반사 방지 패턴(65P)이 보존될 수 있다.
- [0076] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 트림 패턴(75)의 하부에 상기 제1 가장자리 블로킹 층(73)이 보존될 수 있다. 상기 제1 가장자리 블로킹 층(73)의 하부에 상기 제2 예비 마스크 패턴(71P)이 보존될 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제2 주변 영역(EP)의 상부를 완전히 덮을 수 있다. 상기 제2 예비 마스크 패턴(71P)의 하부에 상기 제4 반사 방지 패턴(67P), 상기 제2 희생 패턴(66P), 및 상기 제3 반사 방지 패턴(65P)이 보존될 수 있다.
- [0077] 도 15를 참조하면, 상기 트림 패턴(75) 및 상기 제1 가장자리 블로킹 층(73)을 제거하여 상기 제2 예비 마스크 패턴(71P)이 노출될 수 있다. 상기 제2 예비 마스크 패턴(71P)은 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP)의 상부를 전면적으로 덮고, 상기 제1 셀 영역(MC)의 상부를 부분적으로 덮을 수 있다.
- [0078] 도 16을 참조하면, 상기 제2 예비 마스크 패턴(71P), 상기 제3 반사 방지 패턴(65P), 상기 제1 예비 마스크 패턴(61P), 상기 제1 반사 방지 패턴(55P)을 식각마스크로 사용하여 상기 제1 갭 충전 층(63) 및 상기 제2 보조 마스크 층(53)을 이방성 식각 하여 제2 보조 마스크 패턴(53P) 및 제2 보조 마스크 홀(53H)이 형성될 수 있다. 상기 제2 보조 마스크 홀(53H)은 상기 제2 보조 마스크 패턴(53P)을 관통하여 상기 제1 보조 마스크 층(52)을 노출할 수 있다.
- [0079] 도 17을 참조하면, 상기 제2 예비 마스크 패턴(71P), 상기 제4 반사 방지 패턴(67P), 상기 제2 희생 패턴(66P), 상기 제3 반사 방지 패턴(65P), 상기 제1 갭 충전 층(63), 상기 제1 예비 마스크 패턴(61P), 상기 제1 반사 방지 패턴(55P)을 제거하여 상기 제2 보조 마스크 패턴(53P)이 노출될 수 있다. 상기 제2 보조 마스크 패턴(53P)을 식각마스크로 사용하여 상기 제1 보조 마스크 층(52)을 이방성 식각 하여 제1 보조 마스크 패턴(52P) 및 제1 보조 마스크 홀(52H)이 형성될 수 있다. 상기 제2 보조 마스크 패턴(53P)을 제거하여 상기 제1 보조 마스크 패턴(52P)이 노출될 수 있다. 상기 제1 보조 마스크 홀(52H)은 상기 제1 보조 마스크 패턴(52P)을 관통하여 상기 마스크 층(51)을 노출할 수 있다. 상기 제1 보조 마스크 패턴(52P)은 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP)의 상부를 전면적으로 덮을 수 있다.
- [0080] 도 18을 참조하면, 상기 제1 보조 마스크 패턴(52P)을 식각마스크로 이용하여 상기 마스크 층(51)을 이방성 식각 하여 마스크 패턴(51P) 및 마스크 홀(51H)이 형성될 수 있다(B40). 상기 마스크 홀(51H)은 상기 마스크 패턴(51P)을 관통하여 상기 상단 써포터 층(49)을 노출할 수 있다. 상기 마스크 패턴(51P)은 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP)의 상부를 전면적으로 덮을 수 있다.
- [0081] 도 19를 참조하면, 상기 마스크 패턴(51P)을 식각 마스크로 사용하여 상기 상단 써포터 층(49), 상기 제2 몰드 층(47), 상기 중간 써포터 층(45), 상기 제1 몰드 층(43), 및 상기 식각 정지 층(41)을 식각 하여 스토리지 홀(79H)이 형성될 수 있다(B42). 상기 스토리지 홀(79H)은 상기 상단 써포터 층(49), 상기 제2 몰드 층(47), 상기 중간 써포터 층(45), 상기 제1 몰드 층(43), 및 상기 식각 정지 층(41)을 관통하여 상기 랜딩 패드들(39)은 노출할 수 있다. 상기 스토리지 홀(79H)의 형성에는 이방성 식각 공정이 적용될 수 있다. 상기 스토리지 홀(79H)은 수평 폭보다 수직 높이가 클 수 있다.
- [0082] 도 20을 참조하면, 상기 마스크 패턴(51P)을 제거하여 상기 상단 써포터 층(49) 노출될 수 있다. 상기 스토리지 홀(79H) 내에 하부 전극(81)이 형성될 수 있다(B44). 상기 하부 전극(81)은 스토리지 전극 또는 스토리지 노드로 해석될 수 있다. 상기 하부 전극(81)의 형성은 박막 형성 공정 및 에치-백(etch-back) 공정을 포함할 수 있다. 상기 상단 써포터 층(49)의 상부 표면은 노출될 수 있다. 상기 하부 전극(81)은 금속, 금속 질화물, 금속 산화물, 금속 실리사이드, 도전성 카본, 또는 이들의 조합과 같은 도전성 물질을 포함할 수 있다. 예를 들면,

상기 하부 전극(81)은 Ti, TiN, TiAlN, TiCN, Ta, TaN, TaAlN, TaCN, Ru, Pt, 또는 이들의 조합을 포함할 수 있다. 상기 하부 전극(81)은 상기 랜딩 패드들(39)에 직접적으로 접촉될 수 있다. 상기 하부 전극(81)은 상기 스토리지 홀(79H)의 내벽을 컨포말하게 덮을 수 있다. 상기 하부 전극(81)은 실린더 모양 또는 크라운 모양으로 해석될 수 있다.

[0083] 다른 실시 예에서, 상기 하부 전극(81)은 필라(pillar) 모양, 박스 모양, 실린더 모양, 크라운 모양, 또는 이들의 조합을 포함할 수 있다.

[0084] 본 발명 기술적 사상의 실시 예에 따르면, 상기 제1 포토 마스크 패턴(59)을 형성하는 것은 제1 사진 공정으로 해석될 수 있으며, 상기 제2 포토 마스크 패턴(69)을 형성하는 것은 제2 사진 공정으로 해석될 수 있고, 상기 트림 패턴(75)을 형성하는 것은 제3 사진 공정으로 해석될 수 있다. 상기 제1 가장자리 블로킹 층(73)을 이용하는 공정은 제1 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다. 3회의 사진 공정이 수행되는 동안 1회의 피에스이에스(PSES) 공정을 수행하여 상기 에지 칩(E) 상에 상기 스토리지 홀(79H) 및 상기 하부 전극(81)과 같은 패턴이 형성되는 것을 방지할 수 있으므로, 반도체 소자 형성 공정을 단순화할 수 있는 효과가 있다.

[0085] 도 21을 참조하면, 상기 스토리지 홀(79H) 내에 제2 갭 충전 층(gap fill layer; 83)이 형성될 수 있다. 상기 상단 써포터 층(49) 상에 써포터 마스크 층(84)이 형성될 수 있다(B46). 상기 써포터 마스크 층(84) 상에 제5 반사 방지 층(85)이 형성될 수 있다. 상기 제2 갭 충전 층(83)은 생략될 수 있다. 상기 제2 갭 충전 층(83)은 SOH(Spin On Hardmask) 층을 포함할 수 있다. 상기 써포터 마스크 층(84)은 ACL(Amorphous Carbon Layer)을 포함할 수 있다. 상기 제5 반사 방지 층(85)은 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있다.

[0086] 도 22를 참조하면, 상기 제5 반사 방지 층(85) 상에 제2 가장자리 블로킹 층(87)이 형성될 수 있다(B50). 상기 제2 가장자리 블로킹 층(87)을 이용하는 공정은 제2 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다. 제3 포토 마스크 패턴(89)이 형성될 수 있다.

[0087] 상기 제2 가장자리 블로킹 층(87)은 네거티브 포토레지스트를 포함할 수 있다. 상기 네거티브 포토레지스트는 노광 영역이 보존되는 특성을 보일 수 있다. 상기 제2 가장자리 블로킹 층(87)은 사진공정을 이용하여 형성될 수 있다. 상기 제2 가장자리 블로킹 층(87)의 형성에는 투광패턴 및 차광패턴을 모두 포함하는 레티클(reticle)이 사용될 수 있다. 예를 들면, 상기 메인 칩(M) 상에는 상기 제1 셀 영역(MC)이 여러 개 형성될 수 있으며, 상기 제1 주변 영역(MP)은 상기 제1 셀 영역(MC)의 사이와 주변에 형성될 수 있다. 상기 에지 칩(E)은 상기 메인 칩(M)에 대응하여 상기 제2 셀 영역(EC)이 여러 개 형성될 수 있으며, 상기 제2 주변 영역(EP)은 상기 제2 셀 영역(EC)의 사이와 주변에 형성될 수 있다. 상기 제2 가장자리 블로킹 층(87)의 형성에 사용되는 상기 레티클(reticle)은 상기 제2 셀 영역(EC)의 상부를 노광하는 투광 패턴 및 상기 제2 주변 영역(EP)의 상부를 차광하는 차광 패턴을 포함할 수 있다. 상기 투광 패턴 및 상기 차광 패턴은 상기 제1 주변 영역(MP)과 실질적으로 동일한 밀도를 갖도록 번갈아 가며 반복적으로 형성될 수 있다. 상기 제2 가장자리 블로킹 층(87)은 상기 제2 셀 영역(EC) 상을 완전히 덮고, 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 및 상기 제2 주변 영역(EP) 상에 상기 제5 반사 방지 층(85)을 노출할 수 있다.

[0088] 상기 제3 포토 마스크 패턴(89)은 포지티브 포토레지스트를 포함할 수 있다. 상기 포지티브 포토레지스트는 노광 영역이 제거되는 특성을 보일 수 있다. 상기 제3 포토 마스크 패턴(89)은 사진공정을 이용하여 형성될 수 있다. 상기 제3 포토 마스크 패턴(89)은 상기 제1 셀 영역(MC)의 상기 제5 반사 방지 층(85) 상을 부분적으로 덮고, 상기 제1 주변 영역(MP)의 상기 제5 반사 방지 층(85)을 노출하고, 상기 제2 셀 영역(EC)의 상기 제2 가장자리 블로킹 층(87) 상을 부분적으로 덮고, 상기 제2 주변 영역(EP)의 상기 제5 반사 방지 층(85)을 노출할 수 있다.

[0089] 도 23을 참조하면, 상기 제3 포토 마스크 패턴(89)을 식각마스크로 사용하여 상기 제5 반사 방지 층(85) 및 상기 써포터 마스크 층(84)을 이방성 식각하여 써포터 마스크 패턴(84P)이 형성될 수 있다(B52). 상기 써포터 마스크 패턴(84P)을 식각 마스크로 사용하여 상기 상단 써포터 층(49)을 관통하는 상단 써포터 개구부(49H)가 형성될 수 있다(B54). 상기 제3 포토 마스크 패턴(89), 상기 제2 가장자리 블로킹 층(87), 상기 제5 반사 방지 층(85)이 제거될 수 있다.

[0090] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 써포터 마스크 패턴(84P)은 상기 상단 써포터 층(49) 상에 보존될 수 있다. 상기 상단 써포터 개구부(49H)의 바닥에 상기 제2 몰드 층(47)이 노출될 수 있다.

[0091] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 상단 써포터 층(49)은 제거되고 상기 제2 몰드 층(47)이 노출될

수 있다.

- [0092] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 써포터 마스크 패턴(84P)의 하부에 상기 상단 써포터 층(49)이 보존될 수 있다. 상기 제2 가장자리 블로킹 층(87)은 상기 써포터 마스크 패턴(84P)의 손상을 방지하는 역할을 할 수 있다. 상기 상단 써포터 층(49)은 상기 제2 셀 영역(EC)의 상부를 전면적으로 덮을 수 있다.
- [0093] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 상단 써포터 층(49)은 제거되고 상기 제2 몰드 층(47)이 노출될 수 있다.
- [0094] 도 24를 참조하면, 상기 상단 써포터 층(49)을 관통하는 상기 하부 전극(81) 및 상기 상단 써포터 개구부(49H)는 평면도 상에서 보여질 때 반복적으로 형성될 수 있다. 상기 하부 전극(81) 및 상기 상단 써포터 개구부(49H)는 다양한 모양 및 규칙적인 배열을 보일 수 있다.
- [0095] 도 25를 참조하면, 몰드 층(41, 47)이 제거될 수 있다(B56). 예를 들면, 상기 제2 몰드 층(47)을 제거하여 상부 공간(47H)이 형성될 수 있다.
- [0096] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 제2 몰드 층(47)이 제거되고 상기 중간 써포터 층(45)이 노출될 수 있다. 상기 상부 공간(47H) 내에 상기 하부 전극(81)의 측면, 상기 상단 써포터 층(49)의 하부 표면, 및 상기 중간 써포터 층(45)의 상부 표면이 노출될 수 있다.
- [0097] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 제2 몰드 층(47)이 제거되고 상기 중간 써포터 층(45)이 노출될 수 있다.
- [0098] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 상단 써포터 층(49)의 하부에 상기 제2 몰드 층(47)이 보존될 수 있다.
- [0099] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 제2 몰드 층(47)이 제거되고 상기 중간 써포터 층(45)이 노출될 수 있다.
- [0100] 도 26을 참조하면, 상기 써포터 마스크 패턴(84P)을 식각마스크로 사용하여 상기 중간 써포터 층(45)을 이방성 식각하여 중간 써포터 개구부(45H)가 형성될 수 있다.
- [0101] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 중간 써포터 개구부(45H)의 하부에 상기 제1 몰드 층(43)이 노출될 수 있다. 상기 중간 써포터 개구부(45H)는 상기 상단 써포터 개구부(49H)의 아래에 정렬될 수 있다.
- [0102] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 중간 써포터 층(45)이 제거되고 상기 제1 몰드 층(43)이 노출될 수 있다.
- [0103] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 제2 몰드 층(47)의 하부에 상기 중간 써포터 층(45)이 보존될 수 있다.
- [0104] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 중간 써포터 층(45)이 제거되고 상기 제1 몰드 층(43)이 노출될 수 있다.
- [0105] 도 27을 참조하면, 상기 제1 몰드 층(43)을 제거하여 하부 공간(43H)이 형성될 수 있다. 상기 써포터 마스크 패턴(84P)을 제거하여 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다. 상기 제2 겹 충전 층(83)을 제거하여 상기 하부 전극(81)이 노출될 수 있다.
- [0106] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 제1 몰드 층(43)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다. 상기 하부 공간(43H) 내에 상기 하부 전극(81)의 측면, 상기 중간 써포터 층(45)의 하부 표면, 및 상기 식각 정지 층(41)의 상부 표면이 노출될 수 있다. 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다.
- [0107] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 제1 몰드 층(43)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다.
- [0108] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 중간 써포터 층(45)의 하부에 상기 제1 몰드 층(43)이 보존될 수 있다. 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다.
- [0109] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 제1 몰드 층(43)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다.
- [0110] 도 28을 참조하면, 캐패시터 유전 층(91)이 형성될 수 있다(B60). 상부 전극(93, 94)이 형성될 수 있다(B62).

상기 캐패시터 유전 층(91) 및 상기 상부 전극(93, 94)의 형성에는 박막 형성 공정 및 패터닝 공정이 적용될 수 있다.

- [0111] 상기 캐패시터 유전 층(91)은 고-유전 층(High-K dielectric layer), 실리콘 산화물, 실리콘 질화물, 실리콘 산 질화물, 또는 이들의 조합을 포함할 수 있다. 상기 상부 전극(93, 94)은 제1 상부 전극 층(93) 및 상기 제1 상부 전극 층(93) 상의 제2 상부 전극 층(94)을 포함할 수 있다. 상기 제1 상부 전극 층(93)은 금속, 금속 질화물, 금속 산화물, 도전성 카본, 또는 이들의 조합과 같은 도전성 물질을 포함할 수 있다. 상기 제1 상부 전극 층(93)은 Ti, TiN, TiAlN, TiCN, Ta, TaN, TaAlN, TaCN, W, WN, Ru, Pt, 또는 이들의 조합을 포함할 수 있다. 상기 제2 상부 전극 층(94)은 금속 실리사이드 층, 또는 반도체 층과 같은 도전성 물질을 포함할 수 있다. 상기 제2 상부 전극 층(94)은 SiGe 층을 포함할 수 있다.
- [0112] 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 캐패시터 유전 층(91)은 상기 하부 전극(81), 상기 식각 정지 층(41), 상기 중간 씨포터 층(45), 및 상기 상단 씨포터 층(49)의 노출된 표면을 균일한 두께로 덮을 수 있다. 상기 중간 씨포터 층(45) 및 상기 상단 씨포터 층(49)은 상기 하부 전극(81)의 측면에 직접적으로 접촉될 수 있다. 상기 캐패시터 유전 층(91)은 상기 중간 씨포터 층(45) 및 상기 상단 씨포터 층(49)의 상부 표면들 및 하부 표면들에 직접적으로 접촉될 수 있다. 상기 상부 전극(93, 94)은 상기 하부 공간(43H), 상기 중간 씨포터 개구부(45H), 상기 상부 공간(47H), 상기 상단 씨포터 개구부(49H), 및 상기 스토리지 홀(79H)을 채우고 상기 상단 씨포터 층(49) 상을 덮을 수 있다. 상기 제1 상부 전극 층(93)은 상기 캐패시터 유전 층(91) 상을 덮을 수 있다. 상기 캐패시터 유전 층(91)은 상기 제1 상부 전극 층(93) 및 상기 하부 전극(81) 사이, 상기 제1 상부 전극 층(93) 및 상기 상단 씨포터 층(49) 사이, 상기 제1 상부 전극 층(93) 및 상기 중간 씨포터 층(45) 사이, 및 상기 제1 상부 전극 층(93) 및 상기 식각 정지 층(41) 사이에 개재될 수 있다.
- [0113] 상기 제1 주변 영역(MP)의 상부에 있어서, 패터닝 공정에 의하여 상기 상부 전극(93, 94)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다.
- [0114] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 상단 씨포터 층(49) 상에 상기 캐패시터 유전 층(91) 및 상기 상부 전극(93, 94)이 차례로 적층될 수 있다. 상기 제2 셀 영역(EC)의 상단은 상기 제1 셀 영역(MC)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다.
- [0115] 상기 제2 주변 영역(EP)의 상부에 있어서, 패터닝 공정에 의하여 상기 상부 전극(93, 94)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다. 상기 제2 주변 영역(EP)의 상단은 상기 제1 주변 영역(MP)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다.
- [0116] 도 29를 참조하면, 층간 절연 층(95)이 형성될 수 있다(B70). 상기 층간 절연 층(95)은 저-유전 층(low-K dielectric layer), 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합을 포함할 수 있다. 예를 들면, 상기 층간 절연 층(95)은 TEOS(Tetra Ethyl Ortho Silicate)를 포함할 수 있다.
- [0117] 상기 제1 셀 영역(MC)의 상단은 상기 제1 주변 영역(MP)의 상단보다 높은 레벨에 형성될 수 있다. 상기 제2 셀 영역(EC)의 상단은 상기 제2 주변 영역(EP)의 상단보다 높은 레벨에 형성될 수 있다. 상기 제2 셀 영역(EC)의 상단은 상기 제1 셀 영역(MC)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다. 상기 제2 주변 영역(EP)의 상단은 상기 제1 주변 영역(MP)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다.
- [0118] 본 발명 기술적 사상의 실시 예에 따르면, 상기 제2 가장자리 블로킹 층(87)을 이용하는 공정은 제2 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다. 상기 제2 가장자리 블로킹 층(87)의 형성에는 투광패턴 및 차광패턴을 모두 포함하는 레티클(reticle)이 사용될 수 있다. 상기 제2 가장자리 블로킹 층(87)의 형성에 사용되는 상기 레티클(reticle)은 상기 제2 셀 영역(EC)의 상부를 노광 하는 투광 패턴 및 상기 제2 주변 영역(EP)의 상부를 차광하는 차광 패턴을 포함할 수 있다. 상기 에지 칩(E) 및 상기 메인 칩(M) 상에서, 상기 층간 절연 층(95)의 표면 단차는 매우 균일한 분포를 보일 수 있다. 상기 에지 칩(E) 상의 상기 층간 절연 층(95)의 표면 단차는 상기 메인 칩(M) 상의 상기 층간 절연 층(95)의 표면 단차와 실질적으로 동일할 수 있다. 상기 기판(21)의 전면에 걸쳐서 균일한 분포를 보이는 상기 층간 절연 층(95)의 표면 단차는 상기 층간 절연 층(95)의 평탄화 공정을 매우 용이하게 하는 효과가 있다.
- [0119] 도 30을 참조하면, 상기 층간 절연 층(95)을 평탄화할 수 있다(B75). 상기 층간 절연 층(95)의 평탄화에는 화학 기계적 연마(chemical mechanical polishing; CMP) 공정이 적용될 수 있다. 상기 제1 셀 영역(MC), 상기 제1 주변 영역(MP), 상기 제2 셀 영역(EC), 및 상기 제2 주변 영역(EP)의 상부 표면들은 실질적으로 동일한 레벨에 노출될 수 있다.

- [0120] 도 31을 참조하면, 상기 층간 절연 층(95) 상에 상부 절연 층(97)이 형성될 수 있다. 상기 상부 절연 층(97)내에 배선(98, 99)이 형성될 수 있다(B80).
- [0121] 상기 상부 절연 층(97)은 저-유전 층(low-K dielectric layer), 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합을 포함할 수 있다. 상기 배선(98, 99)은 플러그(98) 및 상부 배선(99)을 포함할 수 있다. 상기 배선(98, 99)은 Cu, Al, Ni Co, Fe, Ti, TiN, TiAlN, TiCN, Ta, TaN, TaAlN, TaCN, W, WN, Ru, Pt, 또는 이들의 조합을 포함할 수 있다.
- [0122] 도 32는 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 단면도 이다.
- [0123] 도 32를 참조하면, 기판(21) 상에 활성 영역들(23), 소자 분리 층(25), 게이트 유전 층(26), 게이트 전극들(27), 게이트 캐핑 층(28), 소스/드레인 영역들(29), 비트 플러그(31), 비트 라인(32), 하부 절연 층(35), 매립 플러그들(37), 랜딩 패드들(39), 식각 정지 층(41), 중간 써포터 층(45), 상단 써포터 층(49), 하부 전극(81), 캐패시터 유전 층(91), 상부 전극(93, 94), 층간 절연 층(95), 상부 절연 층(97), 및 배선(98, 99)이 형성될 수 있다.
- [0124] 도 33은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 플로우 차트 이다. 도 34 내지 도37은 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법을 설명하기 위한 사시도들 이다.
- [0125] 도 33을 참조하면, 본 발명 기술적 사상의 실시 예에 따른 반도체 소자 형성 방법은 기판 상에 몰드 층 및 써포터 층을 형성하고(B10), 마스크 층을 형성하고(B20), 제1 예비 마스크 패턴을 형성하고(B22), 제2 예비 마스크 층을 형성하고(B24), 제1 가장자리 블로킹 층을 형성하고(B30), 트림(trim) 패턴을 형성하고(B32), 제2 예비 마스크 패턴을 형성하고(B34), 마스크 패턴을 형성하고(B40), 스토리지 홀을 형성하고(B42), 하부 전극을 형성하고(B44), 써포터 마스크 층을 형성하고(B46), 제2 가장자리 블로킹 층을 형성하고(B50), 써포터 마스크 패턴을 형성하고(B52), 써포터 개구부를 형성하고(B54), 몰드 층을 제거하고(B56), 유전 층을 형성하고(B60), 상부 전극을 형성하고(B62), 절연 층을 형성하고(B70), 절연 층을 부분 식각하고(B73), 절연 층을 평탄화하고(B75), 및 배선을 형성하는 것(B80)을 포함할 수 있다. 이하에서는 도1 내지 도 32를 참조하여 설명된 실시 예와의 차이점만 간략하게 설명하기로 한다.
- [0126] 도 34를 참조하면, 제5 반사 방지 층(85) 상에 제2 가장자리 블로킹 층(87)이 형성될 수 있다(B50). 상기 제2 가장자리 블로킹 층(87)을 이용하는 공정은 제2 피에스이에스(Photo Sensitive Edge Stop; PSES) 공정으로 해석될 수 있다. 제3 포토 마스크 패턴(89)이 형성될 수 있다.
- [0127] 상기 제2 가장자리 블로킹 층(87)은 네거티브 포토레지스트를 포함할 수 있다. 상기 제2 가장자리 블로킹 층(87)의 형성에는 투광 패턴을 갖는 레티클(reticle)이 사용될 수 있다. 상기 제2 가장자리 블로킹 층(87)은 상기 제2 셀 영역(EC) 및 상기 제2 주변 영역(EP) 상을 완전히 덮고, 상기 제1 셀 영역(MC) 및 상기 제1 주변 영역(MP) 상에 상기 제5 반사 방지 층(85)을 노출할 수 있다.
- [0128] 도 35를 참조하면, 상기 제1 셀 영역(MC)의 상부에 있어서, 상기 제1 몰드 층(43)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다. 상기 하부 공간(43H) 내에 상기 하부 전극(81)의 측면, 상기 중간 써포터 층(45)의 하부 표면, 및 상기 식각 정지 층(41)의 상부 표면이 노출될 수 있다. 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다.
- [0129] 상기 제1 주변 영역(MP)의 상부에 있어서, 상기 제1 몰드 층(43)이 제거되고 상기 식각 정지 층(41)이 노출될 수 있다.
- [0130] 상기 제2 셀 영역(EC)의 상부에 있어서, 상기 중간 써포터 층(45)의 하부에 상기 제1 몰드 층(43)이 보존될 수 있다. 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다.
- [0131] 상기 제2 주변 영역(EP)의 상부에 있어서, 상기 중간 써포터 층(45)의 하부에 상기 제1 몰드 층(43)이 보존될 수 있다. 상기 상단 써포터 층(49)의 상부표면이 노출될 수 있다. 상기 제2 주변 영역(EP)의 상단은 상기 제2 셀 영역(EC)의 상단과 실질적으로 동일한 평면 상에 노출될 수 있다.
- [0132] 도 36을 참조하면, 층간 절연 층(95)이 형성될 수 있다(B70).
- [0133] 상기 제1 셀 영역(MC)의 상단은 상기 제1 주변 영역(MP)의 상단보다 높은 레벨에 형성될 수 있다. 상기 제2 셀 영역(EC)의 상단은 상기 제2 주변 영역(EP)의 상단보다 높은 레벨에 형성될 수 있다. 상기 제2 셀 영역(EC)의 상단은 상기 제1 셀 영역(MC)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다. 상기 제2 주변 영역(EP)의

상단은 상기 제1 주변 영역(MP)의 상단보다 높은 레벨에 형성될 수 있다.

[0134] 도 37을 참조하면, 패터닝 공정을 이용하여 상기 제2 주변 영역(EP) 상의 상기 층간 절연 층(95)을 리세스 할 수 있다. 상기 리세스된 층간 절연 층(95)의 상부표면은 상기 제1 주변 영역(MP)의 상단과 실질적으로 동일한 레벨에 노출될 수 있다.

[0135] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

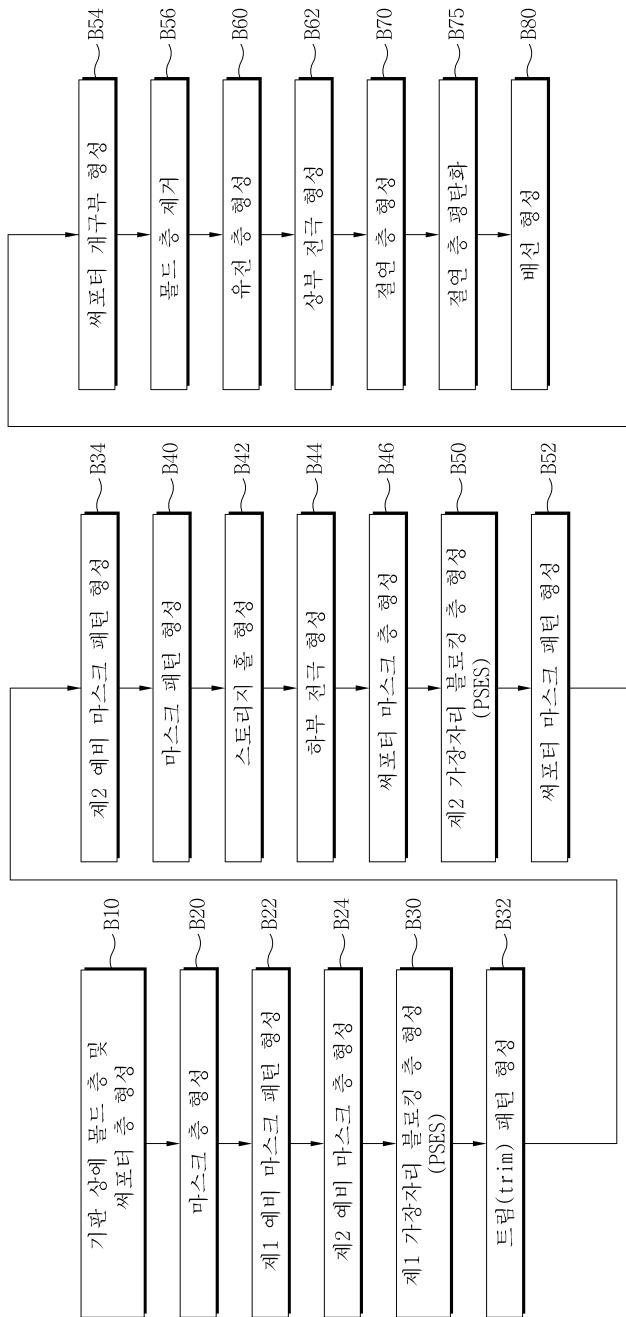
부호의 설명

- [0136] 21: 기관 23: 활성 영역
 25: 소자 분리 층 26: 게이트 유전 층
 27: 게이트 전극 28: 게이트 캐핑 층
 29: 소스/드레인 영역 31: 비트 플러그
 33: 비트 라인 35: 하부 절연 층
 37: 매립 플러그 39: 랜딩 패드
 41: 식각 정지 층 43: 제1 몰드 층
 43H: 하부 공간
 45: 중간 써포터 층(middle supporter layer)
 45H: 중간 써포터 개구부
 47: 제2 몰드 층 47H: 상부 공간
 49: 상단 써포터 층(top supporter layer)
 49H: 상단 써포터 개구부
 51: 마스크 층 51P: 마스크 패턴
 51H: 마스크 홀
 52: 제1 보조 마스크 층 52P: 제1 보조 마스크 패턴
 52H: 제1 보조 마스크 홀
 53: 제2 보조 마스크 층 53P: 제2 보조 마스크 패턴
 53H: 제2 보조 마스크 홀
 55: 제1 반사 방지 층 55P: 제1 반사 방지 패턴
 56: 제1 희생 층 56P: 제1 희생 패턴
 57: 제2 반사 방지 층 57P: 제2 반사 방지 패턴
 59: 제1 포토 마스크 패턴
 61: 제1 예비 마스크 층 61P: 제1 예비 마스크 패턴
 63: 제1 갭 충전 층(gap fill layer)
 65: 제3 반사 방지 층 65P: 제3 반사 방지 패턴
 66: 제2 희생 층 66P: 제2 희생 패턴
 67: 제4 반사 방지 층 67P: 제4 반사 방지 패턴

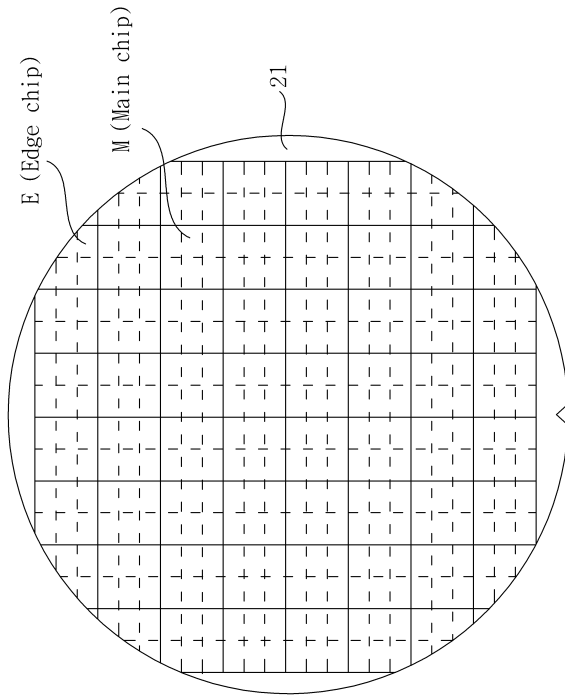
- 69: 제2 포토 마스크 패턴
- 71: 제2 예비 마스크 층 71P: 제2 예비 마스크 패턴
- 73: 제1 가장자리 블로킹 층 75: 트림(trim) 패턴
- 79H: 스토리지 홀 81: 하부 전극
- 83: 제2 갭 충전 층(gap fill layer)
- 84: 씨포터 마스크 층 84P: 씨포터 마스크 패턴
- 85: 제5 반사 방지 층
- 87: 제2 가장자리 블로킹 층 89: 제3 포토 마스크 패턴
- 91: 캐패시터 유전 층 93, 94: 상부 전극
- 95: 층간 절연 층 97: 상부 절연 층
- 98, 99: 배선

도면

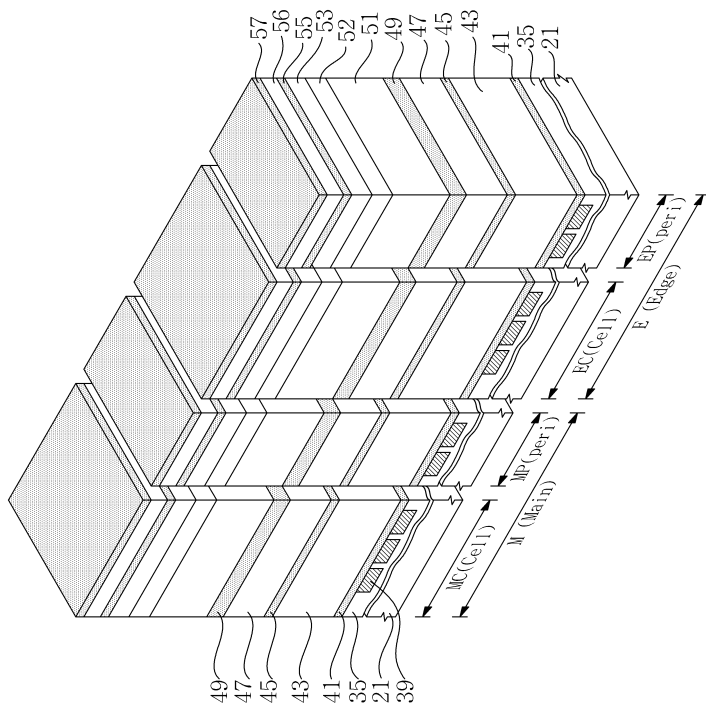
도면1



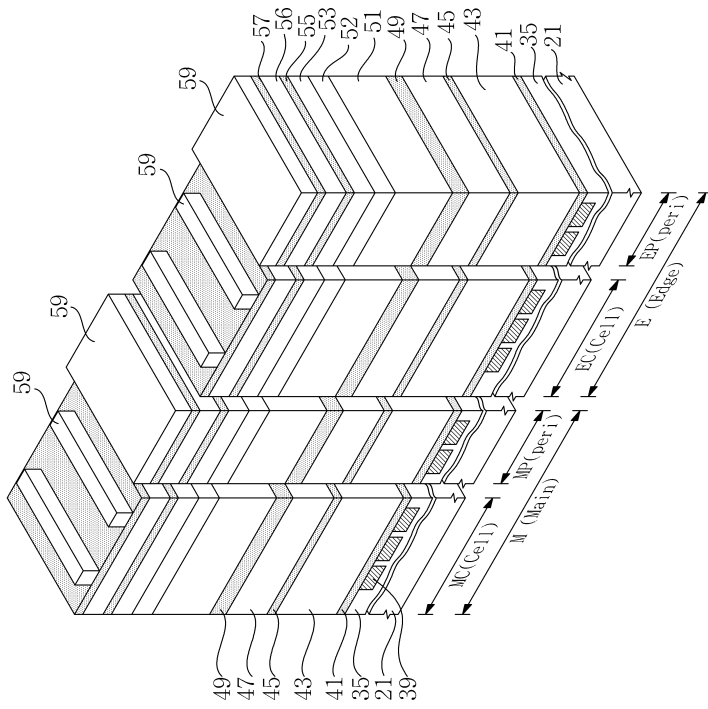
도면2



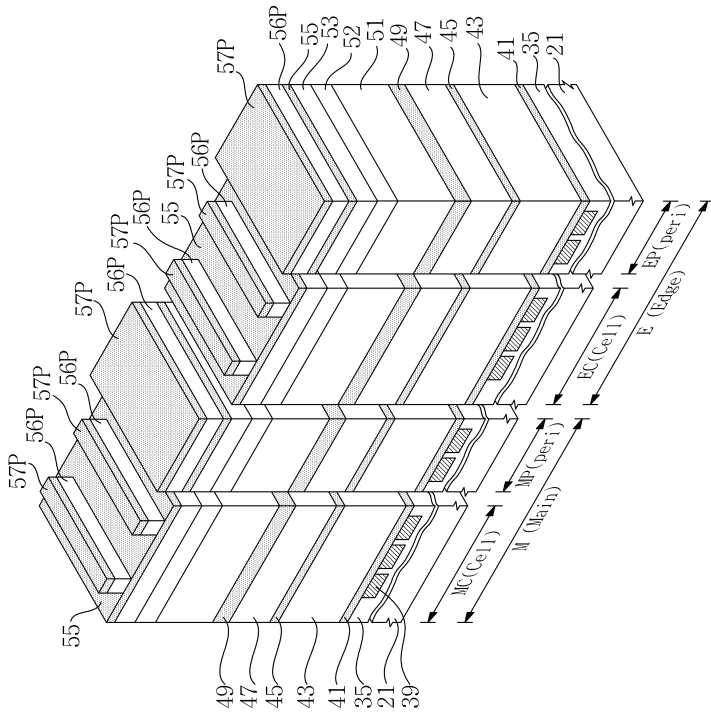
도면3



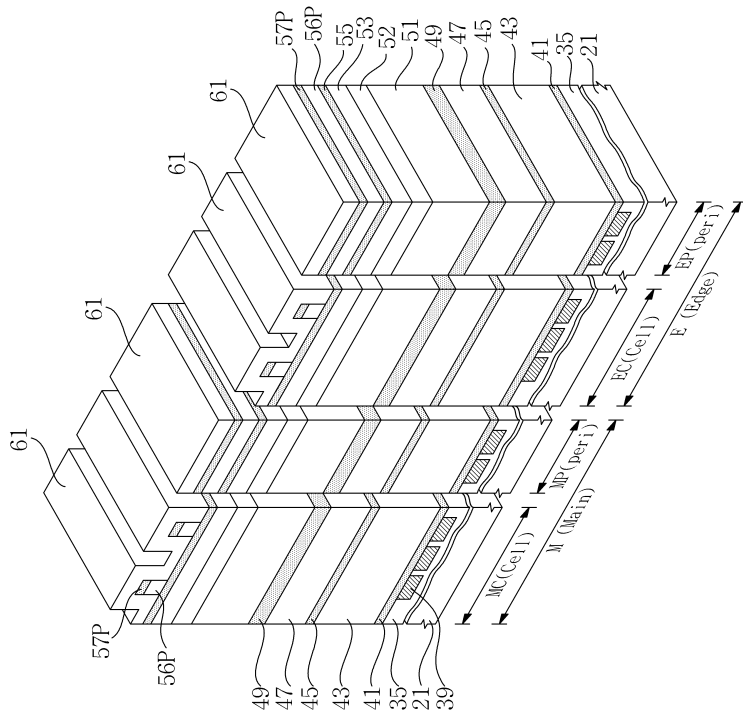
도면4



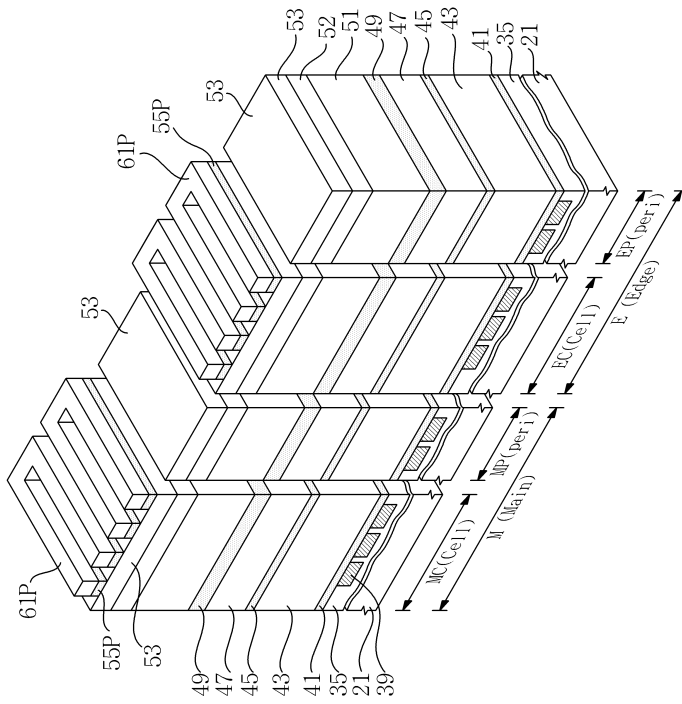
도면5



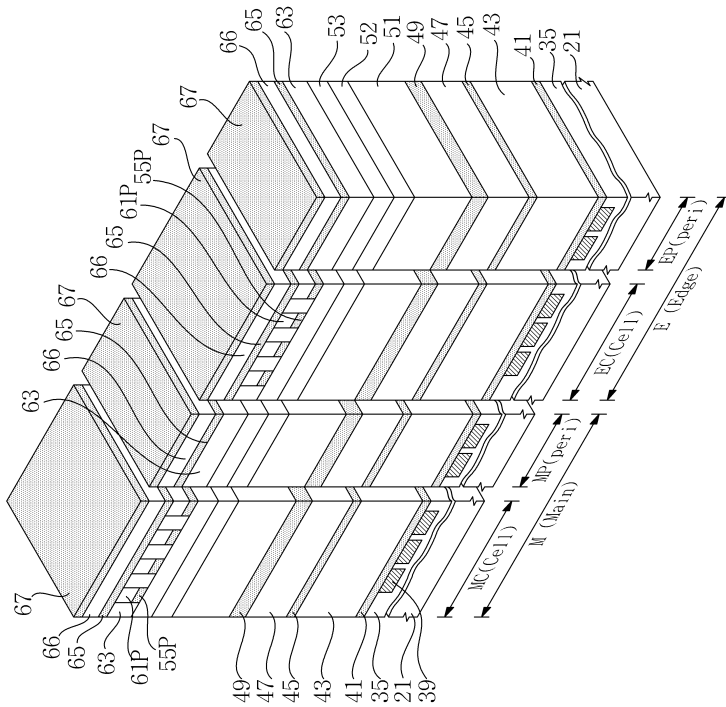
도면6



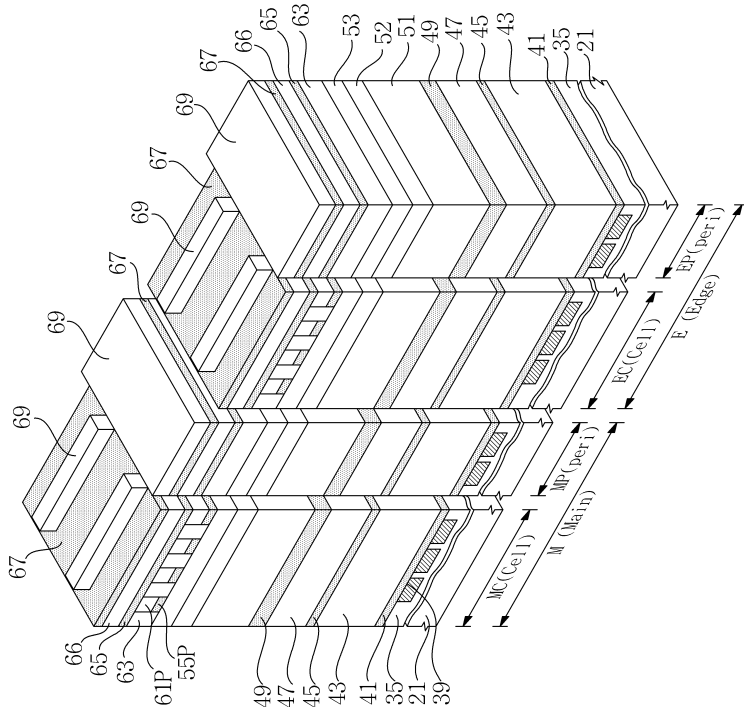
도면7



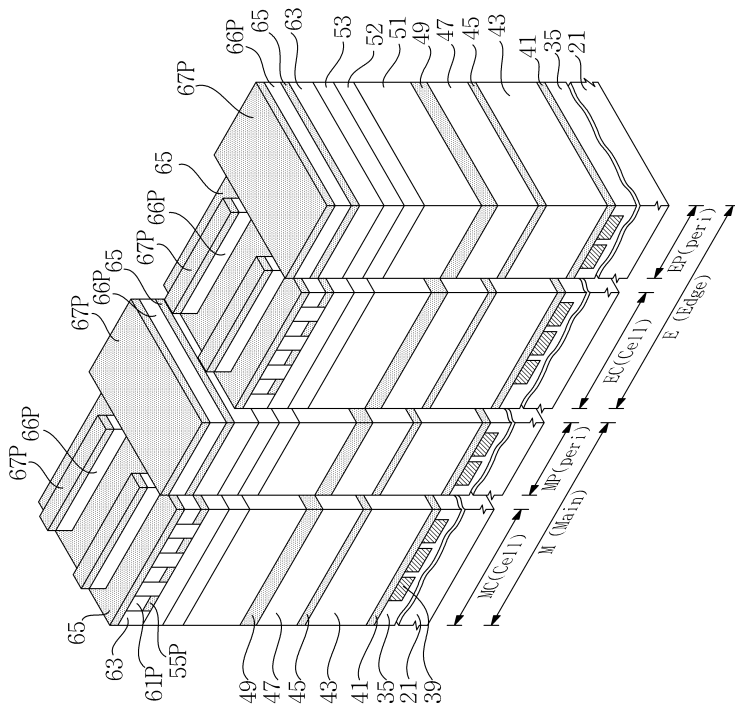
도면8



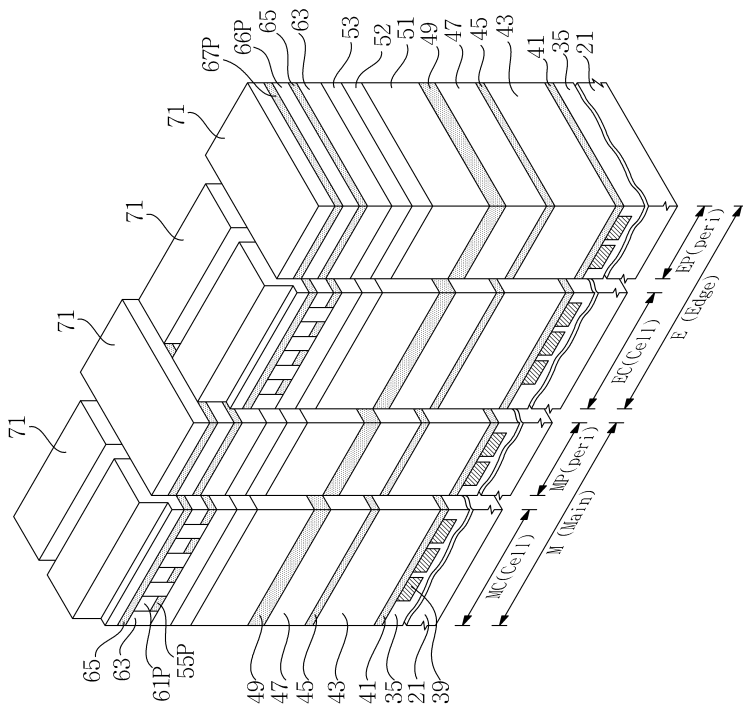
도면9



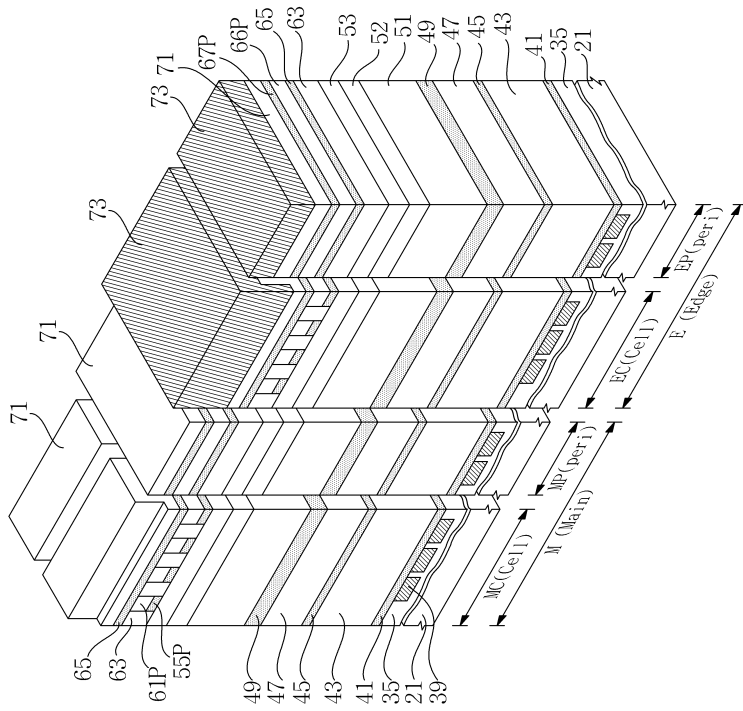
도면10



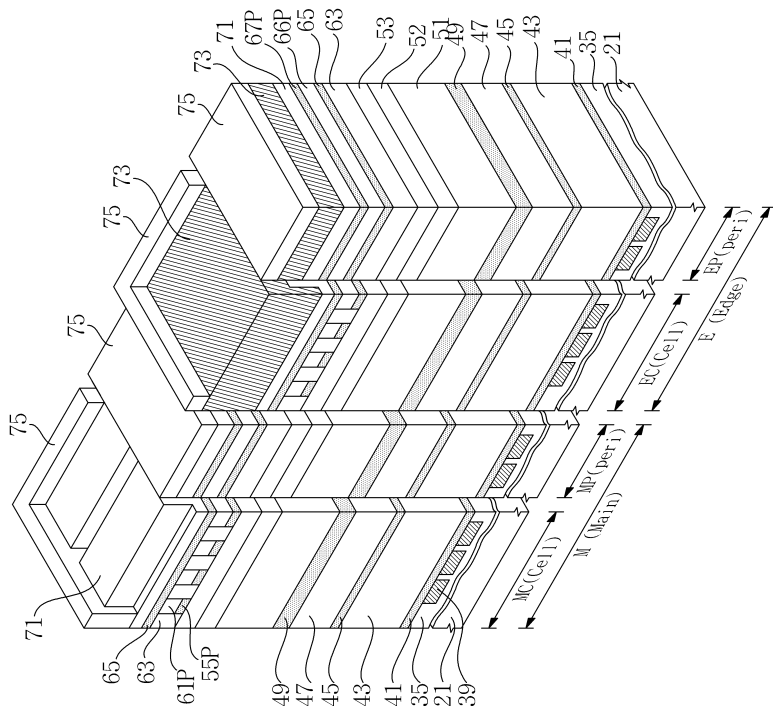
도면11



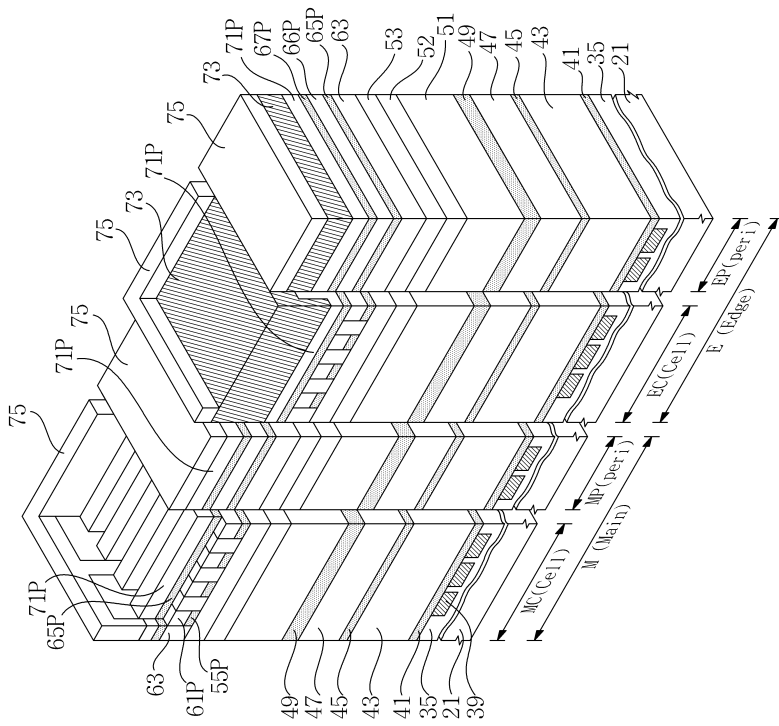
도면12



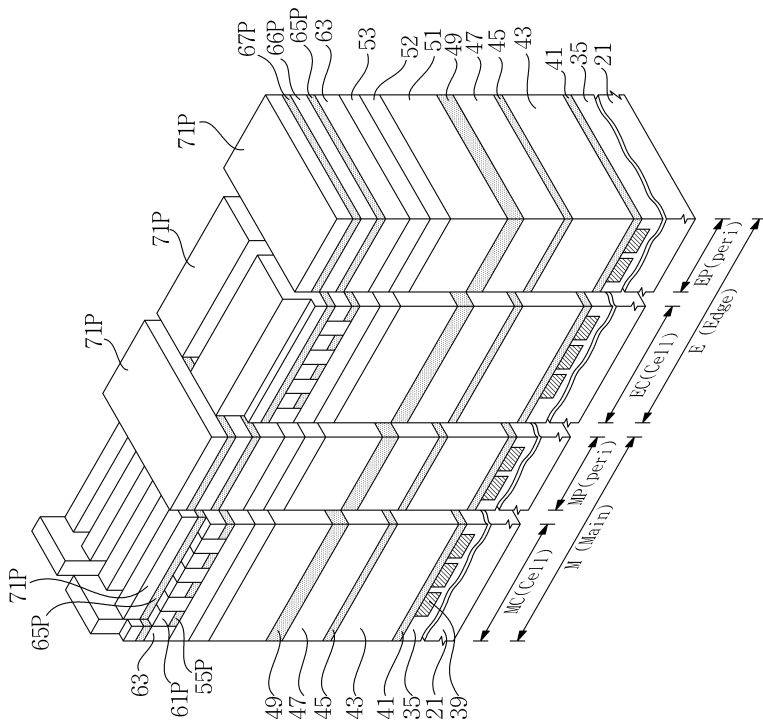
도면13



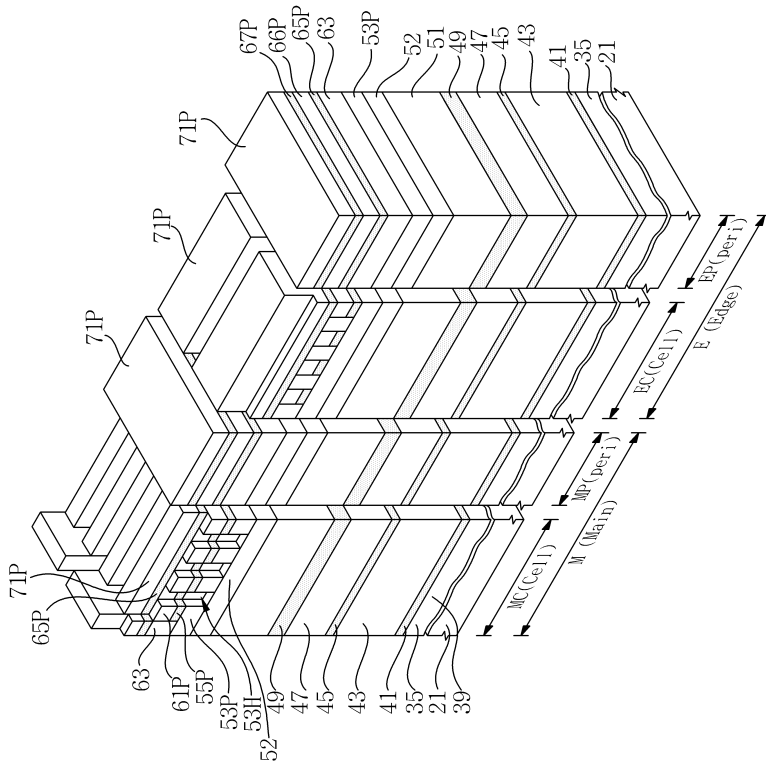
도면14



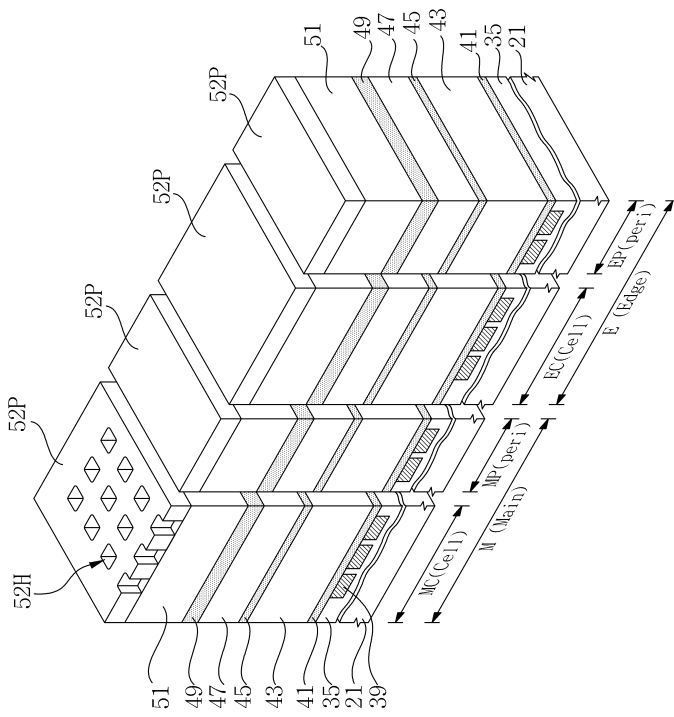
도면15



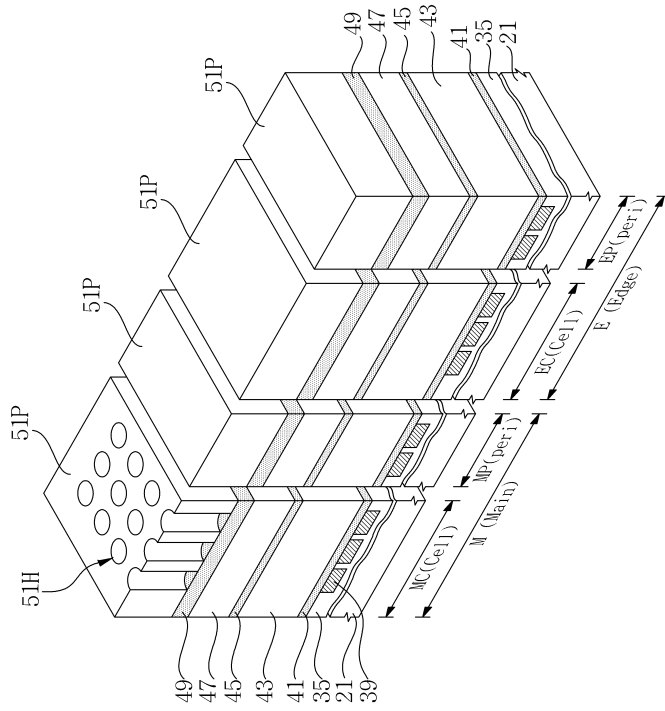
도면16



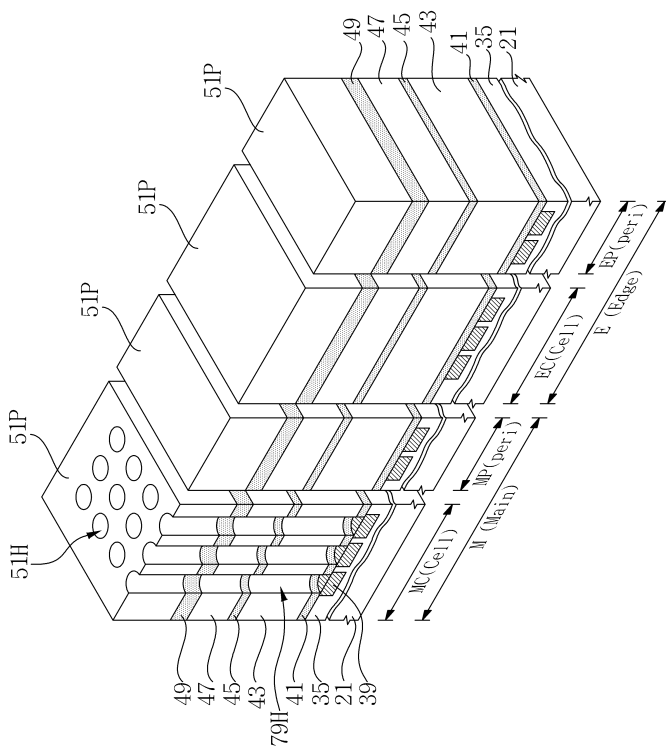
도면17



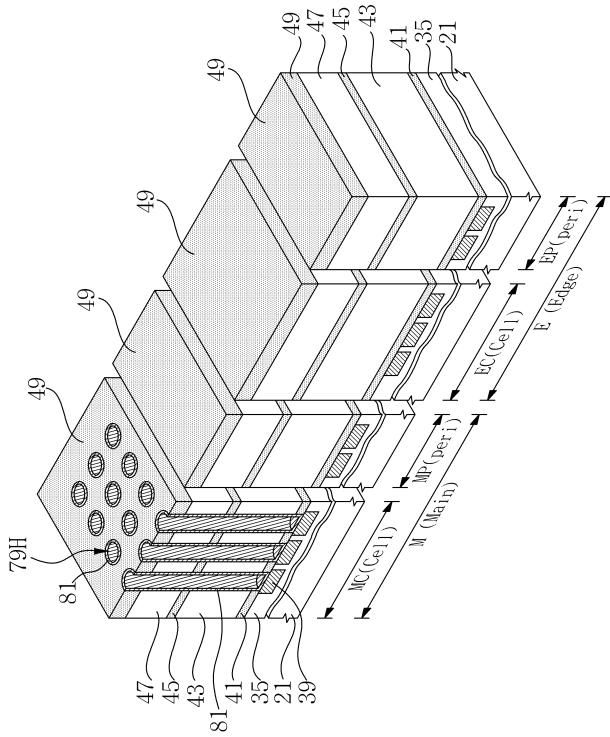
도면18



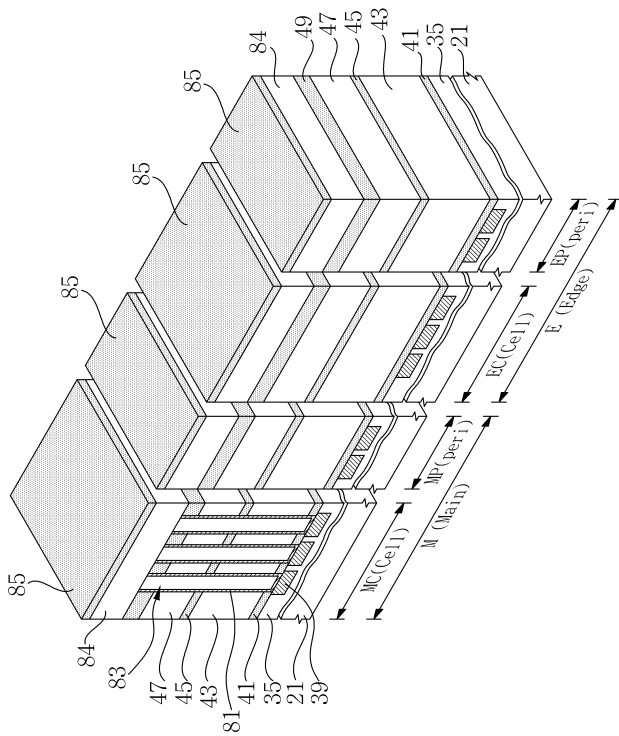
도면19



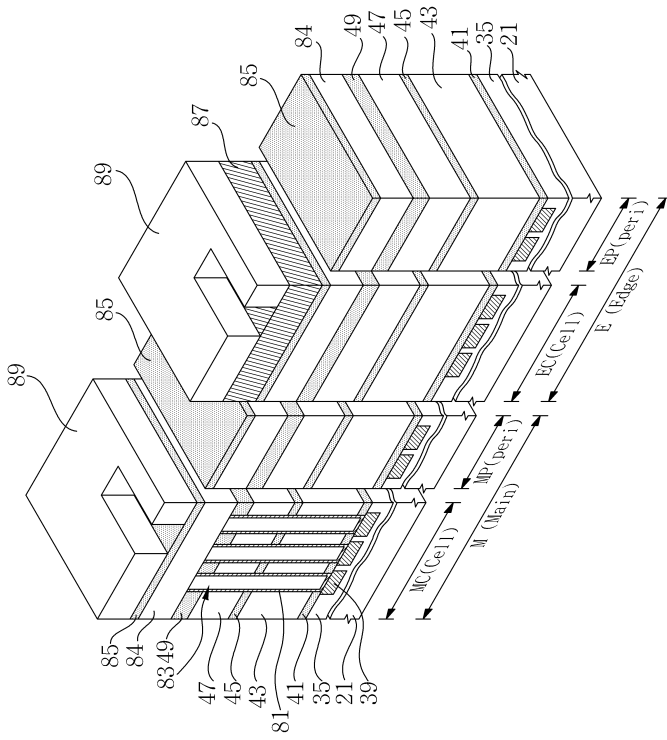
도면20



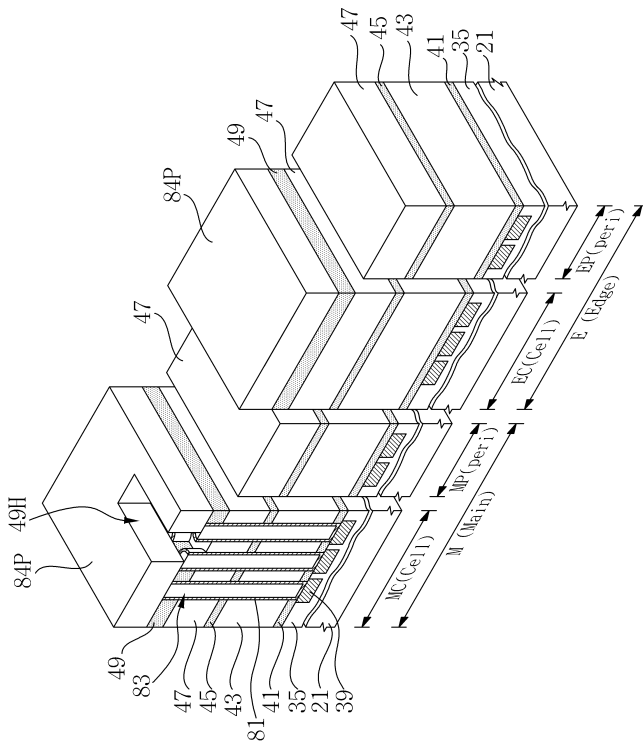
도면21



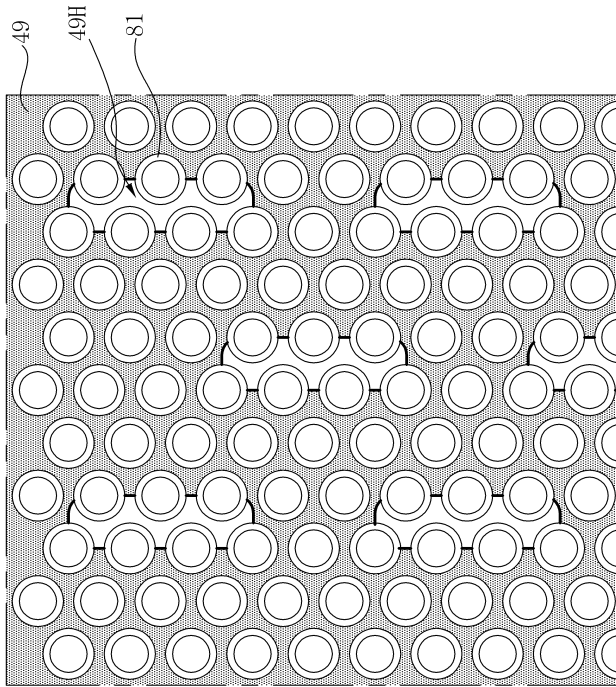
도면22



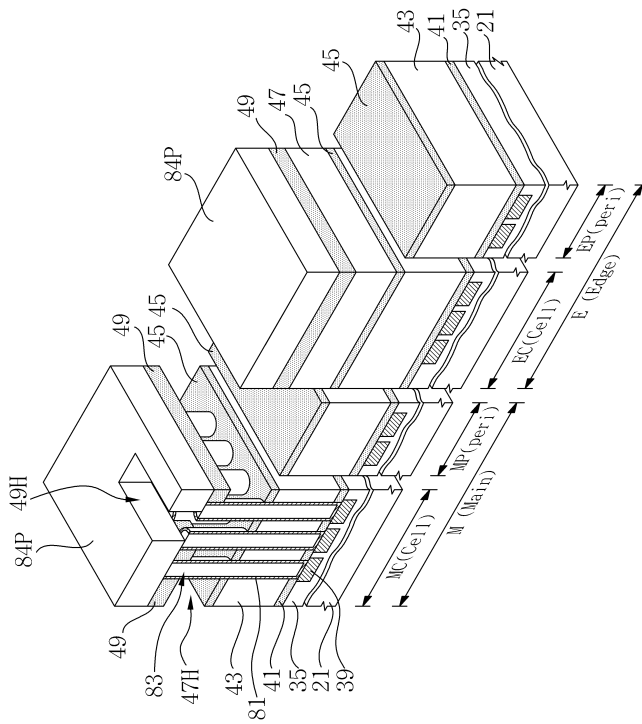
도면23



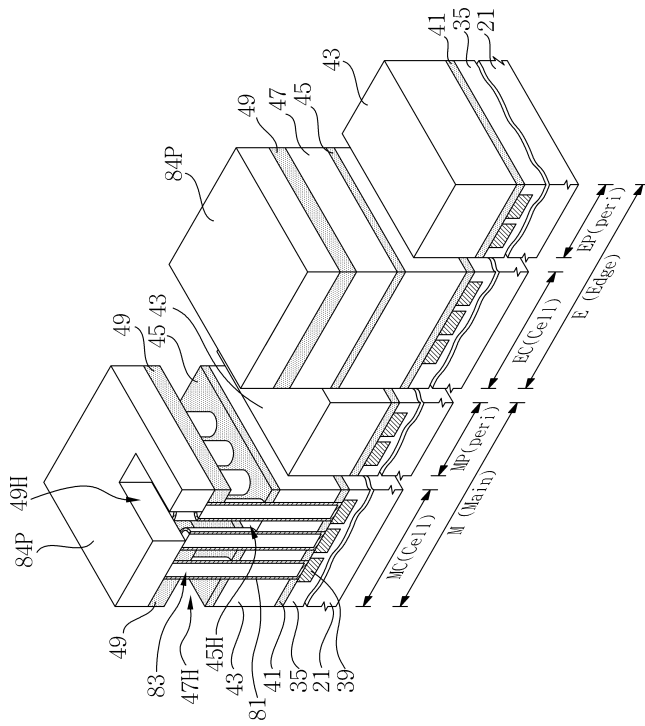
도면24



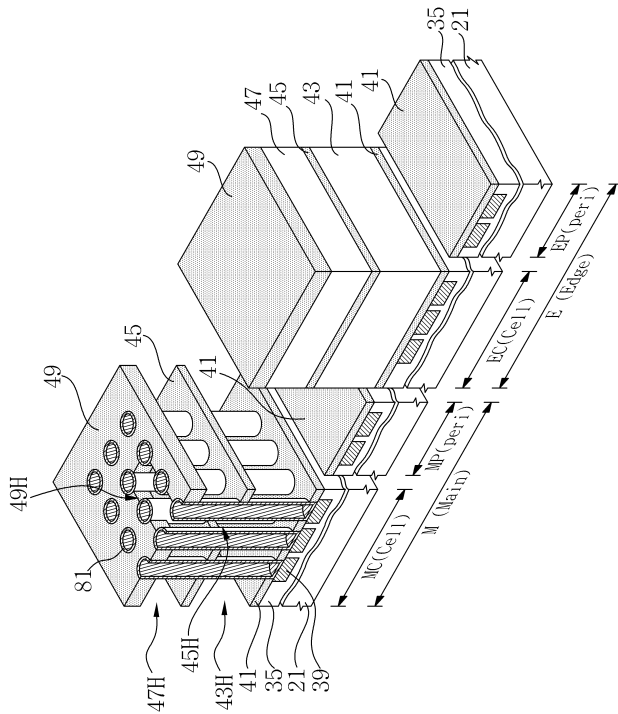
도면25



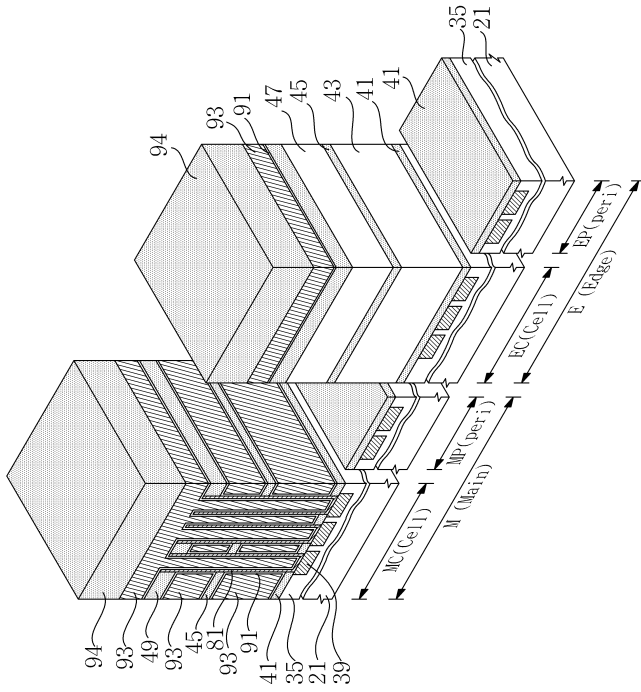
도면26



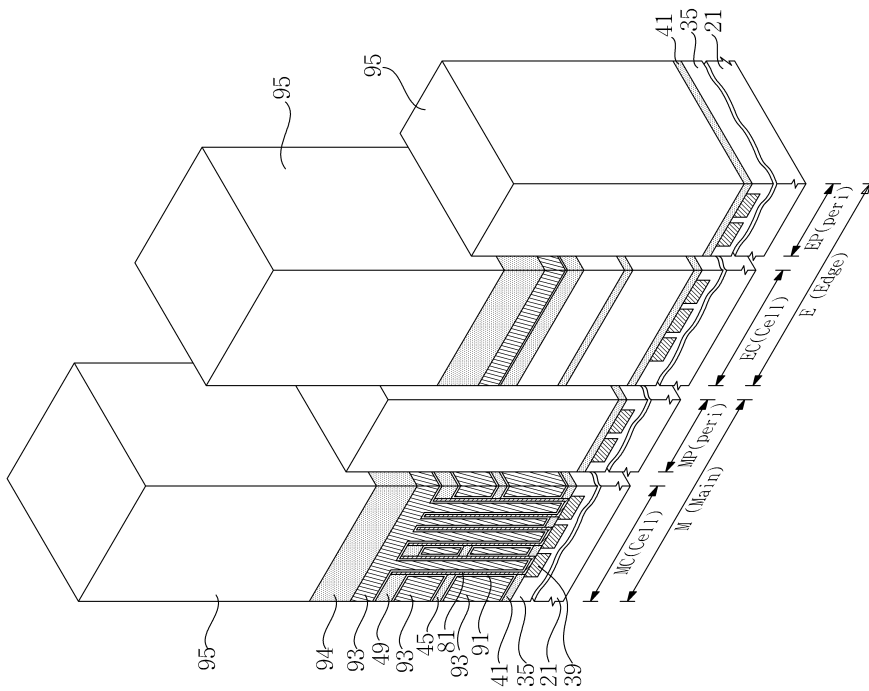
도면27



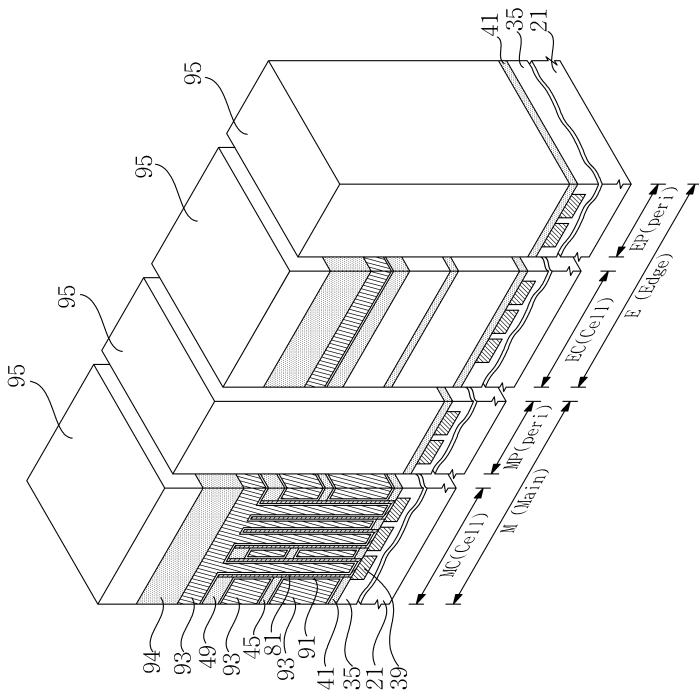
도면28



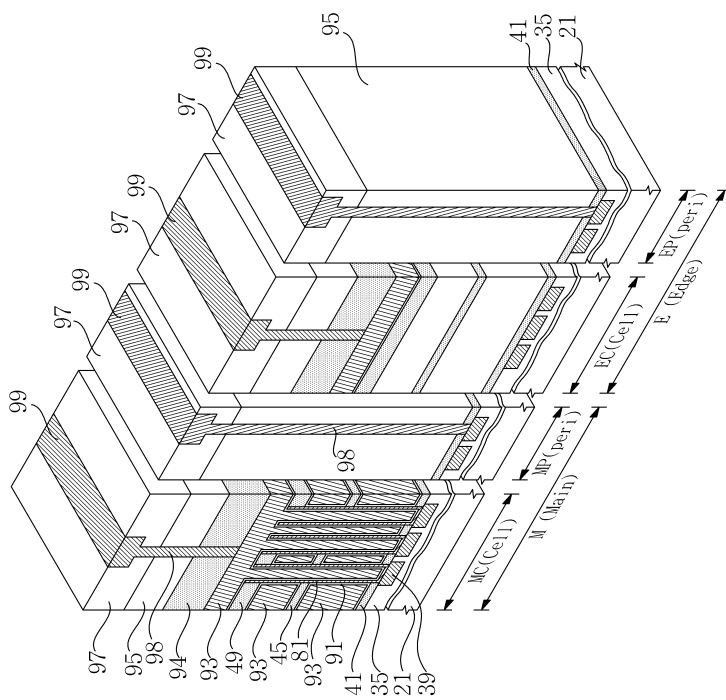
도면29



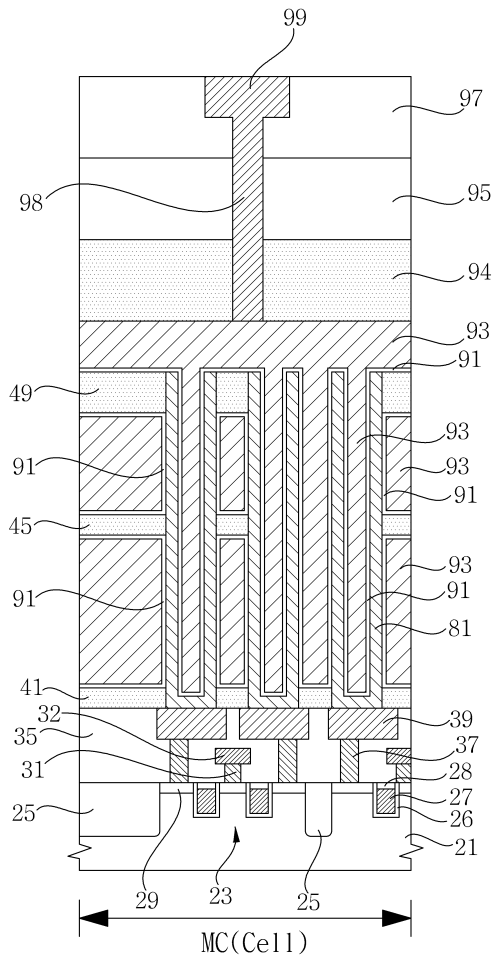
도면30



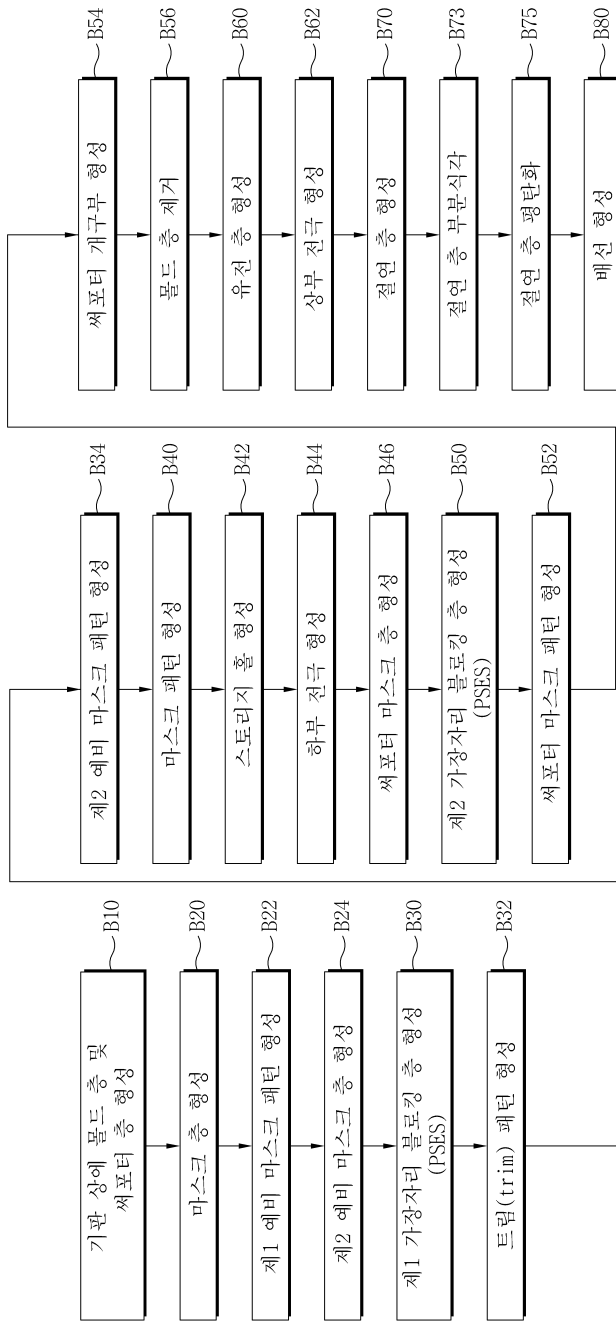
도면31



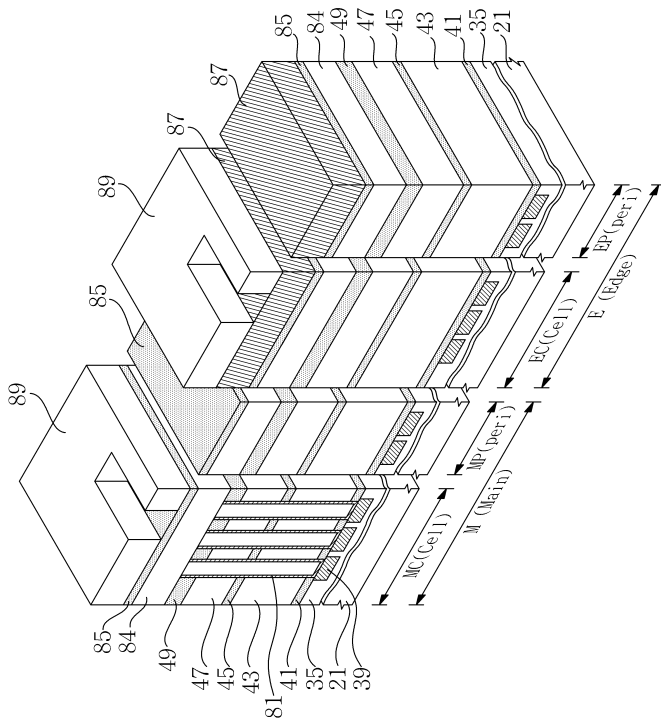
도면32



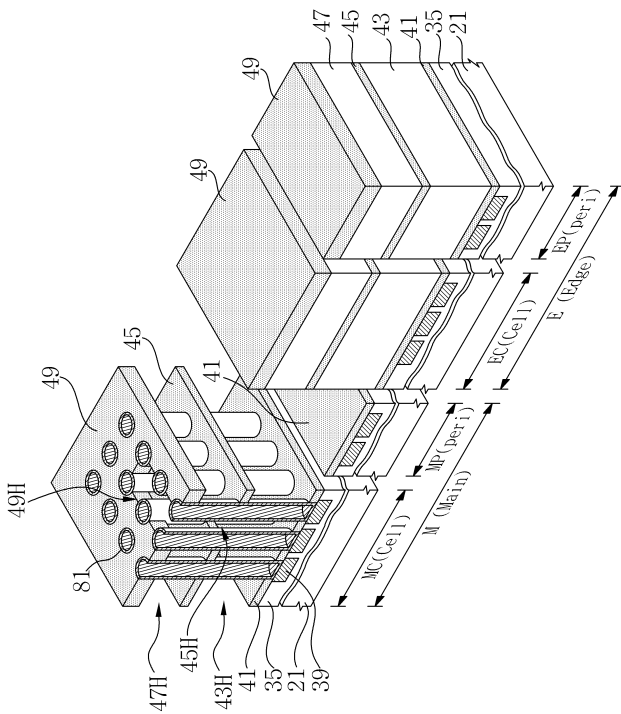
도면33



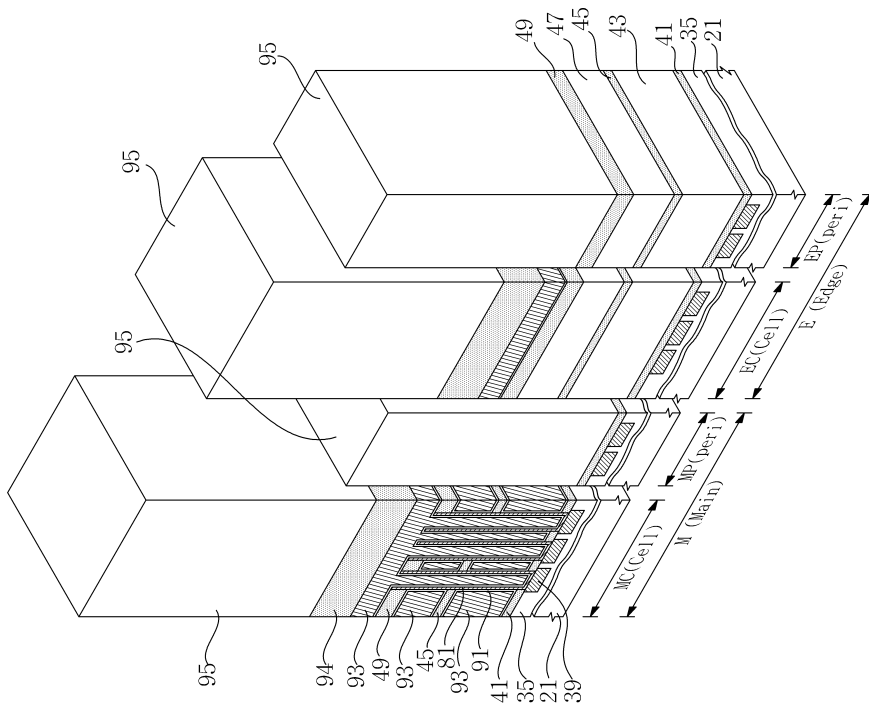
도면34



도면35



도면36



도면37

