

双面影印

公告本

申請日期	89.8.12
案 號	89116.02
類 別	H01L 27/10

A4
C4

(以上各欄由本局填註)

456031

發明專利說明書

一、發明名稱	中 文	半導體積體電路
	英 文	SEMICONDUCTOR INTEGRATED CIRCUIT
二、發明人	姓 名	金指和幸
	國 籍	日 本
三、申請人	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

三 本國(地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
1999.12.09 特願平11-350541

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(一)

發明背景

1.發明領域

本發明係有關供將串行資料傳到外部或從外部讀取，並從記憶單元讀取並行資料或將並行資料寫入記憶單元之半導體積體電路，特別是有關高速轉換資料之技術。

2.相關技術說明

SDRAM(同步DRAM)係在高速下，其輸入/輸出與一時脈信號或類似信號同步運算而於高速下輸入/輸出資料之半導體積體電路，其傳至外部或從外部讀取串行資料與從記憶單元讀取並行資料或寫入記憶單元之方式增加了資料傳輸速度。

第1圖繪示了這類SDRAM中的一個輸出介面裝置輪廓。

輸出介面裝置1包括有一個資料選擇器2、一個並行-串行轉換器3、一個相移暫存器4以及一個資料輸出緩衝器5，此輸出介面裝置1除了相移暫存器4之外，每個均形成多個資料輸入/輸出電極DQ。

資料選擇器2包括四個由CMOS傳輸閘或類似元件構成之開關2a，每個開關2a均接收來自未示出的記憶單元之資料信號DB0-DB3，並根據位址信號AD0和AD1將收到的其中一個信號輸出成資料信號DBS0(DBS1、DBS2或DBS3)，在此圖中，當位址信號AD0和AD1為二進位的"10"時，資料選擇器2會與其開關連接。

並行-串行轉換器3包括四個開關3a，每個均由CMOS傳輸閘或類似元件構成。當連接信號NA、NB、NC及ND

五、發明說明(2)

啟動時，開關3a會被開啟，並分別以資料輸出信號DOUT形式傳輸資料信號DBS0-DBS3。

相移暫存器4與一時脈信號CLK同步進行相移運算，並依此順序啟動連接信號NA、NB、NC及ND。

資料輸出緩衝器5將以資料輸出信號DOUT形式傳輸之序列讀取資料輸出到資料輸入/輸出電極DQ。

於此SDRAM之讀取運算中，資料信號DBS0-DBS3之輸出順序係根據外部所提供的下方位址信號AD0及AD1決定，這種從記憶單元平行讀取資料並連續輸出的運算模式通稱為暴衝輸出模式。

第2圖繪示了利用上述之SDRAM進行讀取運算的一個範例。

起先，SDRAM與週期1上面的CLK信號同步接受一個讀取指令READ1及位址信號，開始進行讀取運算。在此例中，與讀取指令READ1一起產生的位址信號AD0和AD1乃二進位的“10”。

第1圖中繪示之資料選擇器2收到位址信號AD0和AD1，並連接開關2a，讀自記憶單元之資料信號DB0、DB1、DB2以及DB3分別透過資料選擇器2，以資料信號DBS2、DBS3、DBS0以及DBS1形式傳輸。

相移暫存器4分別與週期3、4、5及6上面的時脈信號CLK同步產生連接信號NA、NB、NC及ND。

並行-串行轉換器3中的開關3a收到連接信號NA、NB、NC及ND，並以資料輸出信號DOUT形式連續輸出資料

五、發明說明(3)

信號DBS2、DBS3、DBS0以及DBS1。

接著，序列形式之資料輸出信號DOUT經由資料輸出緩衝器5輸出到資料輸入/輸出電極DQ，亦即當位址信號AD0和AD1為"10"時，資料信號會以DB2、DB3、DB0以及DB1之順序輸出(4-位元暴衝輸出)。

SDRAM亦與週期5上面的時脈信號同步接受下一個指令READ2及位址信號AD0和AD1(二進位的"00")。

資料選擇器2根據位址信號AD0和AD1切換各開關2a，接著透過資料選擇器2將讀自記憶單元之資料信號DB0、DB1、DB2以及DB3分別以資料信號DBS0、DBS1、DBS2以及DBS3形式傳輸。並行-串行轉換器3與連續產生之連接信號NA、NB、NC及ND同步將資料信號DBS0、DBS1、DBS2以及DBS3輸出成連續的資料輸出信號DOUT。

接著，序列資料輸出信號DOUT經由資料輸出緩衝器5輸出到資料輸入/輸出電極DQ，亦即當位址信號AD0和AD1為"00"時，資料信號會以DB0、DB1、DB2及DB3之順序輸出。

於下一個讀取指令READ3中，讀取資料係根據位址信號AD0和AD1(二進位的"11")，以資料信號DB3、DB0、DB1及DB2之順序輸出到資料輸入/輸出電極DQ。

於上述之輸出介面裝置1中，資料信號DB0-DB3被輸出到由資料選擇器2與並行-串行轉換器3所控制之外部電路，因此在SDRAM之定時設計中必須同時考慮資料選擇器2與並行-串行轉換器3的定時界限。

五、發明說明(4)

此外，資料信號DB0-DB3透過兩個開關2a及3a輸出到外部，這使資料信號之輸出會因開關2a及3a的傳播延遲次數而延遲。

如上所述，於傳統SDRAM中，輸出介面裝置1已使資料從記憶單元讀取之資料傳輸速度降低，本質上，SDRAM之特徵在於高速下進行輸入/輸出運算，有鑑於此，輸出介面裝置1必須盡快從記憶單元傳輸讀取資料。

本發明的一個目的在於從記憶單元中高速傳送讀取資料。

本發明另一個目的為在具有記憶單元的一個半導體積體電路中，進行高速讀取運算。

本發明另一個目的為在具有同步時脈型記憶單元之半導體積體電路中，進行高速讀取運算。

本發明另一個目的在於利用一個簡單電路控制讀取資料之並行-串行轉換。

本發明另一個目的為在具有記憶單元的一個半導體積體電路中，進行高速寫入運算。

根據本發明之半導體積體電路的其中一項觀點，半導體積體電路包括有一個供將讀自記憶單元之並行資料轉換成串行資料的並行-串行轉換器，以及一個用以接收控制信號並控制並行-串行轉換器之切換控制電路。並行-串行轉換器具有多個以預定順序選擇之開關，切換控制電路根據控制信號控制開關之選擇順序，而使並行資料能以預定之位元順序轉換成串行資料。

五、發明說明(5)

這使並行資料之傳輸路徑上面所形成的延遲元件減至最少，具體而言，其免除了用以改變並行資料之位元順序的轉換電路需求，而使記憶單元之資料讀取運算更加迅速。

根據本發明之半導體積體電路的另一項觀點，由並行-串行轉換器轉換之串行資料透過一個輸出電路而輸出到外部。這可進一步提高讀取運算之速度，例如具暴衝輸出功能的一個半導體積體電路。

根據本發明之半導體積體電路的另一項觀點，並行-串行轉換器內之各開關均與來自外部的一個時脈信號同步運作，這可增加讀取運算之速度，例如具有記憶單元之同步時脈型式半導體積體電路中的運算速度。

根據本發明之半導體積體電路的另一項觀點，控制信號係從外部提供，而與記憶單元中的一個讀取運算相對應，使其能在每次讀取運算中即時改變串行資料之位元順序。

根據本發明之半導體積體電路的另一項觀點，串行資料之位元順序係由位址信號選擇預定的其中一個記憶單元而改變，舉例而言，1-位元之位址信號能以預定的位元順序將2-位元之並行資料轉換成串行資料，而2-位元之位址信號能以預定的位元順序將4-位元之並行資料轉換成串行資料，換言之，具暴衝輸出功能之半導體積體電路可以預定之位元順序將輸出資料轉換成串行資料，而不會在存取時間上導致任何延遲。

五、發明說明(6)

根據本發明之半導體積體電路的另一項觀點，切換控制電路包括有一個相移暫存器，暫存器之記憶分段輸出則與開關連接。相移暫存器之初值係根據控制信號而設定，改變相移暫存器能使開關以預定順序連接，這可利用一個簡單電路控制串行資料之位元順序，電路的簡化亦有助於定時設計與佈局設計。

根據本發明之半導體積體電路的另一項觀點，用於選擇預定的其中一個記憶單元之位址信號係由外部提供，相移暫存器之初值乃根據此位址信號加以設定，因此，具暴衝輸出功能之半導體積體電路能以預定之位元順序將輸出資料轉換成串行資料，而不會在時間存取上導致任何延遲。

根據本發明之半導體積體電路的另一項觀點，相移暫存器收到一個反信號，並根據反信號轉變其相移方向。因此，不同位元順序中的串行資料可利用相同相移暫存器產生，舉例而言，相移方向的轉變使交錯模式之應用更加簡單。

根據本發明之半導體積體電路的另一項觀點，半導體積體電路包括有一個供將欲寫入記憶單元之串行資料轉換成並行資料的串行-並行轉換器，以及一個用以接收控制信號並控制串行-並行轉換器之切換控制電路。串行-並行轉換器具有多個以預定順序選擇之開關，切換控制電路係則根據控制信號控制開關之選擇順序，而使串行資料能以預定的位元順序轉換成並行資料。

五、發明說明（ 7 ）

這使並行資料之傳輸路徑上面所形成的延遲元件減至最少，具體而言，其免除了用以改變並行資料之位元順序的轉換電路需求，而使記憶單元之資料寫入運算更加迅速。

附圖簡要說明

由下列詳細說明並參看諸幅附圖，則本發明之特性、原理及效用將會更明顯，其中類似元件係由相同參考編號表示，其中：

第1圖為繪示了傳統輸出介面裝置輪廓的一個方塊圖；

第2圖繪示了傳統讀取運算的一個時序圖；

第3圖為繪示了本發明之半導體積體電路第一項實施例的一個方塊圖；

第4圖為繪示了第3圖之輸出介面裝置輪廓的一個方塊圖；

第5圖為繪示了第3圖之位址解碼器與相移暫存器細部的一個電路圖；

第6圖為繪示了第5圖之記憶分段細部的一個電路圖；

第7圖為繪示了第一實施例之讀取運算的一個時序圖；而且

第8圖為為繪示了本發明之半導體積體電路第二項實施例中的一個輸出介面裝置方塊圖。

較佳實施例說明

五、發明說明(8)

下文將參看諸幅附圖敘述本發明之各項實施例。

第3圖繪示了本發明之半導體積體電路的第一項實施例，與傳統技術中敘述之電路相同的電路係以相同參考編號表示，而其細部說明此處不予贅述。於下列敘述中，信號可以縮寫表示，例如“位址信號AD”縮寫成“AD信號”；再者，以“/”標示之信號表示負邏輯。於諸圖中，由粗線繪示之信號線係由多條線段組成，其中一些與粗線連接之方塊圖則由多個電路構成。

本實施例中的半導體積體電路乃利用CMOS製程技術形成矽基板上面的一個SDRAM，SDRAM包括有一個輸入/輸出控制單元10、一個記憶體控制單元12、以及一個記憶體核心14。

輸入/輸出控制單元10包括有一個時脈緩衝器16、輸入緩衝器18a及18b、一個指令解碼器20、一個位址解碼器22、一個相移暫存器24、一個資料輸出緩衝器5、一個資料輸入緩衝器26、一個並行-串行轉換器3以及一個串行-並行轉換器28。本文中，位址解碼器22、相移暫存器26、資料輸出緩衝器5以及並行-串行轉換器3構成了一個輸出介面裝置30。並行-串行轉換器3與資料輸出緩衝器5係與第1圖中的電路相同。

第4圖繪示了本發明的一個必要元件、亦即輸出介面裝置之輪廓。

並行-串行轉換器3具有多個開關3a，位址解碼器22與相移暫存器24則依並行-串行轉換器3之控制電路運作。

五、發明說明(9)

位址解碼器22於一讀取控制信號PTOEZ之低位準下啟動，而在收到內部時脈信號/CLK1的低位準時關閉，位址解碼器22將內部的位址信號IAD1及IAD0解碼，並將預設信號/PRA、/PRB、/PRC以及/PRD中的其中一個轉成低位準。

相移暫存器24具有4-位元之記憶分段24a，以隨內部的一個時脈信號ICLK同步進行相移運算，來自最後分段之資訊被回饋到初始分段，相移暫存器24中的記憶分段24a則輸出連接信號NA、NB、NC以及ND，以分別控制開關3a。此外，記憶分段24a係由預設信號/PRA、/PRB、/PRC以及/PRD預先設定，換言之，相移暫存器24乃根據來自外部的位址信號而初始化，在每一個相移運算中，相移暫存器24會依序產生連接信號NA、NB、NC或ND。

並行-串行轉換器3接著與各開關3a處的ICLK信號同步收到連接信號NA、NB、NC以及ND，並將讀自記憶單元MC之並行資料輸出信號DBO0-DBO3轉換成串行資料輸出信號，亦即將開關3a連接到一個輸出節點。

如第3圖中所示，時脈緩衝器16收到來自外部的CLK信號，並輸出內部的時脈信號ICLK，除了圖中所示之外，ICLK信號亦提供給基本電路。輸入緩衝器18a接受與ICLK信號同步的一個指令信號CMD，並將收到之信號以內部指令信號ICMD形式輸出。

指令解碼器20收到內部指令信號ICMD後會分析指令，並輸出控制信號，以控制晶片之基本運算。本文中，當

五、發明說明(10)

對應一讀取運算的指令信號被輸出時，讀取控制信號PTOEZ會啟動(轉換成高位準)一段預定時間。

如上所述，位址解碼器22會接收/CLK1信號、PTOEZ信號以及IAD0與IAD1信號，並輸出預設信號/PRA、/PRB、/PRC以及/PRD。

相移暫存器24接收ICLK信號、PTOEZ信號以及預設信號/PRA、/PRB、/PRC及/PRD，並輸出/CLK1信號與連接信號NA、NB、NC以及ND。

於一讀取運算中，資料輸出緩衝器5收到來自並行-串行轉換器3之串行資料輸出信號DOUT，並將收到的信號輸出到資料輸入/輸出電極DQ；於一寫入運算中，資料輸出緩衝器5透過資料輸入/輸出電極DQ收到寫入資料，並將收到的資料以資料輸入信號DIN形式輸出到串行-並行轉換器28。

並行-串行轉換器3將記憶體控制單元12傳送而來之並行資料輸出信號DBO以串行DOUT信號形式輸出，串行-並行轉換器28則將資料輸入緩衝器26傳來之串行資料輸入信號DIN轉換成並行資料，並以資料輸入信號DBI形式將結果輸出。

本實施例包括有16個資料輸入/輸出電極DQ，因此，每個電極DQ均配置了資料輸出緩衝器5、資料輸入緩衝器26、並行-串行轉換器3以及串行-並行轉換器28。

記憶體控制單元12具有一個輸入/輸出控制電路32，其亦有其它控制電路，例如時序信號產生器34和位址解碼

五、發明說明(11)

器36。

記憶體核心14具有一個記憶單元陣列38，陣列中有多個以矩陣型式配置之記憶單元MC，每個記憶單元MC均與一條指令線WL及一條位元線BL(/BL)連接。記憶體核心14還具有控制電路，例如讀出放大器40和用於位元線之預充電電路42。

第5圖繪示了位址解碼器22與相移暫存器24之細部。

位址解碼器22係由一個解碼電路22a和一個用以控制該解碼電路22a之控制電路22b構成。

解碼電路22a由四個NAND閘極和兩個反相器構成，當控制電路22b之輸出OUT1處於高位準時，解碼電路22a被啟動；當IAD1及IAD0信號為"00"時，解碼電路22a僅將預設信號/PRA轉成低位準，同樣地，"01"、"10"以及"11"僅將預設信號/PRB、/PRC以及/PRD分別轉成低位準。

控制電路22b由一個RS觸發器和一個用以接收該觸發器輸出的緩衝器構成。控制電路22b之輸出OUT1於PTOEZ信號的低位準下被設在高位準，接著受/ICLK信號之低位準影響而轉成低位準。

相移暫存器24由四個上述之記憶分段24a與一個NAND閘極和一個反相器一起構成，以在PTOEZ信號處於高位準時，由ICLK信號產生/CLK1及CLK1信號。

每個記憶分段24a均具有內部時脈電極CLK1及/CLK1、一個讀取控制電極ROUT、一個輸出電極RIN、一個預設電極/PR、一個輸出電極ROUT以及一個資料輸出電極DN

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

，這些輸入電極分別接收CLK1信號、/CLK1信號、PTOEZ信號、前段輸出信號以及預設信號/PRB(/PRC、/PRD或/PRA)，這些輸出電極分別將輸出信號輸出到下一個分段及連接信號NA(NB、NC或ND)。換言之，/PRA信號被送到最後分段，/PRB信號被送到初始分段，/PRC信號被送到第二分段，而/PRD信號被送到第三分段。

第6圖繪示了記憶分段24a之細部。

記憶分段24a係由下列構成：一個用以接收輸入電極RIN和預設電極/PR之NAND閘極24b；一個在NAND閘極24b之輸出上形成回饋的計時反相器24c；一個供將計時反相器24c之輸出傳送到資料輸出電極DN的反相器24d；一個連接到反相器24d之輸入節點的pMOS電晶體24e以及一個供將NAND閘極24b之輸出信號傳送到輸出電極ROUT的CMOS傳輸閘24f、寄存器24g與CMOS傳輸閘24h。

當CLK1信號處於低位準、/CLK1信號處於高位準而PTOEZ信號處於高位準時，計時反相器24c被啟動，pMOS電晶體24e於其閘極收到PTOEZ信號，並於源極處收到一個供應電壓V_{II}。當CLK1信號分別處於低位準和高位準時，CMOS傳輸閘24f和24h被啟動。寄存器24g由兩個輸入端與輸出端彼此連接之反相器形成。

第7圖繪示了上述SDRAM之讀取運算的一個範例。

起先，SDRAM接受一個與週期1上面之CLK信號上升邊同步的讀取指令及位址信號，啟動讀取運算。在此例中，與讀取指令READ一起產生的AD0與AD1信號乃二進位

五、發明說明 (13)

的“01”(第7(a)圖)。

第5圖中繪示之位址解碼器22收到低位準的PTOEZ信號隨即啟動解碼電路22a，解碼結果接著以/PRA信號、/PRB信號、/PRC信號以及/PRD信號形式輸出(第7(b)圖)。在此例中，僅/PRB信號被設在低位準。/PRA信號、/PRB信號、/PRC信號以及/PRD信號被傳送到相移暫存器24內之各記憶分段24a的預設電極/PR中。

於CLK1信號之低位準及/CLK1信號之高位準情況下，記憶分段24a(第6圖)中的CMOS傳輸閘24f被開啟，以將/PRB信號、/PRC信號、/PRD信號以及/PRA信號存入各自的寄存器24g中。在此例中，相移暫存器24的記憶分段24a之中僅初始分段之寄存器24g輸出低位準。

各記憶分段24a中的CMOS傳輸閘24h均處於關閉狀態，記憶分段24a收到低位準之PTOEZ信號，將其等之pMOS電晶體24e開啟，藉以分別輸出低位準的NA、NB、NC以及ND信號(第7(c)圖)。記憶分段24a中的計時反相器24c於低位準CLK1信號及高位準/CLK1信號下關閉。

第3圖中繪示之指令解碼器20接著分析CMD指令，並啟動(轉成高位準)PTOEZ信號(第7(d)圖)。相移暫存器24內之各記憶分段24a均收到高位準的PTOEZ信號，並關閉其pMOS電晶體24e。

第5圖中繪示之相移暫存器24收到PTOEZ啟動信號，開始產生/CLK1信號及CLK1信號(第7(e)圖)。

高位準之CLK1信號及低位準之/CLK1將CMOS傳輸閘

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

24f關閉，同時CMOS傳輸閘24h被開啟，相移暫存器內之各記憶分段24a接著收到先前分段之寄存器24g中所存放的資料，並將其反相資料以NA、NB、NC及ND信號形式輸出，此將導致僅有NB信號被轉成週期3上面的高位準(第7(f)圖)。

接著，與第4圖中繪示之並行-串行轉換器中的NB信號對應之開關3a被開啟，藉使讀自某一記憶單元之DBO1信號以DOUT信號形式輸出(第7(g)圖)。由於DBO1信號僅透過單一開關3a傳輸，因此相較於傳統方式，其增加了傳輸速度。此外，DBO1信號傳輸路徑上面所形成的較小尺寸控制電路有助於定時設計並增加定時界限。

位址解碼器22收到/CLK1信號之下降邊，隨即關閉解碼電路22a，而使/PRA信號、/PRB信號、/PRC信號以及/PRD信號均被轉成高位準(第7(h)圖)。

接著於週期3上面，CLK1信號下降而/CLK1信號上升，第6圖中繪示的每個記憶分段24a均將其CMOS傳輸閘24f開啟，而將其CMOS傳輸閘24h關閉。同時，計時反相器24c被開啟，以透過反相器24d輸出NA信號(NB、NC或ND信號)。

其次於週期4上面，CLK1信號上升而/CLK1信號下降，相移暫存器24之記憶分段24a將先前分段之資料反轉，並分別將結果輸出成NA信號、NB信號、NC信號以及ND信號(第7(i)圖)。本文中，計時反相器24c係呈關閉狀態。

接著如週期3中，DBO2信號被輸出成DOUT信號(第7(j)

五、發明說明(15)

圖)。之後於週期5及週期6上面，相移暫存器24如上所述進行相同運算，而輸出DOUT信號(第7(k)圖)。

當讀完連續之4-位元資料後，SDRAM終止(轉成低位準)PTOEZ信號(第7(l)圖)。相移暫存器24收到PTOEZ之終止信號，並停止產生/CLK1信號及CLK1信號(第7(m)圖)。於收到低位準的PTOEZ信號時，位址解碼器22會啟動解碼電路22a，並等到與下一次寫入指令相對應的AD0信號及AD1信號產生為止(第7(n)圖)。

如上所述，於本發明之半導體積體電路中，並行-串行轉換器3中各個開關之選擇(連接)乃透過相移暫存器24的相移運算控制，因此，若並行資料輸出信號DBO0-DBO3之傳輸路徑上面所形成的延遲元件極小，則並行資料可轉換成預定順序之串行資料，於是資料從記憶單元MC讀取更加迅速。

利用並行-串行轉換器3轉換之串行DOUT信號透過資料輸出緩衝器5輸出到外部，這使SDRAM進入暴衝輸出模式時資料讀取更為迅速。

並行-串行轉換器3內之各記憶狀態3a係與來自外部之CLK信號同步運作，因此，同步時脈型式的SDRAM讀取更為迅速。

相移暫存器24之初值係根據外部提供之AD1及AD0信號而設定，使其在每次讀取運算中，串行資料之順序均能以即時方式加以設定。

串行資料之順序乃根據AD1及AD0信號設定，因此能

(請先閱讀背面之注意事項再為本頁)

裝
訂
線

五、發明說明(16)

將4-位元並行資料轉換成預定順序之串行資料，亦即當SDRAM進入暴衝輸出模式時，可將輸出資料轉換成預定之順序，而在時間存取上不會有任何延遲。

相移暫存器24之各記憶分段24a輸出係與開關3a連接，並和用以預設(設定其初值)此相移暫存器24之位址解碼器一起形成，使其能利用一個簡單的電路控制串行資料之順序，電路的簡化亦有助於定時設計與佈局設計。

第8圖繪示了本發明之半導體積體電路第二項實施例的輸出介面裝置，本文中，與第一項實施例相同之電路將以相同參考編號表示，且其細節不予贅述。

本實施例之輸出介面裝置包括有一個和第一項實施例之相移暫存器24不同的相移暫存器44，其它結構則與第一項實施例相同。

相移暫存器44之功能在於根據一個反信號REV改變其相移方向，就是這種相移暫存器44才能在某一瞬間讀取中改變正在輸出之讀取資料的順序，以符合通稱為“交錯模式”之規格，反信號REV之邏輯係由未示模式之暫存器或類似裝置設定。

當REV信號處於低位準時，本實施例之SDRAM如第一項實施例中所述方式運作；當REV信號處於高位準時，相移暫存器44由右至左進行相移運算。於是，當“01”之AD1及AD0信號以讀取運算形式產生時，讀取資料依資料輸出信號DBO1、DBO0、DBO3以及DBO2順序輸出到輸入/輸出電極DQ，亦即單純地將相移暫存器44之相移方向反轉

五、發明說明(17)

即能使SDRAM適用於交錯模式。

本實施例亦可提供由上述第一項實施例所得之相同效果，再者，於本實施例中，讀取資料可對應交錯模式而輸出。在傳統交錯模式中，第3圖中繪示之輸入/輸出控制電路32上面需要複雜的切換控制才能轉換資料，在本實施例中，單純地將相移暫存器44之相移方向反轉即可適用於交錯模式。

於上述之第一項實施例中，本發明乃應用於輸出介面裝置30，供將讀取資料從記憶單元MC輸出到外部，然而並不限於該處，且可應用於輸入介面裝置上。具體而言，位置解碼器與相移暫存器可用以改變串行-並行轉換器28中的資料轉換順序，而使連續之寫入資料能夠容易地轉換成預定的並行資料，換言之，串行-並行轉換器28之開關乃依序連接到一個內部節點，使其能在高速下進行暴衝寫入運算。

於上述之第一項實施例中，本發明乃應用於SDRAM上，然而並不侷限於此，且可應用於半導體記憶體如DRAM、SRAM。其亦可應用於內部植入了DRAM記憶體核心之系統中。

本發明所用之半導體製程並不限於CMOS製程，其亦可廣用於Bi-CMOS製程中。

本發明並不侷限於上述諸項實施例，可做各種不同變更而不會偏離本發明之精神與範圍，並可進行部分或所有元件之改良。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(18)

元件標號對照

1…輸出介面裝置	24a…記憶分段
2…資料選擇器	24b…NAND閘極
2a、3a…開關	24c…計時反相器
3…並行-串行轉換器	24d…反相器
4、24、44…相移暫存器	24e…pMOS電晶體
5…資料輸出緩衝器	24f、24h…CMOS傳輸閘
10…輸入/輸出控制單元	24g…寄存器
12…記憶體控制單元	26…資料輸入緩衝器
14…記憶體核心	28…串行-並行轉換器
16…時脈緩衝器	30…輸出介面裝置
18a、18b…輸入緩衝器	32…輸入/輸出控制電路
20…指令解碼器	34…時序信號產生器
22、36…位址解碼器	38…記憶單元陣列
22a…解碼電路	40…讀出放大器
22b…控制電路	42…預充電電路

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱： 半導體積體電路)

半導體積體電路包括有一個供將讀自記憶單元之並行資料轉換成串行資料的並行-串行轉換器和一個用以接收控制信號並控制並行-串行轉換器之切換控制電路。並行-串行轉換器具有多個以預定順序連接之開關，切換控制電路係根據控制信號控制開關之連接順序，而使並行資料能以預定的位元順序轉換成串行資料。這使並行資料之傳輸路徑上面所形成的延遲元件減至最少，具體而言，其免除了用以改變並行資料之位元順序的轉換電路需求，而使記憶單元之資料讀取運算更加迅速。並行-串行轉換器內之各開關均與來自外部的一個時脈信號同步運作，這可增加讀取運算之速度，例如具有記憶單元之同步時脈型式半導體積體電路中的運算速度。

英文發明摘要(發明之名稱： SEMICONDUCTOR INTEGRATED CIRCUIT)

The semiconductor integrated circuit comprises a parallel-serial converter for converting parallel data read from memory cells into serial data and a switch control circuit for receiving a control signal and controlling the parallel-serial converter. The parallel-serial converter has a plurality of switches connected in a predetermined order. The switch control circuit controls the order of connecting the switches in accordance with the control signal so that parallel data are converted into serial data in a predetermined bit order. This minimizes delay elements formed on the transmission paths of parallel data. Specifically, for example, it eliminates the need for a conversion circuit for changing the bit order of parallel data. This results in faster data read operations from memory cells. Each of the switches in the parallel-serial converter operates in synchronization with a clock signal supplied from the exterior. This can heighten the speed of read operations, for example, in a clock-synchronous type of semiconductor integrated circuit having memory cells.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路，其包括有：

一個並行-串行轉換器，用以接收來自多個交換器記憶單元之並行資料，並依序選擇開關而與某一輸出節點連接；以及

一個接收控制信號之切換控制電路，以根據控制信號控制該開關之選擇順序。

2. 如申請專利範圍第1項之半導體積體電路，其包括有一個輸出電路，供將該並行-串行轉換器輸出的串行資料輸出到外部。

3. 如申請專利範圍第1項之半導體積體電路，其中每個開關均隨來自外部的一個時脈信號同步運作。

4. 如申請專利範圍第1項之半導體積體電路，其中該控制信號係由對應該記憶單元中的一個讀取運算之外部電路提供。

5. 如申請專利範圍第4項之半導體積體電路，其中該控制信號係選擇其中一個預定記憶單元之位址信號。

6. 如申請專利範圍第1項之半導體積體電路，其中：

該切換控制電路包括一個具多個記憶分段之相移暫存器，其輸出分別與該開關連接；並且

該相移暫存器的初值係根據該控制信號而設定。

7. 如申請專利範圍第6項之半導體積體電路，其中該控制信號係來自外部的一個位址信號，用以選擇其中一個預定之記憶單元。

8. 如申請專利範圍第6項之半導體積體電路，其中該相移

六、申請專利範圍

暫存器收到一個反信號，並根據反信號轉變其相移方向。

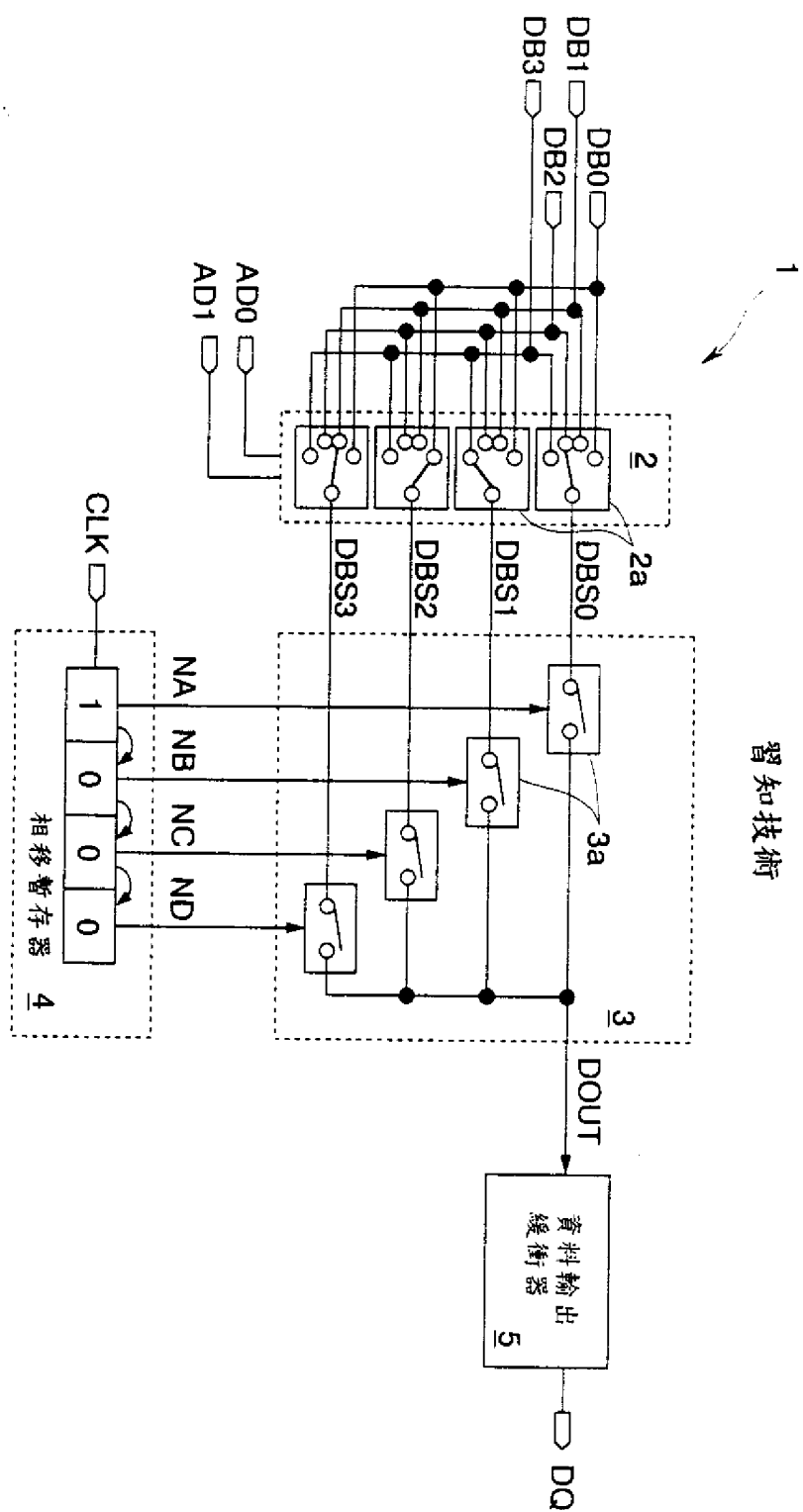
9. 一種半導體積體電路，其包括有：

一個串行-並行轉換器，用以接收欲寫入多個開關記憶單元而成為串行資料之資料，並以預定順序選擇開關而分別與內部節點連接；以及

一個接收控制信號之切換控制電路，以根據控制信號控制該開關之選擇順序。

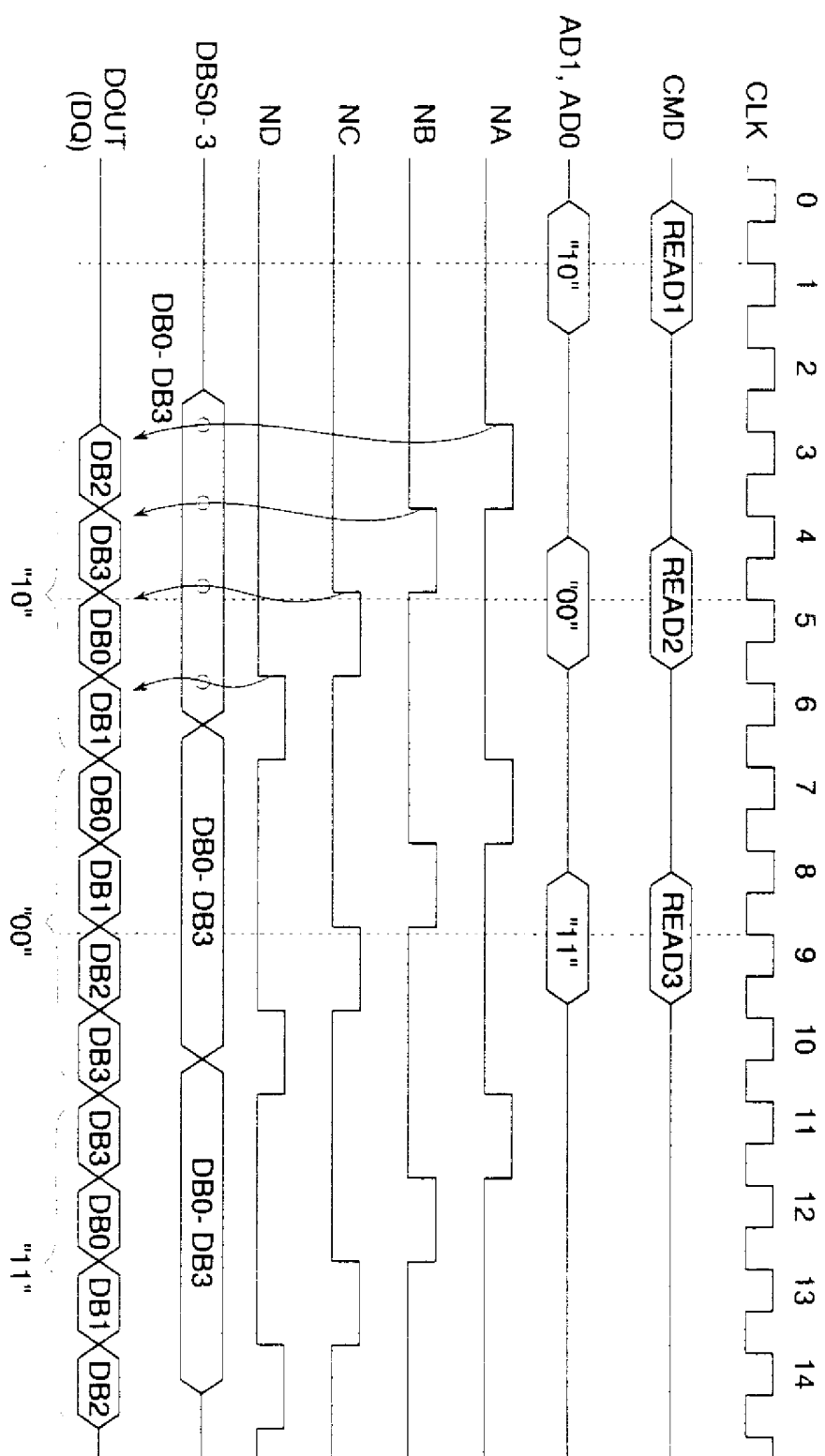
(請先閱讀背面之注意事項再填寫本頁)

訂 · 裝 · 線

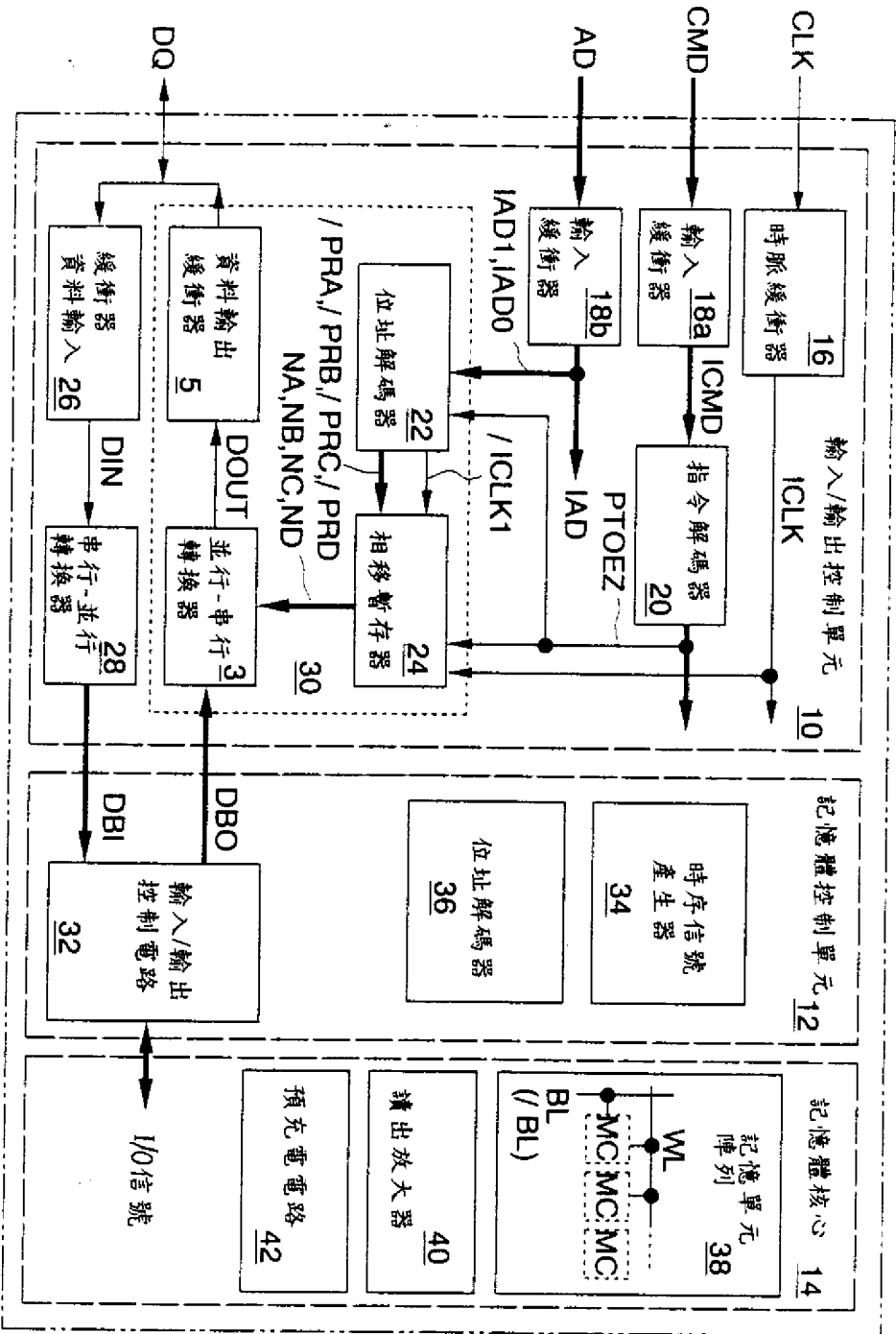


第 1 圖

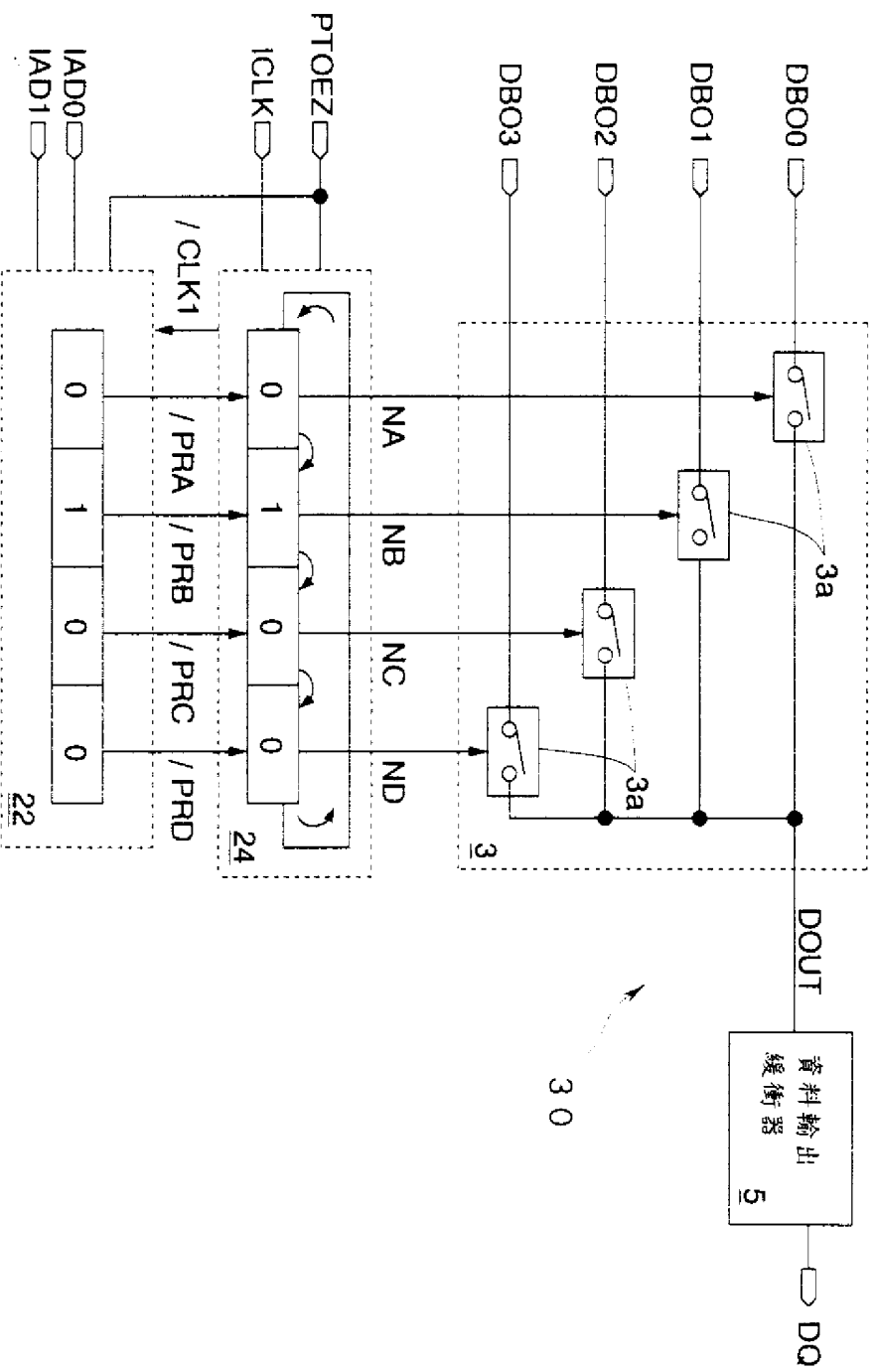
習知技術



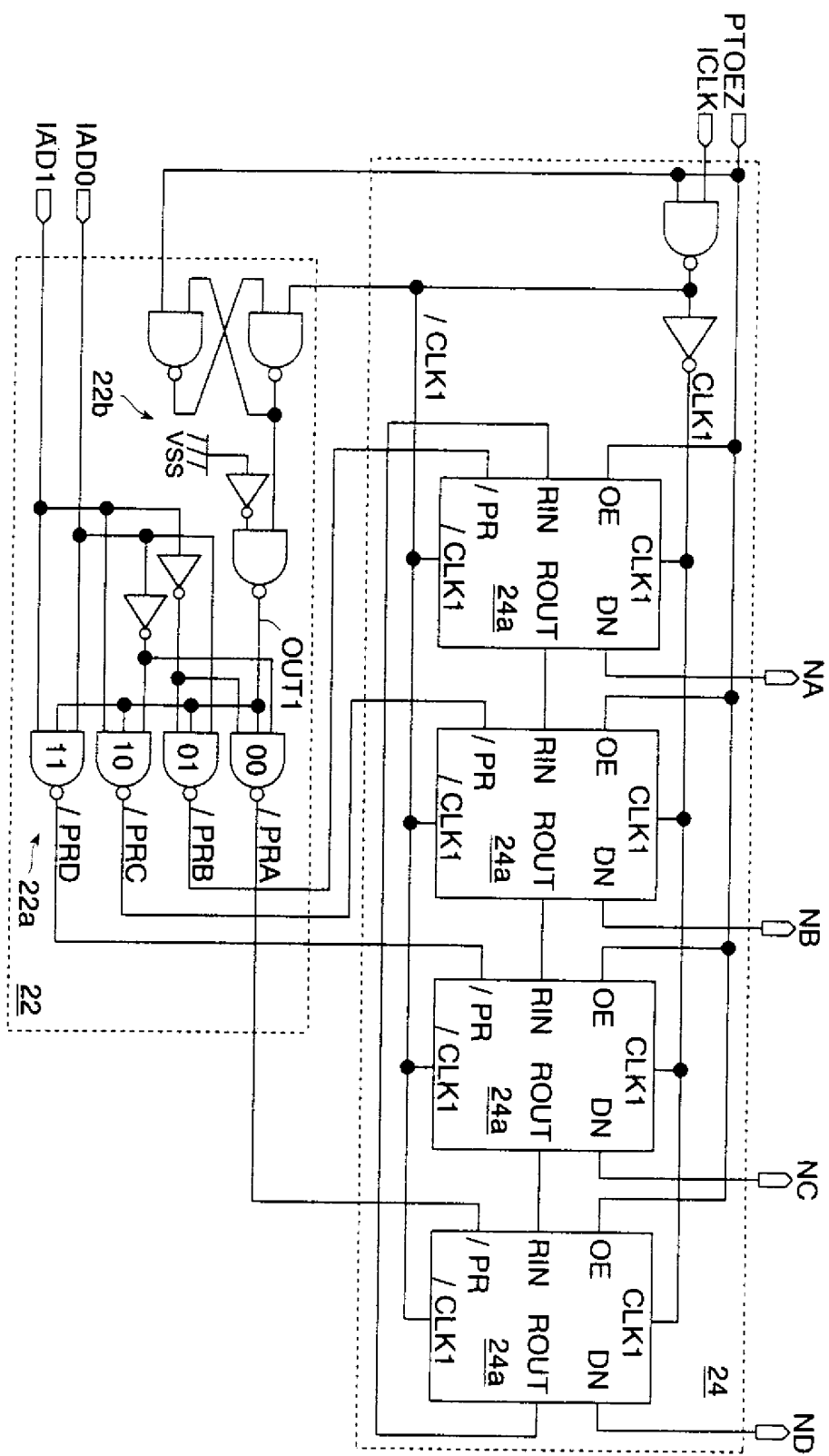
第 2 圖



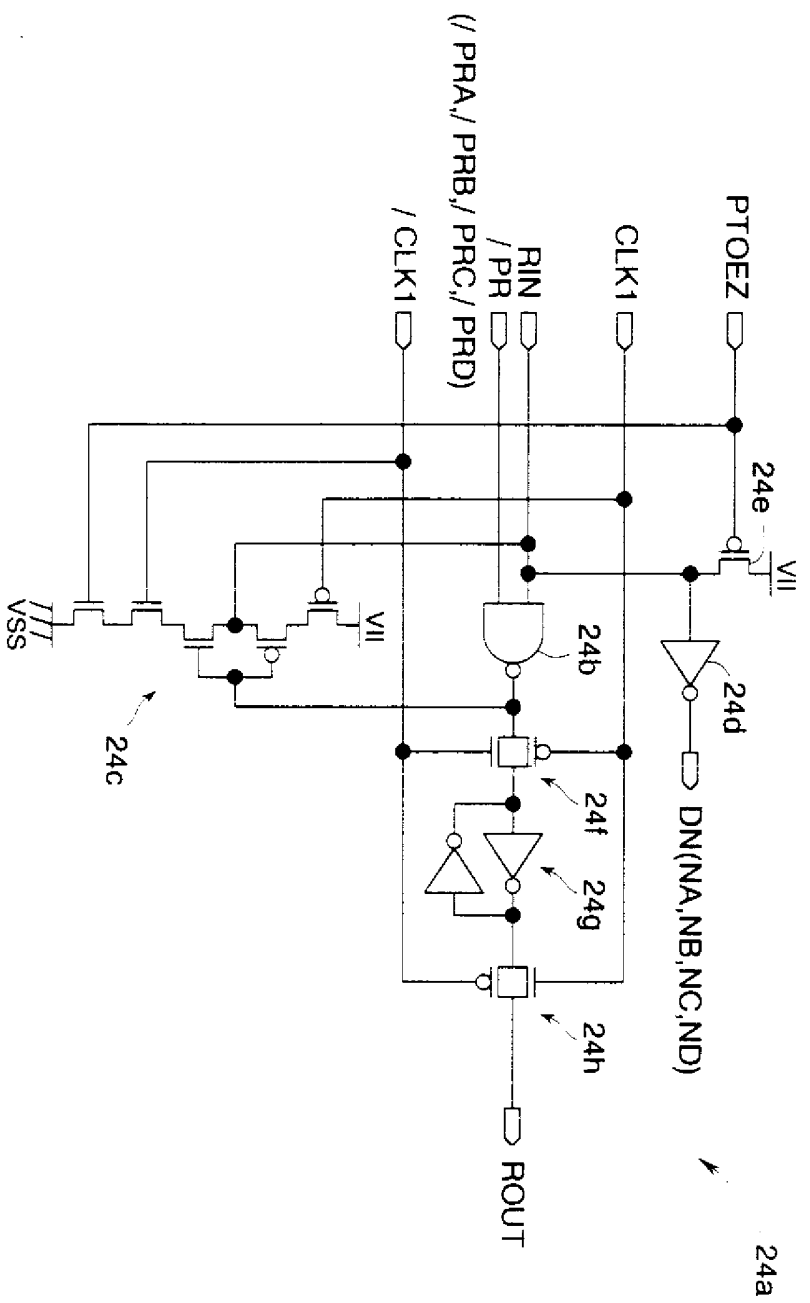
第 3 圖



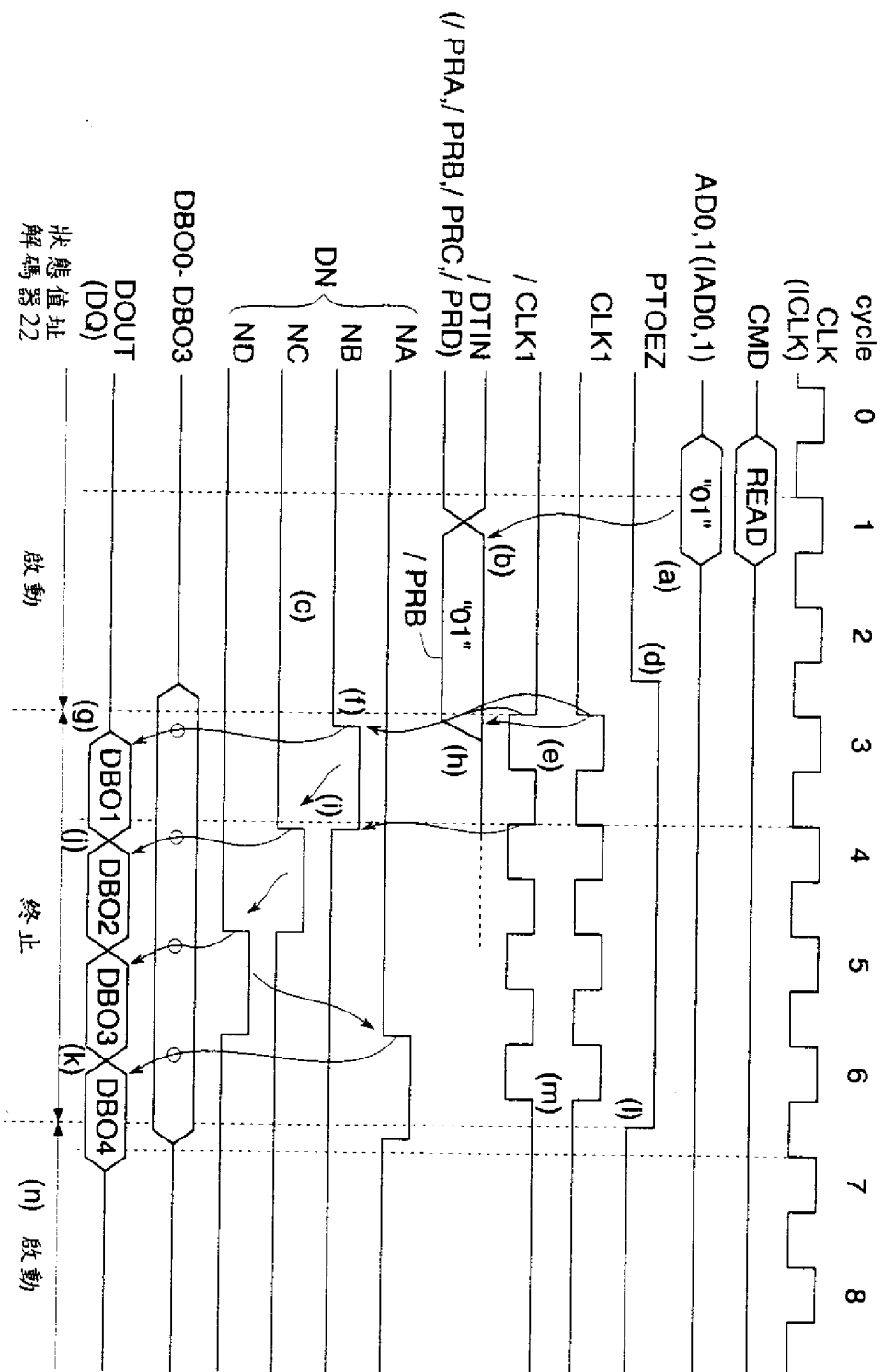
第 4 圖



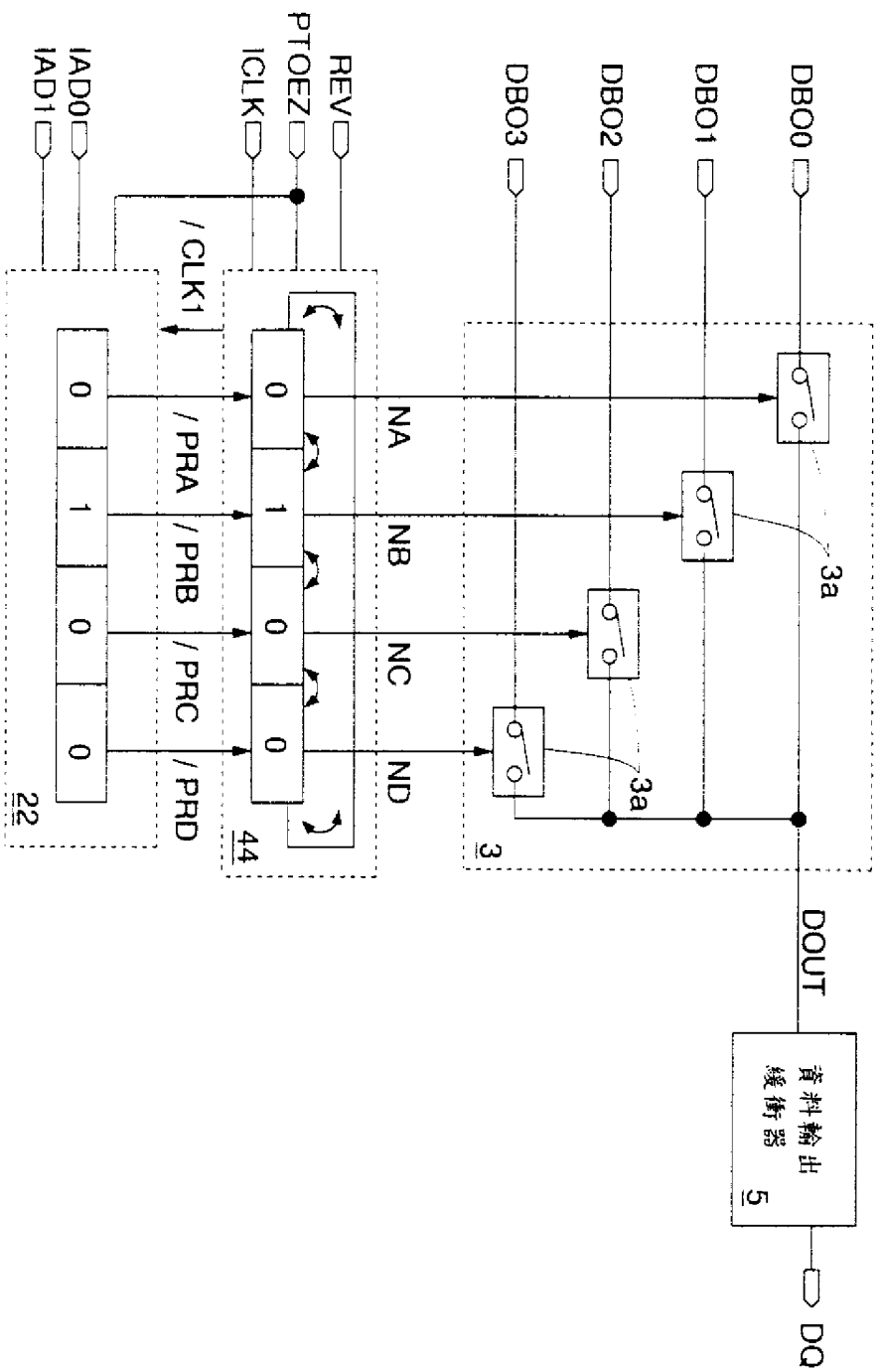
第 5 圖



第 6 圖



第 7 圖



第 8 圖