(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 23 日(23.12.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/194175 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 27/32* (2006.01)
G09F 9/30 (2006.01) *H01L 51/50* (2006.01)
H01L 21/363 (2006.01)

(21) 国際出願番号: PCT/JP2015/003041

(22) 国際出願日: 2015 年 6 月 17 日(17.06.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-127524 2014 年 6 月 20 日(20.06.2014) JP

(71) 出願人: 株式会社ＪＯＬＥＤ(JOLED INC.) [JP/JP]; 〒1010054 東京都千代田区神田錦町三丁目２３番地 Tokyo (JP).

(72) 発明者: 松本　光正(MATSUMOTO, Mitsutaka).

(74) 代理人: 吉川　修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

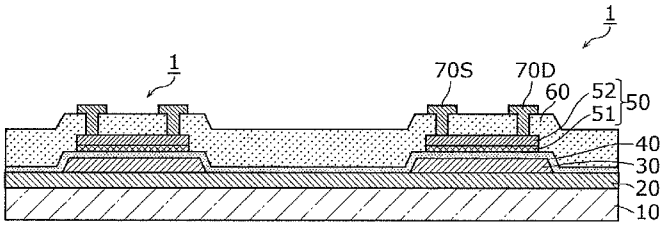
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THIN FILM TRANSISTOR, METHOD FOR MANUFACTURING THIN FILM TRANSISTOR, AND ORGANIC EL DISPLAY DEVICE

(54) 発明の名称 : 薄膜トランジスタ、薄膜トランジスタの製造方法及び有機ＥＬ表示装置

[図1]



(57) **Abstract**: A thin film transistor (1), provided with a gate electrode (30), a source electrode (70S) and a drain electrode (70D), an oxide semiconductor layer (50) used as a channel layer, and a gate insulation layer (40) arranged between the gate electrode (30) and the oxide semiconductor layer (50). Metal elements constituting the oxide semiconductor layer (50) include at least indium (In). Fluorine (F) is contained in a region inside the oxide semiconductor layer (50), the region being adjacent to the gate insulation layer (40).

(57) 要約: 薄膜トランジスタ（１）は、ゲート電極（３０）と、ソース電極（７０Ｓ）及びドレイン電極（７０Ｄ）と、チャネル層として用いられる酸化物半導体層（５０）と、ゲート電極（３０）と酸化物半導体層（５０）との間に配置されたゲート絶縁層（４０）とを備え、酸化物半導体層（５０）を構成する金属元素には少なくともインジウム（Ｉｎ）が含まれており、酸化物半導体層（５０）の内部領域であってゲート絶縁層（４０）と近接する領域にはフッ素（Ｆ）が含有されている。

WO 2015/194175 A1

明　細　書

発明の名称 ：

薄膜トランジスタ、薄膜トランジスタの製造方法及び有機ＥＬ表示装置

技術分野

[0001] 本発明は、薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）、薄膜トランジスタの製造方法及び有機ＥＬ表示装置に関し、より詳しくは、酸化物半導体層を活性層に有する酸化物半導体薄膜トランジスタ及びその製造方法、並びに、酸化物半導体薄膜トランジスタを備える有機ＥＬ表示装置に関する。

背景技術

[0002] ＴＦＴは、液晶表示装置又は有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓｃｅｎｓｅ）表示装置等のアクティブマトリクス方式の表示装置において、スイッチング素子又は駆動素子として用いられている。

[0003] 近年、次世代のＴＦＴとして、ＩｎＧａＺｎＯ$_X$（ＩＧＺＯ）等の酸化物半導体をチャネル層に用いた酸化物半導体ＴＦＴの開発が盛んに行われている。例えば、特許文献１には、チャネル層が酸化物半導体層である酸化物半導体ＴＦＴが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１０－１６１２２７号公報

特許文献2：特開２０１０－８０９４７号公報

非特許文献

[0005] 非特許文献1：Hideyuki Omura, Hideya Kumomi, Kenji Nomura, Toshio Kamiya, Masahiro Hirano and Hideo Hosono,「First-principles study of native point defects in crystalline indium gallium zinc oxide」, J. Appl. Phys. 105, pp.093712-093719, 2009

非特許文献2：Haruka Yamazaki, Mami Fujii, Yoshihiro Ueoka, Yasuaki Is

hikawa, Masaki Fujiwara, Eiji Takahashi, and Yukiharu Uraoka, 「High Realiable a-IGZO TFTs with SiNx Gate Insulator deposited bu SiF4/N2」, AM-FPD P-22(2012)

発明の概要

発明が解決しようとする課題

[0006] 酸化物半導体ＴＦＴの電気特性は、酸素や水素の影響を受けやすい（例えば非特許文献１参照）。このため、信頼性の高い酸化物半導体ＴＦＴを得ることが難しいという課題がある。

[0007] 本発明は、このような課題を解決するためになされたものであり、信頼性の高い薄膜トランジスタ及びその製造方法、並びに、有機ＥＬ表示装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る薄膜トランジスタは、ゲート電極と、ソース電極及びドレイン電極と、チャネル層として用いられる酸化物半導体層と、前記ゲート電極と前記酸化物半導体層との間に配置されたゲート絶縁層とを備え、前記酸化物半導体層を構成する金属元素には少なくともインジウムが含まれており、前記酸化物半導体層の内部領域であって前記ゲート絶縁層と近接する領域にはフッ素が含有されていることを特徴とする。

発明の効果

[0009] 酸素や水素の影響を受けにくくすることができるので、高信頼性及び高ロバスト性を有する薄膜トランジスタを実現できる。

図面の簡単な説明

[0010] [図1]図１は、実施の形態に係る薄膜トランジスタの構成を示す断面図である。

[図2A]図２Ａは、実施の形態に係る薄膜トランジスタの製造方法における基板準備工程の断面図である。

[図2B]図２Ｂは、実施の形態に係る薄膜トランジスタの製造方法におけるアンダーコート形成工程の断面図である。

[図2C]図２Ｃは、実施の形態に係る薄膜トランジスタの製造方法におけるゲート電極形成工程の断面図である。

[図2D]図２Ｄは、実施の形態に係る薄膜トランジスタの製造方法におけるゲート絶縁層形成工程の断面図である。

[図2E]図２Ｅは、実施の形態に係る薄膜トランジスタの製造方法における酸化物半導体層形成工程の断面図である。

[図2F]図２Ｆは、実施の形態に係る薄膜トランジスタの製造方法における保護層形成工程の断面図である。

[図2G]図２Ｇは、実施の形態に係る薄膜トランジスタの製造方法におけるソース電極及びドレイン電極形成工程の断面図である。

[図3]図３は、酸化物半導体層にフッ素を含有させた場合とフッ素を含有させなかった場合とにおけるシート抵抗値の測定結果を示す図である。

[図4]図４は、耐水素性に関する実験で用いた試料のデバイス構造の断面図である。

[図5]図５は、図４に示す構造の試料について、シリコン酸化層の膜厚を変化させたときのμ－ＰＣＤのピーク強度及び酸化物半導体層の抵抗値を示す図である。

[図6]図６は、μ－ＰＣＤのピーク強度と酸化物半導体層中へのフッ素導入の有無を比較した結果を示す図である。

[図7A]図７Ａは、酸化物半導体層にフッ素を含有させた場合とフッ素を含有させない場合とにおけるＩｎ３ｄ５のＸＰＳスペクトルを示す図である。

[図7B]図７Ｂは、酸化物半導体層にフッ素を含有させた場合とフッ素を含有させない場合とにおけるＺｎ２ｐ３のＸＰＳスペクトルを示す図である。

[図7C]図７Ｃは、酸化物半導体層にフッ素を含有させた場合とフッ素を含有させない場合とにおけるＧａ２ｐ３のＸＰＳスペクトルを示す図である。

[図8]図８は、酸化物半導体にフッ素を含有させた場合とフッ素を含有させな

い場合とにおけるＴＤＳ法によるＺｎの昇温脱離スペクトルを示す図である。

[図9]図９は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。

[図10]図１０は、図９に示す有機ＥＬ表示装置における画素回路の電気回路図である。

[図11]図１１は、変形例に係る薄膜トランジスタの構成を示す断面図である。

発明を実施するための形態

[0011] 本発明の一態様に係る薄膜トランジスタは、ゲート電極と、ソース電極及びドレイン電極と、チャネル層として用いられる酸化物半導体層と、前記ゲート電極と前記酸化物半導体層との間に配置されたゲート絶縁層とを備え、前記酸化物半導体層を構成する金属元素には少なくともインジウムが含まれており、前記酸化物半導体層の内部領域であって前記ゲート絶縁層と近接する領域にはフッ素が含有されたものである。

[0012] 本態様によれば、酸化物半導体層の内部領域であってゲート絶縁層と近接する領域にはフッ素が含有されている。

[0013] フッ素は、酸素よりも金属との結合エネルギーが高い。したがって、酸化物半導体層にフッ素を含有させることによって、酸化物半導体層の酸素欠損によるダングリングボンドや不安定なサイトをフッ素で容易に終端させることができる。つまり、酸化物半導体層にフッ素を含有させることによって、酸化物半導体層の酸素欠損を補完することができる。

[0014] また、酸化物半導体層にフッ素を含有させることによって、酸化物半導体層に混入する水素が酸化物半導体層に結合できなくなる。これにより、酸化物半導体層に水素が混入することをブロックできるので、酸化物半導体層において酸素と水素が結合してキャリアが放出することを抑制できる。つまり、酸化物半導体層にフッ素を含有させることによって、酸化物半導体層の耐水素性を向上させることができる。

[0015] また、酸化物半導体層にフッ素を含有させることによって、酸化物半導体層を構成する金属元素がフッ素と化学結合するので、酸化物半導体層の構造を安定化させることができる。

[0016] このように、本態様によれば、水素や酸素に起因するダメージを受けにくくすることができるとともに、酸化物半導体層の構造を安定化させることができる。これにより、高信頼性及び高ロバスト性を有する薄膜トランジスタを実現することができる。

[0017] また、本発明の一態様に係る薄膜トランジスタにおいて、前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも５ｎｍ以上であるとよい。

[0018] 本態様によれば、上記のフッ素含有効果を十分に発揮させることができる。

[0019] さらに、本発明の一態様に係る薄膜トランジスタにおいて、前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも２０ｎｍ以上であるとよい。

[0020] 酸化物半導体層の特性を安定化させる等を目的としてアニール処理を施す場合があるが、このアニール処理によって水素が拡散して、酸化物半導体層に水素が混入してくる場合がある。そこで、酸化物半導体層におけるフッ素含有領域の膜厚を２０ｎｍ以上とすることによって、アニール処理等によって水素が拡散する場合であっても、酸化物半導体層のフッ素含有領域によって、酸化物半導体層に水素が混入することをブロックできる。

[0021] また、本発明の一態様に係る薄膜トランジスタにおいて、前記酸化物半導体層のフッ素含有濃度は、少なくとも前記酸化物半導体層の水素含有濃度よりも高くするとよい。

[0022] 本態様によれば、上記のフッ素含有効果を効果的に発揮させることができる。

[0023] また、本発明の一態様に係る薄膜トランジスタにおいて、前記酸化物半導体層を構成する金属元素には、さらに、ガリウム及び亜鉛の少なくとも一方

又は両方が含まれているとよい。

[0024] 本態様によれば、大型量産設備とのターゲット整合性が高くなるので、製造コストを抑えることができる。

[0025] また、本発明の一態様に係る薄膜トランジスタにおいて、前記ゲート電極、前記ゲート絶縁層及び前記酸化物半導体層は、この順で基板上に積層されており、前記ソース電極及び前記ドレイン電極は、前記酸化物半導体層の上方に形成されているとよい。

[0026] 本態様によれば、液晶ディスプレイ用途等の非晶質アモルファスシリコンＴＦＴライン設備（既存設備）との整合性が高くなるので、製造コストを抑えることができる。

[0027] また、本発明の一態様に係る薄膜トランジスタにおいて、さらに、前記酸化物半導体層上に形成されたチャネル保護層を備えるとよい。

[0028] 本態様によれば、酸化物半導体層（チャネル層）のバックチャネル側のプロセスダメージを低減することができる。

[0029] また、本発明の一態様に係る薄膜トランジスタにおいて、前記酸化物半導体層、前記ゲート絶縁層及び前記ゲート電極は、この順で基板上に積層されており、前記ソース電極は、前記ゲート絶縁層に形成されたコンタクトホールを介して前記酸化物半導体層のソース領域に接続されており、前記ドレイン電極は、前記ゲート絶縁層に形成されたコンタクトホールを介して前記酸化物半導体層のドレイン領域に接続されているとよい。

[0030] 本態様によれば、寄生容量の低減を図ることができる。

[0031] また、本発明の一態様に係る薄膜トランジスタの製造方法は、ゲート電極を形成する工程と、ソース電極及びドレイン電極を形成する工程と、チャネル層として用いられる酸化物半導体層を形成する工程と、前記ゲート電極と前記酸化物半導体層との間に位置するようにゲート絶縁層を形成する工程とを含み、前記酸化物半導体層を構成する金属元素には少なくともインジウムが含まれており、前記酸化物半導体層を形成する工程では、フッ素を導入しながら前記酸化物半導体層を形成する。

[0032] 本態様によれば、水素や酸素に起因するダメージを受けにくく、かつ、構造が安定した酸化物半導体層を有する薄膜トランジスタを得ることができる。したがって、高信頼性及び高ロバスト性を有する薄膜トランジスタを得ることができる。

[0033] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層を形成する工程では、前記フッ素が前記酸化物半導体層の内部領域であって前記ゲート絶縁層と近接する領域に含有するように、前記酸化物半導体層を形成するとよい。

[0034] これにより、ゲート絶縁層側から酸化物半導体層に混入する水素を、酸化物半導体層におけるゲート絶縁層と近接する領域でブロックすることができる。

[0035] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層を形成する工程では、フッ素を含むターゲット材を用いたスパッタによって前記酸化物半導体層を形成するとよい。

[0036] 本態様によれば、スパッタリングによってフッ素が含有された酸化物半導体層を成膜することができる。

[0037] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層を形成する工程では、フッ素を含むガスを用いて前記酸化物半導体層を形成するとよい。

[0038] 本態様によれば、フッ素を含むガスを供給することによって、フッ素が含有された酸化物半導体層を成膜することができる。

[0039] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも５ｎｍ以上であるとよい。

[0040] 本態様によれば、上記のフッ素含有効果を十分に発揮できる薄膜トランジスタを得ることができる。

[0041] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも

２０ｎｍ以上であるとよい。

[0042] 本態様によれば、アニール処理等によって水素が拡散する場合であっても、酸化物半導体層のフッ素含有領域によって、酸化物半導体層に水素が混入することをブロックできる。また、フッ素含有領域を２０ｎｍ以上にすることによって、酸化物半導体層のプロセス制御が十分可能となる。

[0043] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層のフッ素含有濃度は、少なくとも前記酸化物半導体層の水素含有濃度よりも高くするとよい。

[0044] 本態様によれば、上記のフッ素含有効果を効果的に発揮させることができる薄膜トランジスタを得ることができる。

[0045] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記酸化物半導体層を構成する金属元素には、さらに、ガリウム及び亜鉛の少なくとも一方又は両方が含まれているとよい。

[0046] 本態様によれば、大型量産設備とのターゲット整合性が高くなるので、製造コストを抑えることができる。

[0047] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記ゲート電極を形成する工程と、前記ゲート絶縁層を形成する工程と、前記酸化物半導体層を形成する工程と、前記ソース電極及び前記ドレイン電極を形成する工程とは、この順で行われるとよい。

[0048] 本態様によれば、液晶ディスプレイ用途等の非晶質アモルファスシリコンＴＦＴライン設備（既存設備）との整合性が高くなるので、製造コストを抑えることができる。

[0049] また、本発明の一態様に係る薄膜トランジスタの製造方法において、さらに、前記酸化物半導体層上にチャネル保護層を形成する工程を含むとよい。

[0050] 本態様によれば、酸化物半導体層のバックチャネル側のプロセスダメージを低減することができるボトムゲート型の薄膜トランジスタを得ることができる。

[0051] また、本発明の一態様に係る薄膜トランジスタの製造方法において、前記

酸化物半導体層を形成する工程と、前記ゲート絶縁層を形成する工程と、前記ゲート電極を形成する工程と、前記ソース電極及び前記ドレイン電極を形成する工程とは、この順で行われるとよい。

[0052] 本態様によれば、寄生容量の低減を図ることができる薄膜トランジスタを得ることができる。

[0053] また、本発明の一態様に係る有機ＥＬ表示装置は、上記いずれかに記載の薄膜トランジスタを備える有機ＥＬ表示装置であって、マトリクス状に配置された複数の画素と、前記複数の画素の各々に対応して形成された有機ＥＬ素子とを備え、前記薄膜トランジスタは、前記有機ＥＬ素子を駆動する駆動トランジスタである。

[0054] 本態様によれば、有機ＥＬ素子を駆動する駆動トランジスタとして高信頼性及び高ロバスト性を有する薄膜トランジスタを用いているので、表示性能に優れた有機ＥＬ表示装置を実現できる。

[0055] （実施の形態）

以下、本発明の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程（ステップ）、工程の順序等は、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0056] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0057] ［薄膜トランジスタの構成］

まず、本発明の実施の形態に係る薄膜トランジスタ１について、図１を用いて説明する。図１は、本発明の実施の形態に係る薄膜トランジスタの構成を示す断面図である。なお、図１には２つの薄膜トランジスタ１が図示され

ており、２つの薄膜トランジスタ１は同じ構造である。

[0058] 図１に示すように、本実施の形態に係る薄膜トランジスタ１は、酸化物半導体層をチャネル層とするボトムゲート型の酸化物半導体ＴＦＴである。

[0059] 薄膜トランジスタ１は、基板１０と、アンダーコート層２０と、ゲート電極３０と、ゲート絶縁層４０と、酸化物半導体層５０と、保護層６０と、ソース電極７０Ｓ及びドレイン電極７０Ｄとを備える。

[0060] 以下、本実施の形態に係る薄膜トランジスタ１の各構成要素について詳述する。

[0061] 基板１０は、例えば、石英ガラス、無アルカリガラス又は高耐熱性ガラス等のガラス材料で構成されるガラス基板である。なお、基板１０は、ガラス基板に限らず、樹脂基板等であってもよい。また、基板１０は、リジッド基板ではなく、ポリミイドやポリエチレンテレフタレート、ポリエチレンナフタレート等のフィルム材料の単層又は積層で構成されるフレキシブル基板であってもよい。

[0062] アンダーコート層２０は、基板１０上に形成されている。アンダーコート層２０を形成することによって、基板１０（ガラス基板）中に含まれるナトリウム及びリン等の不純物又は大気中から透過される水分等が、ゲート電極３０、ゲート絶縁層４０及び酸化物半導体層５０に進入することを抑制できる。

[0063] アンダーコート層２０は、酸化物絶縁層又は窒化物絶縁層を用いた単層絶縁層又は積層絶縁層である。一例として、アンダーコート層２０としては、窒化シリコン（SiN_x）、酸化シリコン（SiO_y）、酸窒化シリコン（SiO_yN_x）又は酸化アルミニウム（AlO_x）等の単層膜、あるいは、これらの積層膜を用いることができる。アンダーコート層２０の膜厚は、１００ｎｍ～５００ｎｍに設定することが好ましい。なお、アンダーコート層２０は、必ずしも形成する必要はない。

[0064] ゲート電極３０は、基板１０の上方に位置し、アンダーコート層２０上に所定形状でパターン形成される。ゲート電極３０は、金属等の導電性材料又

はその合金等の単層構造又は多層構造の電極であり、例えば、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、タングステン（Ｗ）、チタン（Ｔｉ）、クロム（Ｃｒ）又はモリブデンタングステン（ＭｏＷ）等で構成することができる。ゲート電極３０の膜厚は、５０ｎｍ～３００ｎｍに設定することが好ましい。

[0065] ゲート絶縁層４０は、ゲート電極３０の上方に位置するように形成される。本実施の形態において、ゲート絶縁層４０は、ゲート電極３０を覆うようにアンダーコート層２０上に形成される。ゲート絶縁層４０は、ゲート電極３０と酸化物半導体層５０との間に配置される。

[0066] ゲート絶縁層４０は、酸化物絶縁層又は窒化物絶縁層を用いた単層絶縁層又は積層絶縁層である。ゲート絶縁層４０としては、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化タンタル又は酸化アルミニウム等の単層膜、あるいは、これらの積層膜等を用いることができる。本実施の形態において、ゲート絶縁層４０は、例えば、シリコン酸化膜とシリコン窒化膜との積層膜である。ゲート絶縁層４０の膜厚は、ＴＦＴの耐圧等を考慮して設計することができ、例えば、５０ｎｍ～５００ｎｍとすることが望ましい。

[0067] 酸化物半導体層５０は、チャネル層として用いられる。つまり、酸化物半導体層５０は、ゲート絶縁層４０を挟んでゲート電極３０と対向するチャネル領域を含む半導体層である。酸化物半導体層５０は、ゲート絶縁層４０上に所定形状で形成されている。

[0068] 酸化物半導体層５０の材料には、例えば、透明アモルファス酸化物半導体（ＴＡＯＳ：Ｔｒａｎｓｐａｒｅｎｔ Ａｍｏｒｐｈｏｕｓ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）が用いられる。酸化物半導体層５０を構成する金属元素には、少なくともインジウム（Ｉｎ）が含まれており、さらに、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）の少なくとも一方又は両方が含まれているとよい。

[0069] 本実施の形態における酸化物半導体層５０は、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を含む酸化物である$InGaZnO_x$（ＩＧＺ

Ｏ）によって構成されている。

[0070] また、酸化物半導体層５０はフッ素（Ｆ）を含有している。具体的には、酸化物半導体層５０の内部領域であってゲート絶縁層４０と近接する領域にフッ素が含有されている。つまり、酸化物半導体層５０のフロントチャネル側にはフッ素が含有されている。また、酸化物半導体層５０において、フッ素は化学的に結合した状態で混入されている。なお、酸化物半導体層５０の内部領域であってゲート絶縁層４０と近接する領域とは、少なくとも酸化物半導体層５０の厚みの半分よりもゲート絶縁層４０側の領域のことである。

[0071] 本実施の形態における酸化物半導体層５０は、フッ素が含有されている領域である第１領域（フッ素含有領域）５１と、フッ素が含有されていない領域である第２領域（フッ素含無領域）５２とからなる。第１領域５１は、酸化物半導体層５０におけるゲート絶縁層４０側の領域である。つまり、本実施の形態では、酸化物半導体層５０におけるゲート絶縁層４０側の領域のみにフッ素が含有されている。例えば、第１領域５１は、酸化物半導体層５０の膜厚中心を基準にしたときに酸化物半導体層５０の膜厚中心から下側の領域（下層）であり、第２領域５２は、酸化物半導体層５０の膜厚中心から上側の領域（上層）である。

[0072] なお、本実施の形態では、酸化物半導体層５０の一部の領域にフッ素を含有させているが、酸化物半導体層５０の全領域にフッ素を含有させてもよい。つまり、第２領域５２はなくても構わない。

[0073] 第１領域５１の膜厚は、少なくとも５ｎｍ以上であり、本実施の形態では、２０ｎｍ以上としている。また、酸化物半導体層５０の膜厚は２０ｎｍ以上であるとよい。

[0074] 第１領域５１の膜厚を５ｎｍ以上とすることによって、上記のフッ素含有効果を十分に発揮させることができる。

[0075] また、第１領域５１の膜厚を２０ｎｍ以上にすることによって、アニール処理等によって酸化物半導体層５０に水素が拡散する場合であっても、フッ素を含有する第１領域５１によって、拡散する水素をブロックすることがで

きる。本実施の形態では、第１領域５１がゲート絶縁層４０と近接しているので、ゲート絶縁層４０側から酸化物半導体層５０に進入する水素を、酸化物半導体層５０におけるゲート絶縁層４０と近接する領域（第１領域５１）でブロックすることができる。

[0076] また、第１領域５１の膜厚を少なくとも２０ｎｍ以上にすることによって、酸化物半導体層５０のプロセス制御が十分可能となる。すなわち、第１領域５１の膜厚を少なくとも２０ｎｍ以上にすることによって、酸化物半導体層５０の膜厚を少なくとも２０ｎｍ以上にすることができる。これにより、酸化物半導体層５０のスパッタ等による成膜とフォトリソグラフィ法及びエッチング法等によるパターニングとを容易に行うことができる。

[0077] また、酸化物半導体層５０のフッ素含有濃度は、少なくとも酸化物半導体層５０の水素含有濃度よりも高い。本実施の形態において、酸化物半導体層５０のフッ素含有濃度は、１×１０^{22}ａｔｍ／ｃｍ^{3}以上としている。

[0078] 保護層６０は、酸化物半導体層５０上に形成されている。保護層６０は、酸化物半導体層５０のチャネル領域を保護するチャネル領域保護層であり、エッチングストッパー層として機能する。これにより、ボトムゲート型ＴＦＴにおいて、酸化物半導体層５０のバックチャネル側のプロセスダメージを低減することができる。また、本実施の形態において、保護層６０は、基板１０上の全面に形成された層間絶縁層である。

[0079] 保護層６０は、有機物を主成分とする材料によって形成されていてもよいし、酸化シリコン、窒化シリコン、酸窒化シリコン又は酸化アルミニウム等のような無機物によって形成されていてもよい。本実施の形態において、保護層６０は、有機物を主成分とする材料によって構成されている。なお、保護層６０は、単層膜であってもよいし、積層膜であってもよい。

[0080] なお、シリコン酸化膜は、シリコン窒化膜と比べて水素含有量が少ない。したがって、保護層６０としてシリコン酸化膜を用いることによって、水素による酸化物半導体層５０の性能劣化を抑制できる。さらに、保護層６０として酸化アルミニウム膜を用いることによって、上層で発生する水素や酸素

を酸化アルミニウム膜によってブロックすることができる。これらのことから、保護層６０としては、例えば、シリコン酸化膜、酸化アルミニウム膜及びシリコン酸化膜の３層構造の積層膜を用いるとよい。

[0081] また、保護層６０には、当該保護層６０の一部を貫通するように開口部（コンタクトホール）が形成されている。この保護層６０の開口部を介して、酸化物半導体層５０とソース電極７０Ｓ及びドレイン電極７０Ｄとが接続されている。

[0082] ソース電極７０Ｓ及びドレイン電極７０Ｄは、保護層６０上に所定形状で形成されている。ソース電極７０Ｓは、保護層６０に形成された開口部を介して酸化物半導体層５０に接続されており、ドレイン電極７０Ｄは、保護層６０に形成された開口部を介して酸化物半導体層５０に接続されている。

[0083] ソース電極７０Ｓ及びドレイン電極７０Ｄは、導電性材料又はその合金等の単層構造又は多層構造の電極である。ソース電極７０Ｓ及びドレイン電極７０Ｄの材料としては、例えば、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、タングステン（W）、チタン（Ｔｉ）、クロム（Ｃｒ）、モリブデンタングステン合金（ＭｏW）又は銅マンガン合金（ＣｕＭｎ）等を用いることができる。ソース電極７０Ｓ及びドレイン電極７０Ｄの膜厚は、例えば５０ｎｍ～３００ｎｍに設定することが好ましい。

[0084] ［薄膜トランジスタの製造方法］

次に、本実施の形態に係る薄膜トランジスタ１の製造方法について、図２Ａ～図２Ｇを用いて説明する。図２Ａ～図２Ｇは、本発明の実施の形態に係る薄膜トランジスタの製造方法における各工程の断面図である。

[0085] まず、図２Ａに示すように、基板１０を準備する。基板１０として、例えばガラス基板を準備する。

[0086] 次に、図２Ｂに示すように、基板１０上にアンダーコート層２０を形成する。プラズマＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）等によって、基板１０上に、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜又は酸化アルミニウム膜等で構成されるアンダーコート層２０を

形成する。

[0087] 次に、図２Ｃに示すように、基板１０の上方にゲート電極３０を形成する。本実施の形態では、アンダーコート層２０上にモリブデンタングステン（ＭｏＷ）で構成される金属膜（ゲート金属膜）をスパッタによって成膜した後、フォトリソグラフィ法及びウェットエッチング法を用いて金属膜をパターニングすることにより、所定形状のゲート電極３０を形成した。ＭｏＷのウェットエッチングは、例えば、リン酸（HPO_4）、硝酸（HNO_3）、酢酸（CH_3COOH）及び水を所定の配合で混合した薬液を用いて行うことができる。

[0088] 次に、図２Ｄに示すように、ゲート電極３０の上方にゲート絶縁層４０を形成する。例えば、ゲート電極３０と酸化物半導体層５０との間に位置するようにゲート絶縁層４０を形成する。本実施の形態では、ゲート電極３０を被覆するようにプラズマＣＶＤ等によって、基板１０の上方全面にゲート絶縁層４０を形成する。ゲート絶縁層４０は、例えば、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜、タンタル酸化膜、酸化アルミニウム膜又はそれらの積層膜等である。一例として、プラズマＣＶＤ法によってシリコン窒化膜を成膜する場合、シランガス（SiH_4）、アンモニアガス（NH_3）及び窒素ガス（N_2）を導入ガスに用いて成膜する。

[0089] 次に、図２Ｅに示すように、少なくともゲート電極３０と対向するように、ゲート絶縁層４０の上方に所定形状の酸化物半導体層５０を形成する。本実施の形態では、フッ素を導入しながら酸化物半導体層５０を成膜することによって、第１領域（フッ素含有領域）５１と第２領域（フッ素含無領域）５２とからなる島状の酸化物半導体層５０をゲート絶縁層４０上に成膜している。

[0090] 酸化物半導体層５０の材料としては、$InGaZnO_x$の透明アモルファス酸化物半導体を用いている。この場合、スパッタ法やレーザー蒸着法等の気相成膜法によって$InGaZnO_x$からなる酸化物半導体層５０を成膜することができる。

[0091] 具体的には、Ｉｎ、Ｇａ及びＺｎを含むターゲット材（例えば$InGaO_3(ZnO)_4$組成を有する多結晶焼結体）を用いて、真空チャンバー内に不活性ガスとしてアルゴン（Ａｒ）ガスを流入するとともに反応性ガスとして酸素（O_2）を含むガスを流入し、所定のパワー密度の電圧をターゲット材に印加する。これにより、$InGaZnO_x$膜を成膜することができる。

[0092] このとき、フッ素を導入しながらスパッタを行うことによってフッ素が含有された第１酸化物半導体層（Ｉｎ－Ｇａ－Ｚｎ－Ｏ：Ｆ）を成膜することができる。酸化物半導体層へのフッ素の導入（供給）は、ターゲット中にフッ素を含ませたり、フッ素を含ませたプロセスガス（NF_3ガス等）を導入したりすることで行うことができる。具体的には、フッ素を含むターゲット材を用いたスパッタによって$InGaZnO_x$膜を成膜することによって、フッ素を含む第１酸化物半導体層を成膜することができる。あるいは、フッ素を含むガス（NF_3ガス等）を用いて$InGaZnO_x$膜を成膜することによって、フッ素を含む第１酸化物半導体層を成膜することができる。

[0093] その後、フッ素の導入（供給）をしないでスパッタ等を行うことによって、フッ素を含まない第２酸化物半導体層（Ｉｎ－Ｇａ－Ｚｎ－Ｏ）を成膜する。なお、本実施の形態において、第１酸化物半導体層と第２の酸化物半導体層とは、同一チャンバー内で連続成膜している。

[0094] その後、第１酸化物半導体層と第２酸化物半導体層との積層構造からなる酸化物半導体膜を、フォトリソグラフィ法及びウェットエッチング法を用いてパターニングすることにより、所定形状の酸化物半導体層５０を形成することができる。

[0095] 具体的には、まず、酸化物半導体膜上に所定形状のレジストを形成し、レジストが形成されていない領域の酸化物半導体膜をウェットエッチングによって除去することで、島状の酸化物半導体層５０を形成することができる。なお、酸化物半導体膜が$InGaZnO_x$である場合、エッチング液としては、例えば、リン酸（H_3PO_4）、硝酸（HNO_3）、酢酸（CH_3COOH）及び水を混合した薬液を用いればよい。

[0096] 次に、図２Ｆに示すように、酸化物半導体層５０を覆うようゲート絶縁層４０上に保護層６０を形成する。保護層６０としては、有機物を主成分したものでもシリコン酸化膜のような無機物でも構わない。

[0097] その後、酸化物半導体層５０の一部を露出させるように、保護層６０に開口部（コンタクトホール）を形成する。具体的には、フォトリソグラフィ法及びエッチング法によって保護層６０の一部をエッチング除去することによって、酸化物半導体層５０におけるソース電極７０Ｓ及びドレイン電極７０Ｄとの接続部分上に開口部を形成する。例えば、保護層６０がシリコン酸化膜である場合、反応性イオンエッチング（ＲＩＥ）法によるドライエッチング法によってシリコン酸化膜に開口部を形成することができる。この場合、エッチングガスとしては、例えば、四フッ化炭素（CF_4）及び酸素ガス（O_2）を用いることができる。

[0098] 次に、図２Ｇに示すように、保護層６０に形成した開口部を介して酸化物半導体層５０に接続するソース電極７０Ｓ及びドレイン電極７０Ｄを形成する。本実施の形態では、保護層６０に形成した開口部を埋めるようにして保護層６０上に金属膜（ソースドレイン金属膜）をスパッタによって成膜した後に、フォトリソグラフィ法及びウェットエッチング法を用いて金属膜をパターニングすることにより、所定形状のソース電極７０Ｓ及びドレイン電極７０Ｄを形成している。

[0099] なお、その後、図示しないが、例えば３００℃の熱処理（アニール処理）を行う。この熱処理によって、酸化物半導体層５０の酸素欠損を修復することができ、酸化物半導体層５０の特性を安定化させることができる。

[0100] ［薄膜トランジスタの作用効果］

次に、本実施の形態に係る薄膜トランジスタ１の作用効果について、本発明に至った経緯も含めて説明する。

[0101] 酸化物半導体層を有する酸化物半導体ＴＦＴの電気特性は、酸素や水素に対して影響を受けやすい。このため、酸化物半導体ＴＦＴは、安定性及び信頼性において課題を有している。

[0102] 特許文献２や非特許文献２に開示されるように、これまでは、絶縁層と酸化物半導体層との界面を改善することによって安定性及び信頼性を向上できるといった報告がなされている。

[0103] 例えば、非特許文献２には、フッ素を混入させたゲート絶縁層を用いて酸化物半導体層（ＩＧＺＯ）との界面を改善することによって酸化物半導体層を構成するＩｎのダングリングボンドサイトにフッ素補完を生じさせ、これにより信頼性の向上に繋がることが報告されている。

[0104] さらに、非特許文献２によれば、その酸化物半導体層（ＩＧＺＯ）を二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）で測定した結果、ＩＧＺＯのバルク中にフッ素の混入が観測できなかったことも報告されている。

[0105] 本願発明者も実際にフッ素を混入させた絶縁層を用いて熱等によって酸化物半導体層（ＩＧＺＯ）中にフッ素が拡散するか否かについての検証を行ったところ、昇温脱離法でのフッ素の脱離は５００℃以上にならないと確認できなかった。このことは、フッ素が酸化物半導体層の膜中で安定な構造を示しており、非特許文献２で示されるように、フッ素を混入させたゲート絶縁層は、絶縁層と酸化物半導体層との界面での改善効果に終始するものと考えられる。

[0106] しかしながら、酸化物半導体ＴＦＴは、絶縁層と酸化物半導体層との界面だけではなく、製造プロセス中での水素等に起因するプロセスダメージによっても特性のばらつきや信頼性の低下が生じる。したがって、絶縁層と酸化物半導体層との界面を改善させるだけでは十分でない。

[0107] 本発明は、このような知見に基づいてなされたものであり、本願発明者は、上述のように酸化物半導体層５０の内部にフッ素を含有させることによって信頼性の高い薄膜トランジスタが得られるという着想を得た。

[0108] そして、本願発明者は、酸化物半導体層にフッ素を含有させることによって信頼性の高い薄膜トランジスタが得られることを検証するために、種々の実験を行った。以下、その実験とその分析について説明する。なお、以下の

実験では、酸化物半導体層５０として、金属元素の主成分が、Ｉｎ、Ｇａ、ＺｎであるＩｎＧａＺｎＯ$_x$膜を用いた。

[0109] まず、酸化物半導体層５０にフッ素を含有させることで酸素欠損を補完できる点について、図３を用いて説明する。図３は、４端子測定法を利用して、酸化物半導体層にフッ素を含有させた場合とフッ素を含有させなかった場合とについて、真空加熱（３００℃）でのシート抵抗値を測定した結果を示している。

[0110] 酸化物半導体層５０は、酸素欠損（酸素の離脱）によってキャリアが発生し、抵抗値が低下する。図３に示すように、酸化物半導体層５０にフッ素を含有させなかった場合（Ｆ含無ＩＧＺＯ）のシート抵抗値は、１×１０^{5}Ω／□程度と低い。

[0111] 一方、酸化物半導体層５０にフッ素を含有させた場合（Ｆ含有ＩＧＺＯ）のシート抵抗値は、測定限界（＞１×１０^{10}Ω／□）であり、フッ素を含有させない場合と比べて抵抗値が上昇している。

[0112] これは、フッ素は酸素よりも金属との結合エネルギーが高いことから、酸化物半導体層５０にフッ素を含有させることによって、酸化物半導体層５０の酸素欠損によるダングリングボンドや不安定なサイトをフッ素で終端させることができるからである。

[0113] この結果から、酸化物半導体層５０にフッ素を含有させることによって、キャリアが発生しにくい構造、つまり、酸素欠損を補完して酸素欠損に対して鈍感な構造が得られることが分かる。

[0114] 次に、酸化物半導体層５０にフッ素を含有させることによって耐水素性を向上できる点について、図４～図６を用いて説明する。

[0115] 図４は、この実験で用いた試料のデバイス構造を示す断面図である。図４に示すように、本実験では、ガラス基板上に、酸化物半導体層（ＩＧＺＯ）、シリコン酸化層（ＳｉＯ）及び水素を含むシリコン窒化層（ＳｉＮ：Ｈ）が積層された３層構造の試料を用いた。

[0116] 図５は、図４に示す構造の試料について、シリコン酸化層の膜厚を変化さ

せたときのμ－ＰＣＤのピーク強度及び酸化物半導体層の抵抗値を示す図である。なお、シリコン酸化層の膜厚は、１０ｎｍ、１２０ｎｍ、２４０ｎｍに変化させている。また、酸化物半導体層の抵抗値は、非接触抵抗測定装置によって測定した。

[0117] 図５に示すように、酸化物半導体層（ＩＧＺＯ）の抵抗値とμ－ＰＣＤのピーク強度とは、正の相関を有していることが分かる。つまり、酸化物半導体層（ＩＧＺＯ）の抵抗値とμ－ＰＣＤのピーク強度とは、フッ素導入の有無による水素起因のダメージを判断する一つの目安になることが分かる。

[0118] 図６は、μ－ＰＣＤのピーク強度と酸化物半導体層中へのフッ素導入の有無を比較した結果を示している。

[0119] 図６に示すように、酸化物半導体層にフッ素を含有させないと、酸化物半導体層におけるμ－ＰＣＤの強度値（ＳｉＮ：Ｈ成膜前のピーク強度値とＳｉＮ：Ｈ成膜後のピーク強度値との比）が低下することが分かる。つまり、抵抗値が低い場合にフッ素を導入しても抵抗値がほとんど変化しない、つまり、抵抗値が下がらないことが分かる。

[0120] 一般的に、水素が酸化物半導体層中に混入すると、混入した水素が酸化物半導体層中の酸素と結合してキャリアが放出される。

[0121] そこで、酸化物半導体層にフッ素を含有させてフッ素と酸化物半導体層とを結合させることによって、水素が酸化物半導体層中に混入したとしても、混入した水素が酸化物半導体層に結合しなくなる。これは、フッ素の結合手は一つであることから、水素が入り込んできても結合手が存在しておらず不活性な状態になっているからであると推測している。このように、酸化物半導体層にフッ素を含有させることによって酸化物半導体層におけるキャリアの放出を抑制できる。つまり、酸化物半導体層にフッ素を含有させることによって、耐水素性を向上させることができる。

[0122] 次に、酸化物半導体層５０にフッ素を含有させることによって構造が安定化する点について、図７Ａ～図７Ｃ及び図８を用いて説明する。

[0123] 図７Ａ～図７Ｃは、それぞれ、酸化物半導体層（ＩＧＺＯ）にフッ素を含

有させた場合（Ｆ含有ＩＧＺＯ）とフッ素を含有させない場合（Ｆ含無ＩＧＺＯ）とにおける、Ｉｎ３ｄ５、Ｚｎ１ｐ３、Ｇａ２ｐ３のＸＰＳスペクトルを示している。

[0124] 図７Ａに示すように、フッ素を含有させることによって、Ｉｎ３ｄ５のＸＰＳスペクトルのピーク位置が０．５ｅＶ以上高バインディングエネルギー側にシフトしていることが分かる。つまり、Ｆ含有ＩＧＺＯにおけるＸＰＳで測定したＩｎ３ｄ５のピーク位置は、Ｆ含無ＩＧＺＯのＩｎ３ｄ５のピーク位置と比較して結合エネルギーが少なくとも０．５ｅＶ以上高エネルギー側にシフトしている。

[0125] また、図７Ｂに示すように、フッ素を含有させることによって、Ｚｎ２ｐ３のＸＰＳスペクトルのピーク位置が０．４ｅＶ以上高バインディングエネルギー側にシフトしていることが分かる。つまり、Ｆ含有ＩＧＺＯにおけるＸＰＳで測定したＺｎ２ｐ３のピーク位置は、Ｆ含無ＩＧＺＯのＺｎ２ｐ３のピーク位置と比較して結合エネルギーが少なくとも０．４ｅＶ以上高エネルギー側にシフトしている。

[0126] また、図７Ｃに示すように、フッ素を含有させることによって、Ｇａ２ｐ３のＸＰＳスペクトルのピーク位置が０．５ｅＶ以上高バインディングエネルギー側にシフトしていることが分かる。つまり、Ｆ含有ＩＧＺＯにおけるＸＰＳで測定したＧａ２ｐ３のピーク位置は、Ｆ含無ＩＧＺＯのＧａ２ｐ３のピーク位置と比較して結合エネルギーが少なくとも０．５ｅＶ以上高エネルギー側にシフトしている。

[0127] 図７Ａ～図７Ｃに示す結果から、酸化物半導体層５０にフッ素を含有させることによって、フッ素が単に酸化物半導体層５０内に物理的に混入しているのではなく、酸化物半導体層を構成する元素と化学的に結合した状態で混入していることが分かる。この結果、酸化物半導体層５０を構成する金属元素が抜け出しにくくなる。

[0128] このように、酸化物半導体層５０にフッ素を含有させることによって、酸化物半導体層５０を構成する金属元素がフッ素と化学結合するので、酸化物

半導体層５０の構造を安定な方向に変化させることができる。これにより、信頼性の高い薄膜トランジスタを得ることができる。

[0129] また、図８は、酸化物半導体層５０（ＩＧＺＯ）にフッ素を含有させた場合（Ｆ含有ＩＧＺＯ）とフッ素を含有させない場合（Ｆ含無ＩＧＺＯ）とにおける、ＴＤＳ（Ｔｈｅｒｍａｌ Ｄｅｓｏｒｐｔｉｏｎ Ｓｐｅｃｔｒｏｍｅｔｒｙ）法によるＺｎの昇温脱離スペクトルを示している。なお、図８において、フッ素を含有させた場合の酸化物半導体層５０のフッ素含有濃度は、1×10^{22}ａｔｍ／ｃｍ^{3}以上であった。また、図８において、横軸は、Ｚｎが昇温脱離する温度（℃）を示しており、縦軸は、昇温脱離するＺｎの量（任意単位）を示している。

[0130] 図８に示すように、フッ素を含有させた場合の酸化物半導体層５０（Ｆ含有ＩＧＺＯ）のＺｎの昇温脱離は、フッ素を含有させない場合の酸化物半導体層５０（Ｆ含無ＩＧＺＯ）のＺｎの昇温脱離に比べて、５０℃以上高温から脱離することが分かる。つまり、フッ素含有濃度が少なくとも1×10^{22}ａｔｍ／ｃｍ^{3}以上となるように酸化物半導体層５０にフッ素を含有させることによって、Ｚｎが昇温脱離する温度（昇温脱離温度）が５０℃上昇することが分かる。

[0131] これは、Ｚｎ－Ｏの結合から酸素が脱離し、Ｚｎが不安定となってＺｎの脱離が生じるからである。昇温脱離温度については、酸化物半導体層の物性指標として用いることができ、昇温脱離温度の上昇は、構造が安定化していることを示している。

[0132] このように、Ｚｎの昇温脱離温度の観点からも、酸化物半導体層５０にフッ素を含有させることによって、酸化物半導体層５０を構成する金属元素がフッ素と化学結合するので、酸化物半導体層５０の構造を安定化させることができる。

[0133] 以上、本実施の形態に係る薄膜トランジスタ１によれば、酸化物半導体層５０にはフッ素が含有されている。本実施の形態では、特に、酸化物半導体層５０の内部領域であってゲート絶縁層４０と近接する領域にフッ素が含有

されている。

[0134] これにより、上述のように、酸化物半導体層５０の酸素欠損を補完することができるとともに、酸化物半導体層５０の耐水素性を向上させることができ、さらには、酸化物半導体層５０の構造を安定化させることができる。したがって、高信頼性及び高ロバスト性を有する薄膜トランジスタ１を実現できる。

[0135] ［表示装置］

次に、上記の実施の形態に係る薄膜トランジスタ１を表示装置に適用した例について、図９及び図１０を用いて説明する。なお、本実施の形態では、有機ＥＬ表示装置への適用例について説明する。

[0136] 図９は、本発明の実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。また、図１０は、図９に示す有機ＥＬ表示装置における画素回路の電気回路図である。なお、画素回路は、図１０に示す構成に限定されるものではない。

[0137] 上述の薄膜トランジスタ１は、有機ＥＬ表示装置におけるアクティブマトリクス基板のスイッチングトランジスタＳｗＴｒ及び駆動トランジスタＤｒＴｒとして用いることができる。

[0138] 図９に示すように、有機ＥＬ表示装置１００は、複数個の薄膜トランジスタが配置されたＴＦＴ基板（ＴＦＴアレイ基板）１１０と、下部電極（反射電極）である陽極１３１、ＥＬ層（発光層）１３２及び上部電極（透明電極）である陰極１３３からなる有機ＥＬ素子（発光部）１３０との積層構造により構成される。

[0139] 本実施の形態におけるＴＦＴ基板１１０には、上記の薄膜トランジスタ１が用いられている。ＴＦＴ基板１１０には複数の画素１２０がマトリクス状に配置されており、各画素１２０には画素回路が設けられている。

[0140] 有機ＥＬ素子１３０は、複数の画素１２０の各々に対応して形成されており、各画素１２０に設けられた画素回路によって各有機ＥＬ素子１３０の発光の制御が行われる。有機ＥＬ素子１３０は、複数の薄膜トランジスタを覆

うように形成された層間絶縁層（平坦化膜）の上に形成される。

[0141] また、有機ＥＬ素子１３０は、陽極１３１と陰極１３３との間にＥＬ層１３２が配置された構成となっている。陽極１３１とＥＬ層１３２との間にはさらに正孔輸送層が積層形成され、ＥＬ層１３２と陰極１３３との間にはさらに電子輸送層が積層形成されている。なお、陽極１３１と陰極１３３との間には、その他の機能層が設けられていてもよい。ＥＬ層１３２をはじめ陽極１３１と陰極１３３との間に形成される機能層は、有機材料によって構成された有機層である。

[0142] 各画素１２０は、それぞれの画素回路によって駆動制御される。また、ＴＦＴ基板１１０には、画素１２０の行方向に沿って配置される複数のゲート配線（走査線）１４０と、ゲート配線１４０と交差するように画素１２０の列方向に沿って配置される複数のソース配線（信号配線）１５０と、ソース配線１５０と平行に配置される複数の電源配線（図９では省略）とが形成されている。各画素１２０は、例えば直交するゲート配線１４０とソース配線１５０とによって区画されている。

[0143] ゲート配線１４０は、各画素回路に含まれるスイッチングトランジスタのゲート電極と行毎に接続されている。ソース配線１５０は、スイッチングトランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路に含まれる駆動トランジスタのドレイン電極と列毎に接続されている。

[0144] 図１０に示すように、画素回路は、スイッチングトランジスタＳｗＴｒと、駆動トランジスタＤｒＴｒと、対応する画素１２０に表示するためのデータを記憶するキャパシタＣとで構成される。本実施の形態において、スイッチングトランジスタＳｗＴｒは、画素１２０を選択するためのＴＦＴであり、駆動トランジスタＤｒＴｒは、有機ＥＬ素子１３０を駆動するためのＴＦＴである。

[0145] スイッチングトランジスタＳｗＴｒは、ゲート配線１４０に接続されるゲート電極Ｇ１と、ソース配線１５０に接続されるソース電極Ｓ１と、キャパシタＣ及び第２薄膜トランジスタＤｒＴｒのゲート電極Ｇ２に接続されるド

レイン電極Ｄ１と、酸化物半導体層（図示せず）とを備える。スイッチングトランジスタＳｗＴｒは、接続されたゲート配線１４０及びソース配線１５０に所定の電圧が印加されると、当該ソース配線１５０に印加された電圧がデータ電圧としてキャパシタＣに保存される。

[0146] 駆動トランジスタＤｒＴｒは、スイッチングトランジスタＳｗＴｒのドレイン電極Ｄ１及びキャパシタＣに接続されるゲート電極Ｇ２と、電源配線１６０及びキャパシタＣに接続されるドレイン電極Ｄ２と、有機ＥＬ素子１３０の陽極１３１に接続されるソース電極Ｓ２と、酸化物半導体層（図示せず）とを備える。駆動トランジスタＤｒＴｒは、キャパシタＣが保持しているデータ電圧に対応する電流を電源配線１６０からソース電極Ｓ２を通じて有機ＥＬ素子１３０の陽極１３１に供給する。これにより、有機ＥＬ素子１３０では、陽極１３１から陰極１３３へと駆動電流が流れてＥＬ層１３２が発光する。

[0147] なお、上記構成の有機ＥＬ表示装置１００では、ゲート配線１４０とソース配線１５０との交差点に位置する画素１２０毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素１２０におけるスイッチングトランジスタＳｗＴｒ及び駆動トランジスタＤｒＴｒによって、対応する有機ＥＬ素子１３０が選択的に発光し、所望の画像が表示される。

[0148] 以上、本実施の形態における有機ＥＬ表示装置１００では、スイッチングトランジスタＳｗＴｒ及び駆動トランジスタＤｒＴｒとして高信頼性及び高ロバスト性を有する薄膜トランジスタ１を用いているので、信頼性に優れた有機ＥＬ表示装置を実現できる。特に、薄膜トランジスタ１を、有機ＥＬ素子１３０を駆動する駆動トランジスタＤｒＴｒとして用いているので、表示性能に優れた有機ＥＬ表示装置を実現できる。

[0149] （その他変形例等）

以上、薄膜トランジスタ及びその製造方法について、実施の形態に基づいて説明したが、本発明は、上記実施の形態に限定されるものではない。

[0150] 例えば、上記実施の形態では、酸化物半導体層に用いる酸化物半導体とし

て、ＩｎＧａＺｎＯ$_x$（ＩＧＺＯ）のアモルファス酸化物半導体を用いたが、これに限らず、ＩｎＧａＯ等の多結晶酸化物半導体等のＩｎを含む酸化物半導体を用いることができる。

[0151] また、上記実施の形態では、ゲート電極３０、ゲート絶縁層４０及び酸化物半導体層５０が下から上にこの順で基板１０上に積層されたボトムゲート型の薄膜トランジスタについて説明したが、これに限らない。

[0152] 例えば、図１１に示すように、酸化物半導体層５０、ゲート絶縁層４０及びゲート電極３０が下から上にこの順で基板１０上に積層されたトップゲート型の薄膜トランジスタであってもよい。この場合、ソース電極７０Ｓは、ゲート絶縁層４０に形成されたコンタクトホールを介して酸化物半導体層５０のソース領域（低抵抗化領域）５０Ｓに接続される。また、ドレイン電極７０Ｄは、ゲート絶縁層４０に形成されたコンタクトホールを介して酸化物半導体層５０のドレイン領域（低抵抗化領域）５０Ｄに接続される。

[0153] このように、トップゲート型の薄膜トランジスタにすることによって、寄生容量の低減を図ることができる。

[0154] また、上記実施の形態では、薄膜トランジスタを用いた表示装置として有機ＥＬ表示装置について説明したが、これに限らない。例えば、上記実施の形態における薄膜トランジスタは、液晶表示装置等の他の表示装置にも適用することもできる。

[0155] この場合、有機ＥＬ表示装置（有機ＥＬパネル）は、フラットパネルディスプレイとして利用することができる。例えば、有機ＥＬ表示装置は、テレビジョンセット、パーソナルコンピュータ又は携帯電話等、あらゆる電子機器の表示パネルとして利用することができる。

[0156] その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本発明の趣旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本発明に含まれる。

産業上の利用可能性

[0157] 本発明に係る薄膜トランジスタは、有機ＥＬ表示装置等の表示装置（表示パネル）、表示装置を用いた、テレビジョンセット、パーソナルコンピュータ及び携帯電話等、薄膜トランジスタを有する様々な電気機器に広く利用することができる。

符号の説明

[0158] １　薄膜トランジスタ

１０　基板

２０　アンダーコート層

３０、Ｇ１、Ｇ２　ゲート電極

４０　ゲート絶縁層

５０　酸化物半導体層

５１　第１領域

５２　第２領域

５０Ｓ、Ｓ１、Ｓ２　ソース領域

５０Ｄ、Ｄ１、Ｄ２　ドレイン領域

６０　保護層

７０Ｓ　ソース電極

７０Ｄ　ドレイン電極

１００　有機ＥＬ表示装置

１１０　ＴＦＴ基板

１２０　画素

１３０　有機ＥＬ素子

１３１　陽極

１３２　ＥＬ層

１３３　陰極

１４０　ゲート配線

１５０　ソース配線

１６０　電源配線

ＳｗＴｒ　スイッチングトランジスタ

ＤｒＴｒ　駆動トランジスタ

Ｃ　キャパシタ

請求の範囲

[請求項1] ゲート電極と、

ソース電極及びドレイン電極と、

チャネル層として用いられる酸化物半導体層と、

前記ゲート電極と前記酸化物半導体層との間に配置されたゲート絶縁層とを備え、

前記酸化物半導体層を構成する金属元素には少なくともインジウムが含まれており、

前記酸化物半導体層の内部領域であって前記ゲート絶縁層と近接する領域にはフッ素が含有されている

薄膜トランジスタ。

[請求項2] 前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも５ｎｍ以上である

請求項１に記載の薄膜トランジスタ。

[請求項3] 前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも２０ｎｍ以上である

請求項１に記載の薄膜トランジスタ。

[請求項4] 前記酸化物半導体層のフッ素含有濃度は、少なくとも前記酸化物半導体層の水素含有濃度よりも高い

請求項１～３のいずれか１項に記載の薄膜トランジスタ。

[請求項5] 前記酸化物半導体層を構成する金属元素には、さらに、ガリウム及び亜鉛の少なくとも一方又は両方が含まれている

請求項１～４のいずれか１項に記載の薄膜トランジスタ。

[請求項6] 前記ゲート電極、前記ゲート絶縁層及び前記酸化物半導体層は、この順で基板上に積層されており、

前記ソース電極及び前記ドレイン電極は、前記酸化物半導体層の上方に形成されている

請求項１～５のいずれか１項に記載の薄膜トランジスタ。

[請求項7] さらに、前記酸化物半導体層上に形成されたチャネル保護層を備える

請求項６に記載の薄膜トランジスタ。

[請求項8] 前記酸化物半導体層、前記ゲート絶縁層及び前記ゲート電極は、この順で基板上に積層されており、

前記ソース電極は、前記ゲート絶縁層に形成されたコンタクトホールを介して前記酸化物半導体層のソース領域に接続されており、

前記ドレイン電極は、前記ゲート絶縁層に形成されたコンタクトホールを介して前記酸化物半導体層のドレイン領域に接続されている

請求項１～５のいずれか１項に記載の薄膜トランジスタ。

[請求項9] ゲート電極を形成する工程と、

ソース電極及びドレイン電極を形成する工程と、

チャネル層として用いられる酸化物半導体層を形成する工程と、

前記ゲート電極と前記酸化物半導体層との間に位置するようにゲート絶縁層を形成する工程とを含み、

前記酸化物半導体層を構成する金属元素には少なくともインジウムが含まれており、

前記酸化物半導体層を形成する工程では、フッ素を導入しながら前記酸化物半導体層を形成する

薄膜トランジスタの製造方法。

[請求項10] 前記酸化物半導体層を形成する工程では、前記フッ素が前記酸化物半導体層の内部領域であって前記ゲート絶縁層と近接する領域に含有するように、前記酸化物半導体層を形成する

請求項９に記載の薄膜トランジスタの製造方法。

[請求項11] 前記酸化物半導体層を形成する工程では、フッ素を含むターゲット材を用いたスパッタによって前記酸化物半導体層を形成する

請求項９又は１０に記載の薄膜トランジスタの製造方法。

[請求項12] 前記酸化物半導体層を形成する工程では、フッ素を含むガスを用い

て前記酸化物半導体層を形成する

請求項９又は１０に記載の薄膜トランジスタの製造方法。

[請求項13] 前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも５ｎｍ以上である

請求項９～１２のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項14] 前記酸化物半導体層におけるフッ素が含有されている領域の膜厚は、少なくとも２０ｎｍ以上である

請求項９～１２のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項15] 前記酸化物半導体層のフッ素含有濃度は、少なくとも前記酸化物半導体層の水素含有濃度よりも高い

請求項１０～１４のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項16] 前記酸化物半導体層を構成する金属元素には、さらに、ガリウム及び亜鉛の少なくとも一方又は両方が含まれている

請求項１０～１５のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項17] 前記ゲート電極を形成する工程と、前記ゲート絶縁層を形成する工程と、前記酸化物半導体層を形成する工程と、前記ソース電極及び前記ドレイン電極を形成する工程とは、この順で行われる

請求項９～１６のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項18] さらに、前記酸化物半導体層上にチャネル保護層を形成する工程を含む

請求項１６に記載の薄膜トランジスタの製造方法。

[請求項19] 前記酸化物半導体層を形成する工程と、前記ゲート絶縁層を形成する工程と、前記ゲート電極を形成する工程と、前記ソース電極及び前

記ドレイン電極を形成する工程とは、この順で行われる

請求項９～１６のいずれか１項に記載の薄膜トランジスタの製造方法。

[請求項20] 請求項１～８のいずれか１項に記載の薄膜トランジスタを備える有機ＥＬ表示装置であって、

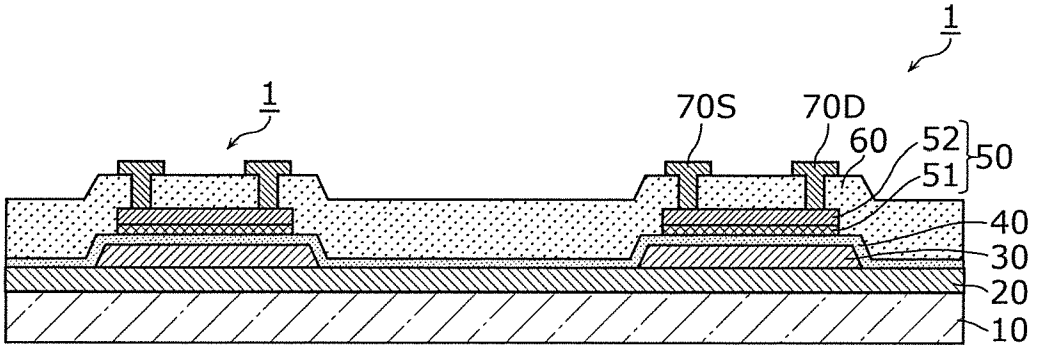
マトリクス状に配置された複数の画素と、

前記複数の画素の各々に対応して形成された有機ＥＬ素子とを備え、

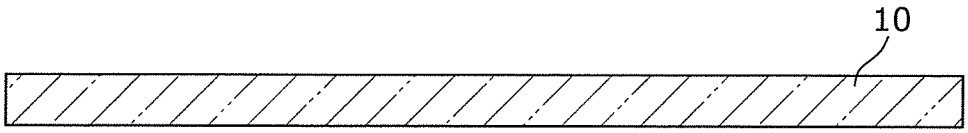
前記薄膜トランジスタは、前記有機ＥＬ素子を駆動する駆動トランジスタである

有機ＥＬ表示装置。

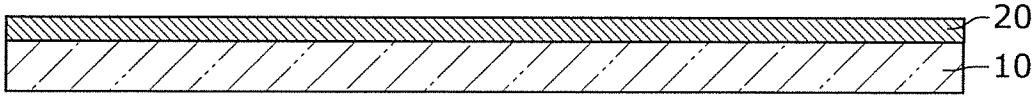
[図1]



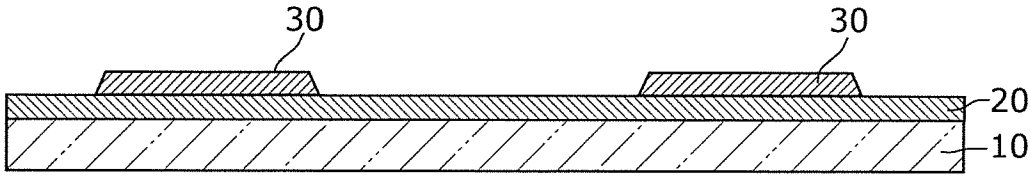
[図2A]



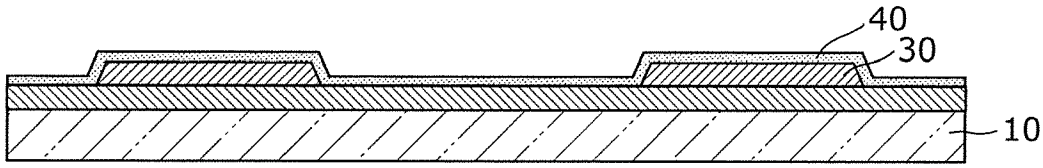
[図2B]



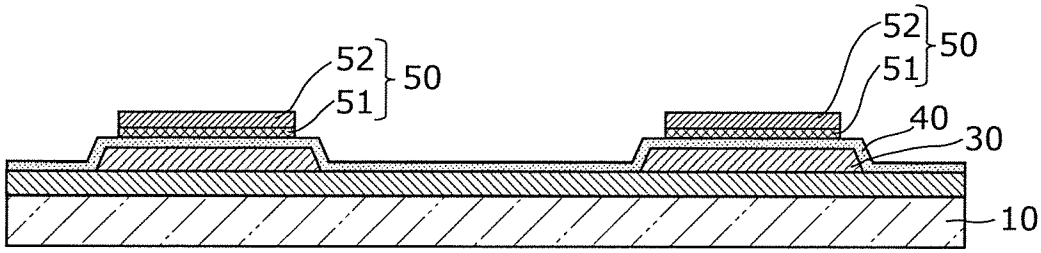
[図2C]



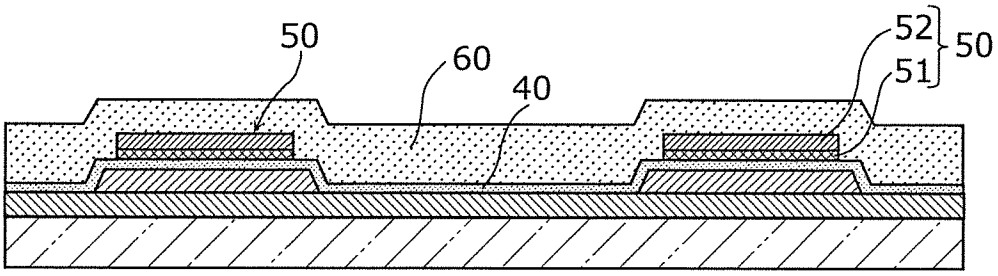
[図2D]



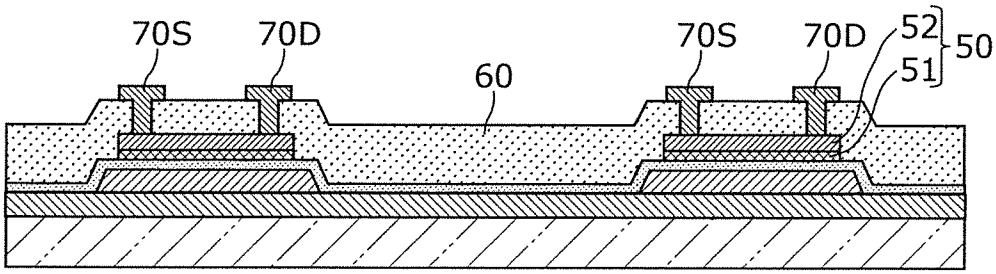
[図2E]



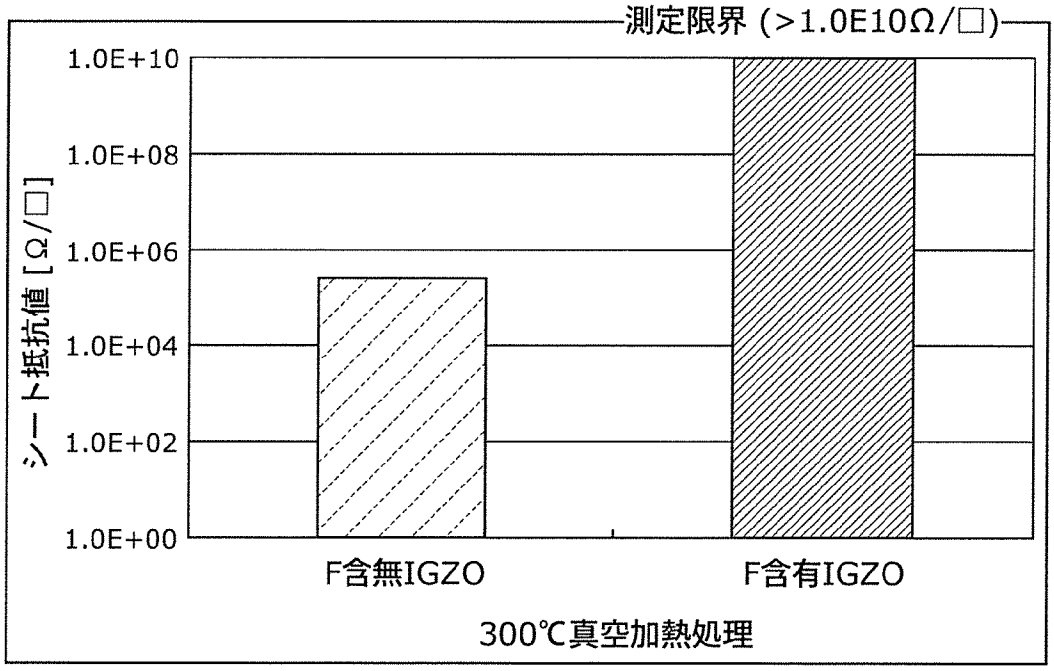
[図2F]


50
60
40
52
51
50

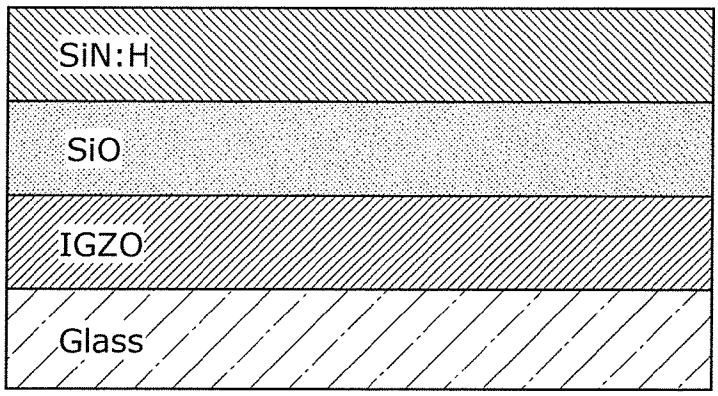
[図2G]


70S
70D
60
70S
70D
52
51
50

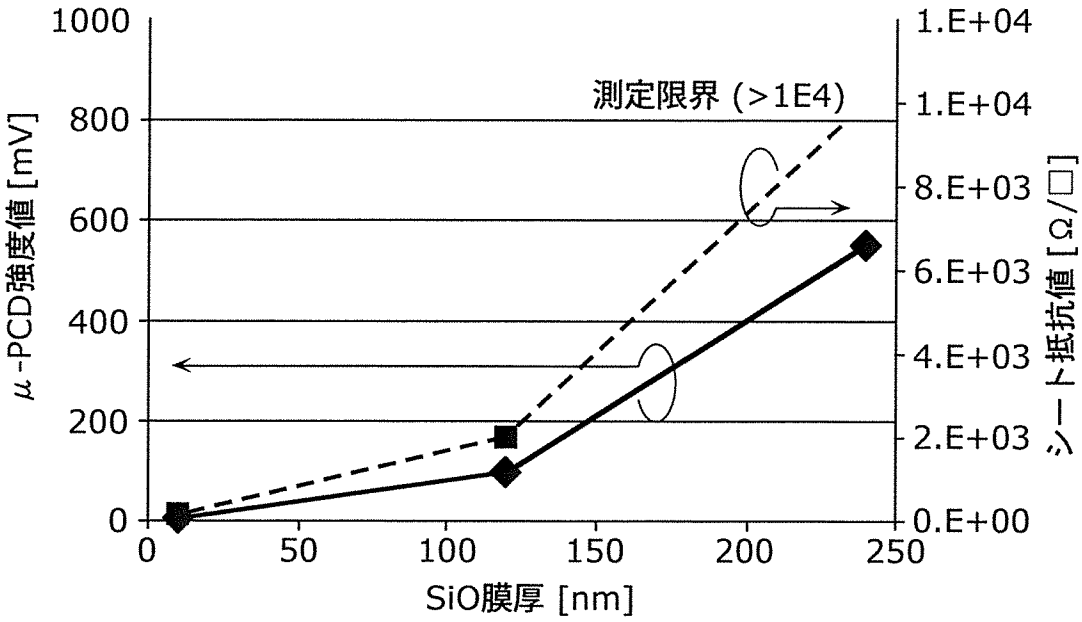
[図3]


測定限界 (>1.0E10Ω/□)
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
1.0E+00
シート抵抗値 [Ω/□]
F含無IGZO
F含有IGZO
300℃真空加熱処理

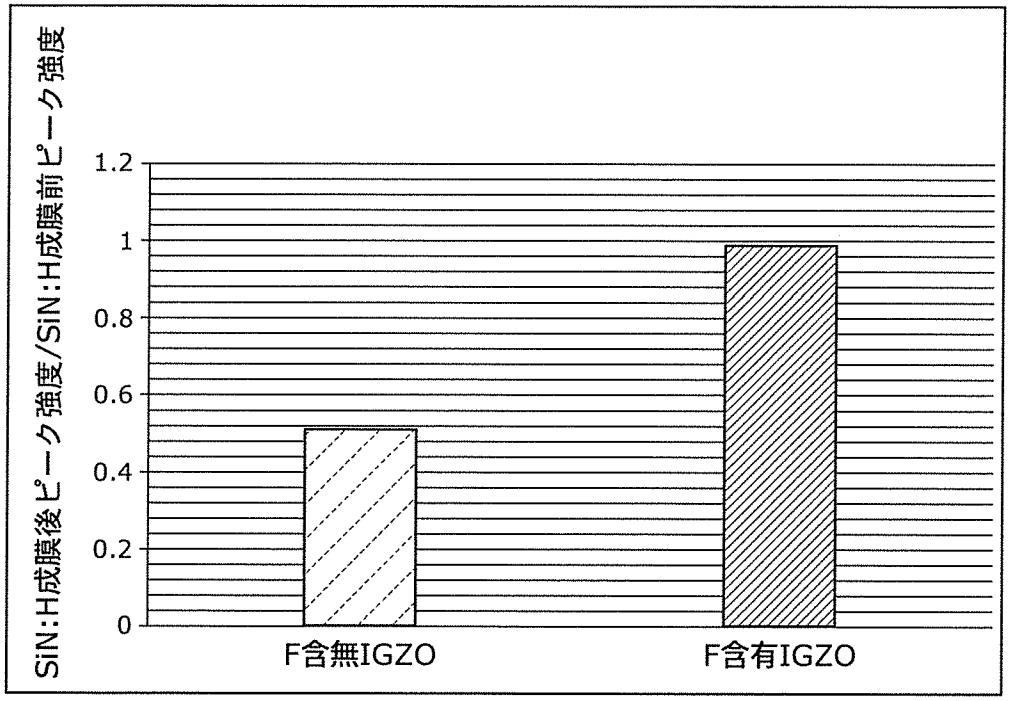
[図4]


SiN:H
SiO
IGZO
Glass

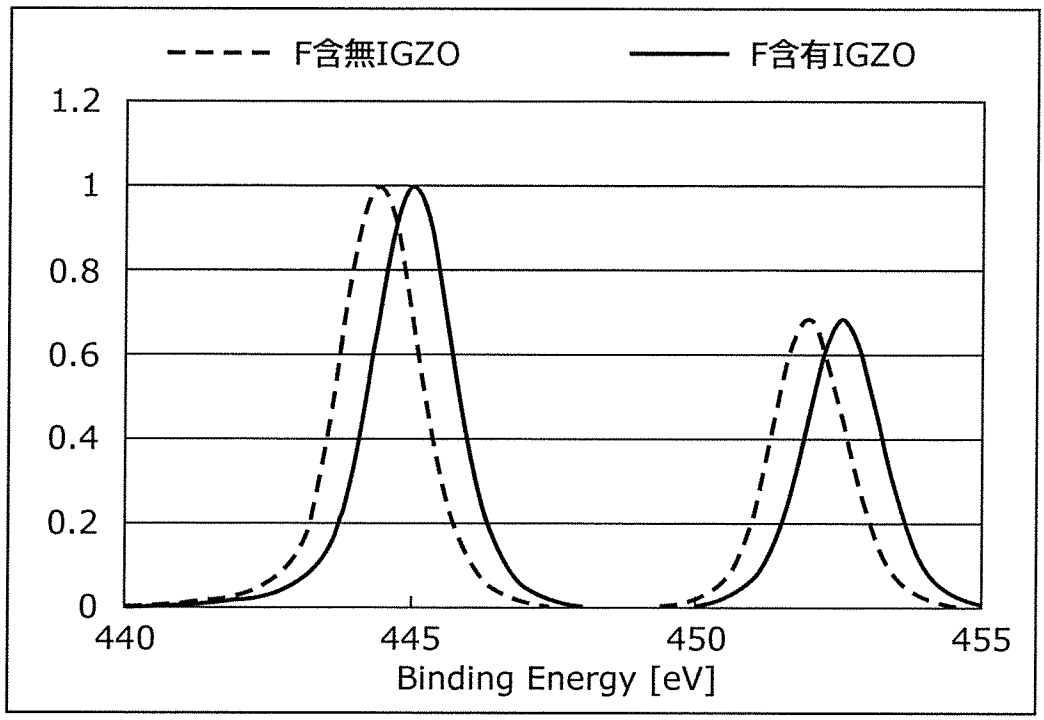
[図5]


1000
800
600
400
200
0
μ-PCD強度値 [mV]
1.E+04
1.E+04
8.E+03
6.E+03
4.E+03
2.E+03
0.E+00
シート抵抗値 [Ω/□]
測定限界 (>1E4)
0
50
100
150
200
250
SiO膜厚 [nm]

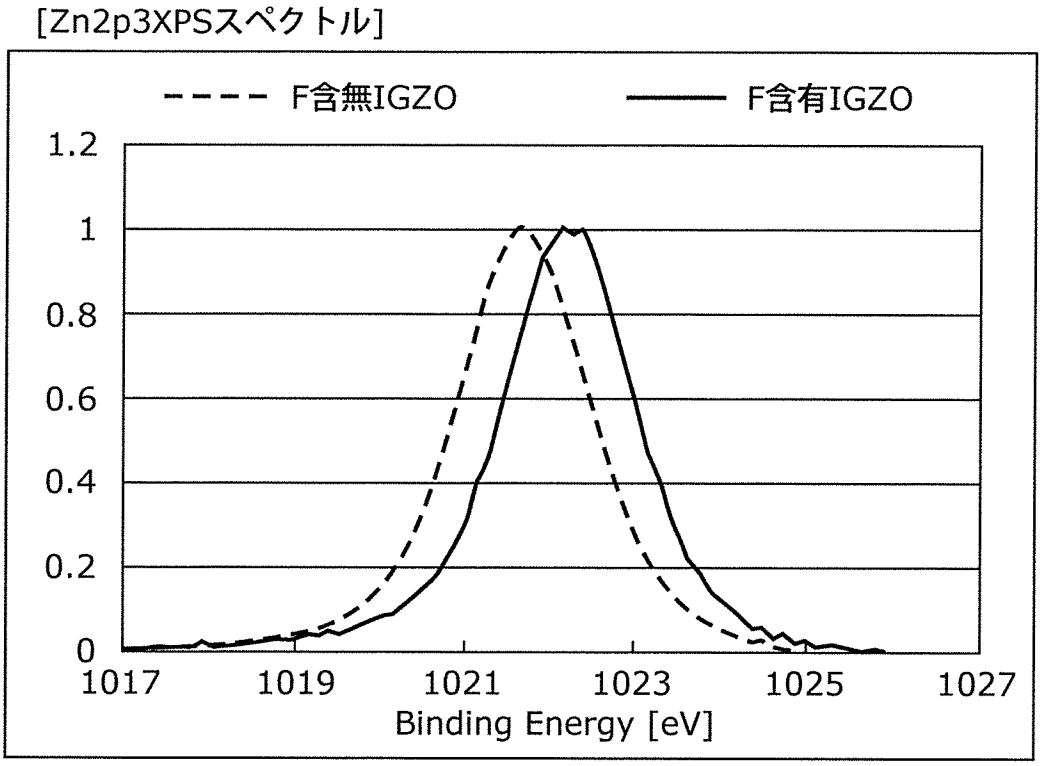
[図6]


SiN:H成膜後ピーク強度/SiN:H成膜前ピーク強度
1.2
1
0.8
0.6
0.4
0.2
0
F含無IGZO
F含有IGZO

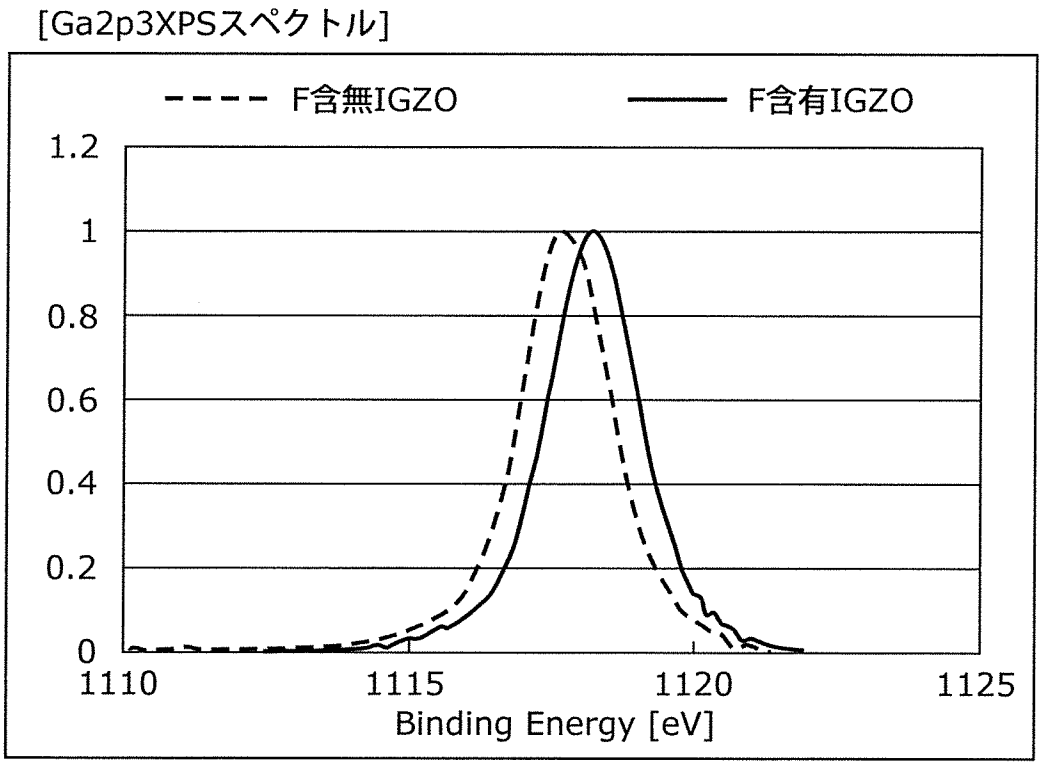
[図7A]


[In3d5XPSスペクトル]
F含無IGZO
F含有IGZO
1.2
1
0.8
0.6
0.4
0.2
0
440
445
450
455
Binding Energy [eV]

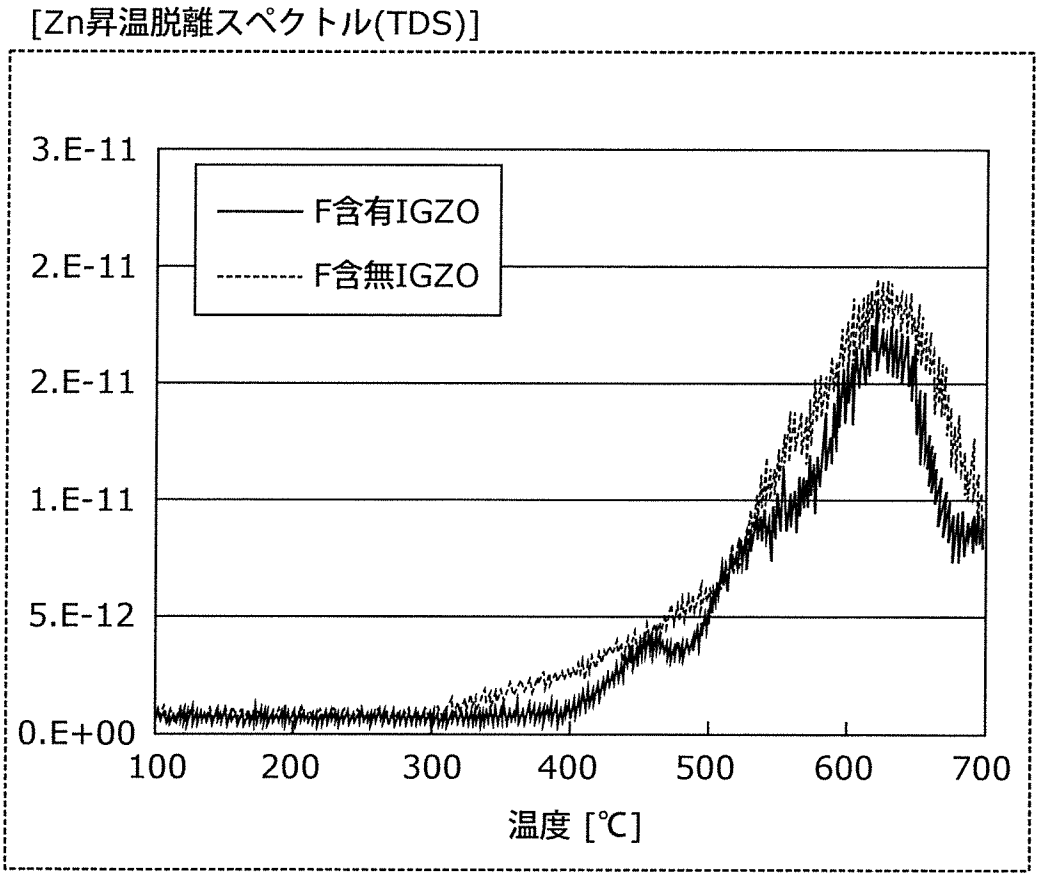
[図7B]


[Zn2p3XPSスペクトル]
F含無IGZO
F含有IGZO
1.2
1
0.8
0.6
0.4
0.2
0
1017
1019
1021
1023
1025
1027
Binding Energy [eV]

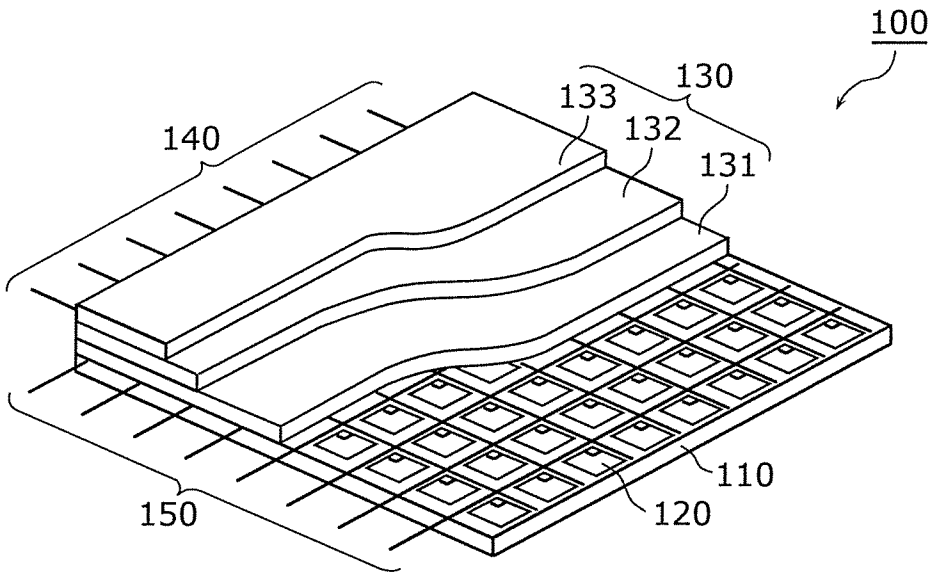
[図7C]


[Ga2p3XPSスペクトル]
F含無IGZO
F含有IGZO
1.2
1
0.8
0.6
0.4
0.2
0
1110
1115
1120
1125
Binding Energy [eV]

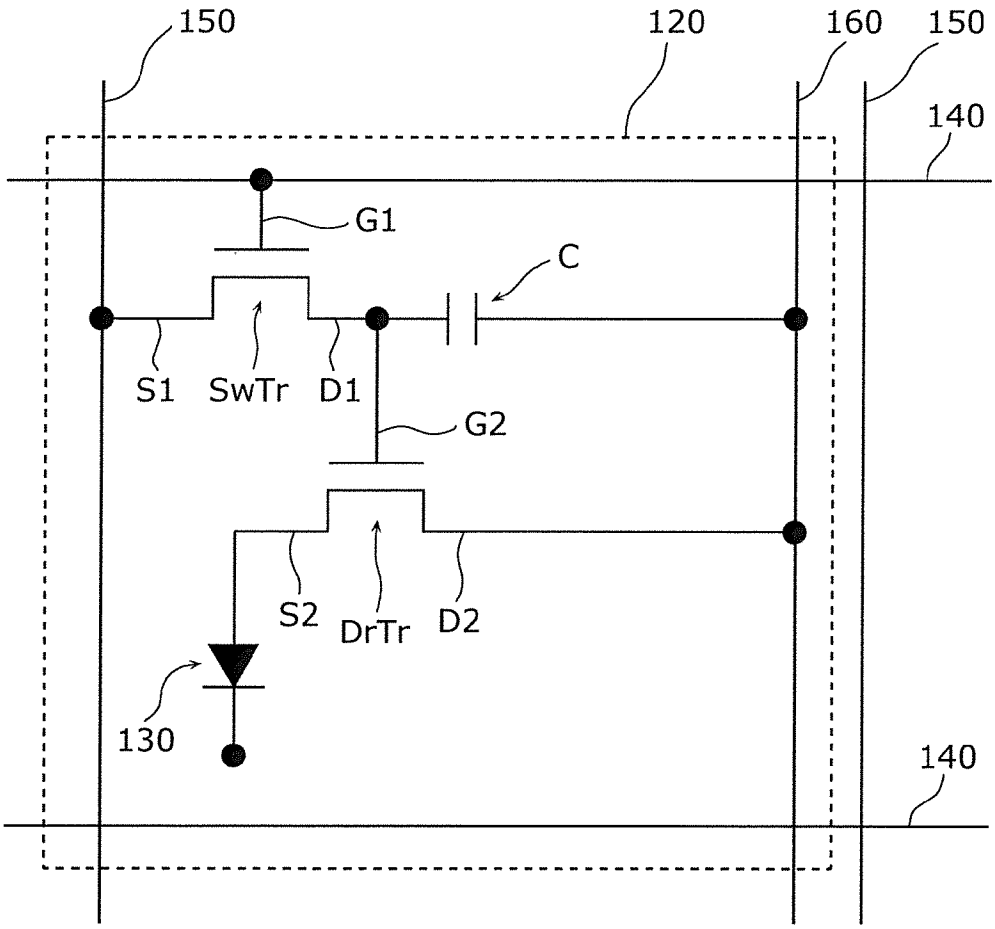
[図8]


[Zn昇温脱離スペクトル(TDS)]
3.E-11
2.E-11
2.E-11
1.E-11
5.E-12
0.E+00
F含有IGZO
F含無IGZO
100
200
300
400
500
600
700
温度 [℃]

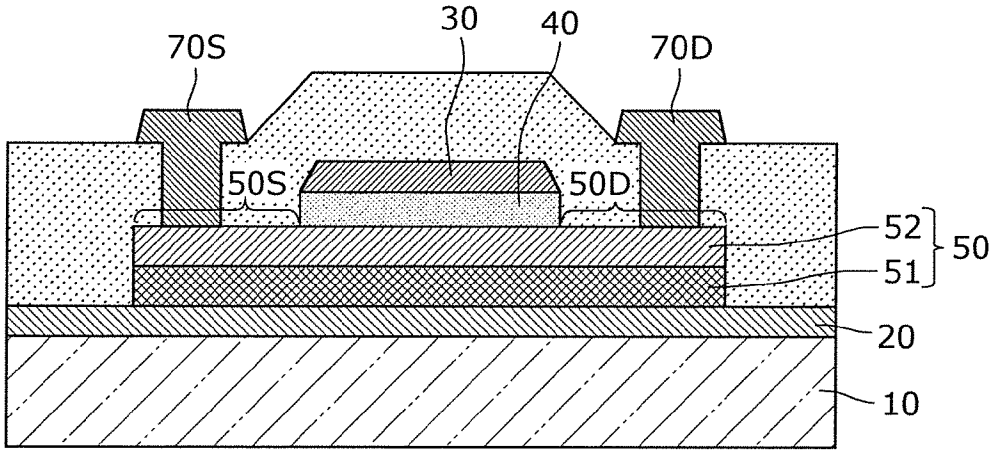
[図9]


100
130
133
132
131
140
110
120
150

[図10]


150
120
160
150
140
G1
C
S1
SwTr
D1
G2
S2
DrTr
D2
130
140

[図11]


70S
30
40
70D
50S
50D
52
51
50
20
10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/003041

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *G09F9/30*(2006.01)i, *H01L21/363*(2006.01)i, *H01L27/32*(2006.01)i, *H01L51/50*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G09F9/30, H01L21/363, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-205078 A (Semiconductor Energy Laboratory Co., Ltd.), 13 October 2011 (13.10.2011), paragraphs [0031] to [0121]; fig. 1, 2 & US 2011/0215325 A1 & WO 2011/108382 A1 & TW 201203381 A & KR 10-2013-0008037 A	1-7,9,10, 12-18 8,19,20 11
Y	JP 2013-93572 A (Semiconductor Energy Laboratory Co., Ltd.), 16 May 2013 (16.05.2013), paragraphs [0034], [0215] to [0223]; fig. 1, 10 & US 2013/0087784 A1	8,19,20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 September 2015 (03.09.15)	15 September 2015 (15.09.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/003041

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-205081 A (Semiconductor Energy Laboratory Co., Ltd.), 13 October 2011 (13.10.2011), paragraphs [0029] to [0160]; fig. 1 to 4 & US 2011/0215331 A1 & WO 2011/108381 A1 & TW 201205683 A & KR 10-2013-0007595 A	1-20

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／００３０４１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/363(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, G09F9/30, H01L21/363, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-205078 A (株式会社半導体エネルギー研究所) 2011.10.13, 段落 0031-0121、図 1,2	1-7, 9, 10, 12-18
Y	& US 2011/0215325 A1 & WO 2011/108382 A1 & TW 201203381 A	8, 19, 20
A	& KR 10-2013-0008037 A	11
Y	JP 2013-93572 A (株式会社半導体エネルギー研究所) 2013.05.16, 段落 0034、段落 0215-0223、図 1,10 & US 2013/0087784 A1	8, 19, 20

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．０９．２０１５	１５．０９．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３５５
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-205081 A (株式会社半導体エネルギー研究所) 2011.10.13, 段落 0029-0160、図 1-4 & US 2011/0215331 A1 & WO 2011/108381 A1 & TW 201205683 A & KR 10-2013-0007595 A	1-20