【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成26年8月21日(2014.8.21)

【公開番号】特開2013-84644(P2013-84644A)
【公開日】平成25年5月9日(2013.5.9)
【年通号数】公開・登録公報2013-022
【出願番号】特願2011-221519(P2011-221519)
【国際特許分類】
　Ｈ０１Ｌ　27/11　　(2006.01)
　Ｈ０１Ｌ　21/8244　(2006.01)
【ＦＩ】
　Ｈ０１Ｌ　27/10　　３８１

【手続補正書】
【提出日】平成26年7月3日(2014.7.3)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
　同様に、ＳＲＡＭ１においては、ダミーゲート電極２の下に存在するＰ型のアクティブ領域４０ａ（Ｐ型ウェル領域４０）により、第２方向Ｔに隣接するメモリセル１ａのＮ型領域３ｈ同士（或いはＮ型領域３ｆ（ビット線ＸＢＬ）同士）が電気的に分離される。また、ＳＲＡＭ１においては、ダミーゲート電極２の下に存在するＮ型のアクティブ領域３０ａ又は３０ｂ（Ｎ型ウェル領域３０）により、第２方向Ｔに隣接するメモリセル１ａのＰ型領域３ｅ同士又は３ｊ同士が電気的に分離される。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００５２
【補正方法】変更
【補正の内容】
【００５２】
　図１１及び図１２は別形態のＳＲＡＭの別例を示す図である。図１１は要部平面模式図である。図１２は要部断面模式図であって、（Ａ）は図１１のＭ７－Ｍ７断面模式図、（Ｂ）は図１１のＭ８－Ｍ８断面模式図である。尚、説明の便宜上、図１１及び図１２では、上記のＳＲＡＭ１及びＳＲＡＭ１００と同等又は対応する要素には同じ符号を付している。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００５８
【補正方法】変更
【補正の内容】
【００５８】
　ＳＲＡＭ１では、図１、図２及び図３（Ａ）のように、第２方向Ｔに並ぶメモリセル１ａの、各トランスファトランジスタＴｆ１のゲート電極２ａが、第２方向Ｔに延在されるワード線ＷＬ１にコンタクト電極４ｍで電気的に接続される。ワード線ＷＬ１は、トランスファトランジスタＴｆ１及びドライバトランジスタＤｒ１が形成されるＰ型ウェル領域２０のＰ型タップ領域２１に電気的に接続される。これにより、第２方向Ｔに並ぶ各メモ

リセル１ａにおいて、トランスファトランジスタＴｆ１のゲート電極２ａ（ワード線ＷＬ１）と、トランスファトランジスタＴｆ１及びドライバトランジスタＤｒ１が形成されるＰ型ウェル領域２０とが、短絡される（ＤＴＭＯＳ）。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００５９
【補正方法】変更
【補正の内容】
【００５９】
　同様に、ＳＲＡＭ１では、第２方向Ｔに並ぶメモリセル１ａの、各トランスファトランジスタＴｆ２のゲート電極２ｄが、ワード線ＷＬ２にコンタクト電極４ｎで電気的に接続される。ワード線ＷＬ２は、トランスファトランジスタＴｆ２及びドライバトランジスタＤｒ２が形成されるＰ型ウェル領域４０のＰ型タップ領域４１に電気的に接続される。これにより、第２方向Ｔに並ぶ各メモリセル１ａにおいて、トランスファトランジスタＴｆ２のゲート電極２ｄ（ワード線ＷＬ２）と、トランスファトランジスタＴｆ２及びドライバトランジスタＤｒ２が形成されるＰ型ウェル領域４０とが、短絡される（ＤＴＭＯＳ）。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００７５
【補正方法】変更
【補正の内容】
【００７５】
　Ｐ型ウェル領域２０及びＰ型ウェル領域４０の形成後、図１５に示すように、Ｎ型ウェル領域３０及びＮ型ウェル領域５０を形成する。Ｎ型ウェル領域３０は、フォトリソグラフィ技術及びイオン注入技術を用い、ＰＭＯＳ（ロードトランジスタ）を形成する領域、及びＰＭＯＳのタップ領域に、リン、ヒ素等のＮ型不純物７２を導入して、形成する（図１５（Ａ），（Ｃ））。Ｎ型ウェル領域５０は、隣接するメモリセル１ａの第１方向Ｓの境界Ｂｂが含まれる領域に、Ｎ型不純物７２を導入して、形成する（図１５（Ａ），（Ｃ））。Ｎ型不純物７２は、犠牲酸化層１２を通って半導体基板１０内に導入され、その後、この工程で或いは後の工程で行われるアニールによって拡散、活性化される。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００９３
【補正方法】変更
【補正の内容】
【００９３】
　上記図２２の工程まで行った後、図２３に示すように、コンタクト電極４ａ～４ｊ，４ｍ，４ｎ，３１ａ，２１ａ，４１ａを形成する。
　コンタクト電極４ａ～４ｊ，４ｍ，４ｎ，３１ａ，２１ａ，４１ａの形成に先立ち、まず上記図２１，２２の工程で述べたＮ型領域３ａ，３ｂ，３ｃ，３ｆ，３ｇ，３ｈ、Ｐ型領域３ｄ，３ｅ，３ｉ，３ｊ、Ｎ型タップ領域３１、Ｐ型タップ領域２１及びＰ型タップ領域４１にサリサイド層７７を形成する。その後、層間絶縁膜７８を形成し、その層間絶縁膜７８のコンタクト電極４ａ～４ｊ，４ｍ，４ｎ，３１ａ，２１ａ，４１ａを形成する領域（Ｎ型領域３ａ，３ｂ，３ｃ，３ｆ，３ｇ，３ｈ、Ｐ型領域３ｄ，３ｅ，３ｉ，３ｊ、Ｎ型タップ領域３１、Ｐ型タップ領域２１、Ｐ型タップ領域４１）にコンタクトホール７８ａを形成する。そして、コンタクトホール７８ａを、タングステンや銅等の導電材料で埋め込み、コンタクト電極４ａ～４ｊ，４ｍ，４ｎ，３１ａ，２１ａ，４１ａを形成する。
【手続補正７】

【補正対象書類名】明細書
【補正対象項目名】００９５
【補正方法】変更
【補正の内容】
【００９５】
以上のようにして、上記ＳＲＡＭ１を形成することができる。
次に、第２の実施の形態について説明する。
図２４及び図２５は第２の実施の形態に係るＳＲＡＭの一例を示す図である。図２４は要部平面模式図である。図２５は要部断面模式図であって、（Ａ）は図２４のＭ１１－Ｍ１１断面模式図、（Ｂ）は図２４のＭ１２－Ｍ１２断面模式図である。尚、説明の便宜上、上記のＳＲＡＭ１と同等又は対応する要素には同じ符号を付している。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００９９
【補正方法】変更
【補正の内容】
【００９９】
上記のように、ＳＲＡＭ１Ａでは、第１方向Ｓに隣接するメモリセル１ＡａのＰ型ウェル領域２０間及びＰ型ウェル領域４０間を、素子分離層１１とＮ型ウェル領域６０で電気的に分離する。そのため、素子分離層１１の幅は、第１方向Ｓに隣接するメモリセル１Ａａのアクティブ領域２０ａ間及びアクティブ領域４０ａ間に設計、製造上必要とされる最小間隔まで狭めることが可能になる。但し、上記ＳＲＡＭ１同様、このＳＲＡＭ１Ａにおいても、第１方向Ｓに隣接するメモリセル１Ａａのゲート電極２ａ間及びゲート電極２ｄ間は分離されるため、ゲート電極２ａ間及びゲート電極２ｄ間に設計、製造上必要とされる最小間隔が確保される。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】０１００
【補正方法】変更
【補正の内容】
【０１００】
このようにゲート電極２ａ間及びゲート電極２ｄ間に所定の間隔を確保するために、メモリセル１Ａａは、第１方向Ｓについて、片側につき長さＬ６（ゲート電極２ａ間又はゲート電極２ｄ間の間隔の半分）だけ増加する。例えば、長さＬ６が０．１２μｍ（両側で０．２４μｍ）とすると、ＳＲＡＭ１Ａのメモリセル１Ａａのセル面積は概ね、（１．１７μｍ＋０．２４μｍ）×（０．５μｍ＋０．２４μｍ）＝１．０４３４μ$ｍ^2$と見積もられる。ＳＲＡＭ１Ａのメモリセル１Ａａでは、０．５Ｖセル（図７（Ｂ），セル面積１．４４μ$ｍ^2$）よりもそのセル面積を抑えることが可能になる。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】０１４２
【補正方法】変更
【補正の内容】
【０１４２】
第２方向Ｔに隣接するメモリセル１Ｂａの境界Ｂａには、ダミーゲート電極２が設けられる。ダミーゲート電極２の下に存在するＰ型のアクティブ領域４０ｂにより、第２方向Ｔに隣接するメモリセル１ＢａのＮ型領域３ｗ（読み出しビット線ＲＢＬ）同士或いはＮ型領域３ｕ同士が電気的に分離される。読み出しビット線ＲＢＬは、この例では、第１方向Ｓに延在される。