

(12) 发明专利申请

(10) 申请公布号 CN 103326707 A

(43) 申请公布日 2013. 09. 25

(21) 申请号 201310192228. 0

(22) 申请日 2013. 05. 23

(71) 申请人 苏州芯动科技有限公司
地址 215021 江苏省苏州市工业园区仁爱路
99 号 D605-610

(72) 发明人 敖海 敖钢 高专

(74) 专利代理机构 南京苏科专利代理有限责任
公司 32102
代理人 陆明耀 陈忠辉

(51) Int. Cl.
H03K 19/0185(2006. 01)

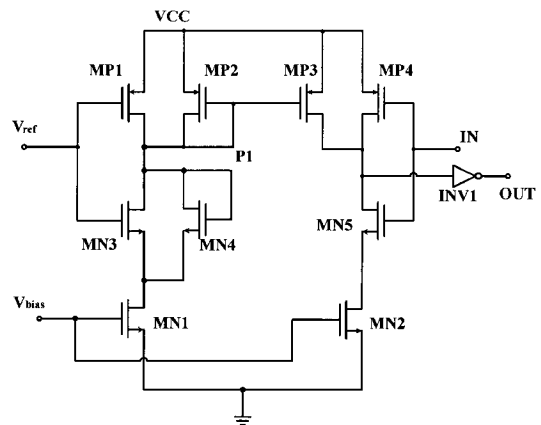
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种兼容多种 DDR 的输入接收电路

(57) 摘要

本发明公开了一种宽输入范围并且接收过程中保证输入信号占空比的输入接收电路, 本发明提供的输入接收电路包括: 6 个 NMOS 管, 包括 4 个 PMOS 管, 包括 1 个反相器, 包括第一输入信号, 第二输入信号, 输出信号。本发明具有宽电压的输入范围, 同时能很好的平衡输入信号的上下边沿转换时间。



1. 一种兼容多种 DDR 的输入接收电路,其特征在于,包括:
 - 第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;
 - 第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;
 - 第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;
 - 第四 NMOS 管 (MN4),其栅极接第三 NMOS 管 (MN3) 的漏极,源极接第一 NMOS 管 (MN1) 的漏极,漏极接第三 NMOS 管 (MN3) 的漏极;
 - 第五 NMOS 管 (MN5),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极;
 - 第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;
 - 第二 PMOS 管 (MP2),其栅极接第一 PMOS 管 (MP1) 的漏极,源极接电源电压,漏极接第一 PMOS 管 (MP1) 的漏极;
 - 第三 PMOS 管 (MP3),其栅极接第二 PMOS 管 (MP2) 的栅极,源极接电源电压,漏极接第五 NMOS 管 (MN5) 的漏极;
 - 第四 PMOS 管 (MP4),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第三 PMOS 管 (MP3) 的漏极。
2. 根据权利要求 1 所述的兼容多种 DDR 的输入接收电路,其特征在于:进一步包括:第一反相器 (INV1),其输入接第四 PMOS 管 (MP4) 的漏极,输出为所述输入接收电路的输出信号 OUT。
3. 根据权利要求 1 所述的兼容多种 DDR 的输入接收电路,其特征在于:所述第五 NMOS 管 (MN5) 的宽长比是所述第三 NMOS 管 (MN3) 的宽长比和所述第四 NMOS 管 (MN4) 的宽长比之和。
4. 一种兼容多种 DDR 的输入接收电路,其特征在于,包括:
 - 第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;
 - 第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;
 - 第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;
 - 第四 NMOS 管 (MN4),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极;
 - 第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;
 - 第二 PMOS 管 (MP2),其栅极接第一 PMOS 管 (MP1) 的漏极,源极接电源电压,漏极接第一 PMOS 管 (MP1) 的漏极;
 - 第三 PMOS 管 (MP3),其栅极接第二 PMOS 管 (MP2) 的栅极,源极接电源电压,漏极接第四 NMOS 管 (MN4) 的漏极;
 - 第四 PMOS 管 (MP4),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第三 PMOS 管 (MP3) 的漏极。
5. 根据权利要求 4 所述的兼容多种 DDR 的输入接收电路,其特征在于:进一步包括:第一反相器 (INV1),其输入接第四 PMOS 管 (MP4) 的漏极,输出为所述输入接收电路的输出信号 OUT。

6. 一种兼容多种 DDR 的输入接收电路,其特征在于,包括:

第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;

第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;

第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;

第四 NMOS 管 (MN4),其栅极接其漏极并和第三 NMOS 管 (MN3) 的漏极相接,源极接第一 NMOS 管 (MN1) 的漏极;

第五 NMOS 管 (MN5),其栅极接第四 NMOS 管 (MN4) 的栅极,源极接第二 NMOS 管 (MN2) 的漏极;

第六 NMOS 管 (MN6),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极,漏极接第五 NMOS 管 (MN5) 的漏极;

第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;

第二 PMOS 管 (MP2),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第六 NMOS 管 (MN6) 的漏极。

7. 根据权利要求 6 所述的兼容多种 DDR 的输入接收电路,其特征在于:进一步包括:第一反相器 (INV1),其输入接第二 PMOS 管 (MP2) 的漏极,输出为所述输入接收电路的输出信号 OUT。

8. 一种兼容多种 DDR 的输入接收电路,其特征在于,包括:

第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;

第二 NMOS 管 (MN2),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;

第三 NMOS 管 (MN3),其栅极接第二 NMOS 管 (MN2) 的漏极,源极接第一 NMOS 管 (MN1) 的漏极,漏极接第二 NMOS 管 (MN2) 的漏极;

第四 NMOS 管 (MN4),其栅极接第二输入信号 (IN),源极接第一 NMOS 管 (MN1) 的漏极;

第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第二 NMOS 管 (MN2) 的漏极;

第二 PMOS 管 (MP2),其栅极接第一 PMOS 管 (MP1) 漏极,源极接电源电压,漏极接第一 PMOS 管 (MP1) 漏极;

第三 PMOS 管 (MP3),其栅极接第二 PMOS 管 (MP2) 的栅极,源极接电源电压,漏极接第四 NMOS 管 (MN4) 的漏极;

第四 PMOS 管 (MP4),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第三 PMOS 管 (MP3) 的漏极。

9. 根据权利要求 8 所述的兼容多种 DDR 的输入接收电路,其特征在于:进一步包括:第一反相器 (INV1),其输入接第四 PMOS 管 (MP4) 的漏极,输出为所述输入接收电路的输出信号 OUT。

10. 根据权利要求 8 所述的兼容多种 DDR 的输入接收电路,其特征在于:所述第四 NMOS 管 (MN4) 的宽长比是第二 NMOS 管 (MN2) 的宽长比和第三 NMOS 管 (MN3) 的宽长比之和。

一种兼容多种 DDR 的输入接收电路

技术领域

[0001] 本发明涉及微电子集成电路领域,尤其涉及一种兼容多种 DDR 的输入接收电路。

背景技术

[0002] 输入接收电路用于接收芯片外部的 PCB 板级输入信号,并将输入信号转化为芯片内部可处理的高低电平。输入接收电路作为芯片内部和外部的接口电路,直接处理外部板级的非理想信号。因为板级的非理想信号受到了串扰、反射、电源波动、地弹、码间干扰等多种因素的影响,到达芯片的输入信号质量变得恶劣,影响芯片内部的进一步处理。特别在不同的 DDR 标准中,不同标准的接口电压不同,当需要兼容不同的 DDR 标准的时候,输入接收电路需要处理的输入信号的电压摆幅差别比较大,这对输入接收电路的性能提出了更高的要求。另外,因为 DDR 是信号的上升沿和下降沿都采样,因此,输入接收电路需要对外部信号的上升沿和下降沿有近似相同的转换延时,上升沿和下降沿转化延时的不同直接减少了芯片内部的采样裕度。

[0003] 图 1 示出了一种传统的输入接收电路,其中,MN1 为整个输入接收电路提供尾电流源,MN2 和 MN3 两个 NMOS 管为差分输入接收端, V_{ref} 为输入参考电压,其值为电源电压 VCC 的一半,IN 为输入信号,MP1 和 MP2 两个 PMOS 构成输入接收电路的电流镜负载。当 IN 高于 V_{ref} 时候,MN3 的下拉电流大于 MP2 的上拉电流,反相器 INV1 的输入端变低,OUT 变高。当 IN 低于 V_{ref} 时候,MN3 的下拉电流小于 MP2 的上拉电流,反相器 INV1 的输入端变高,OUT 变低。

[0004] 图 1 所示的传统输入接收电路有两个缺点:第一,开启输入对管 MN2, MN3 的共模电压太高,要使 MN2 开启,则 V_{ref} 的电压至少为 MN2 的阈值电压加 MN1 的过驱动电压,一般情况下, MN2 的阈值电压约为 0.6V, MN1 过驱动电压在 0.15V 左右,这样开启 MN2 和 MN3 的最小栅极电压约为 0.75V,在 DDR2 标准下, V_{ref} 为 0.9V,此电路可以工作,在 DDR3 和 LPDDR2 下, V_{ref} 为 0.75V 和 0.6V,这样的结构无法满足要求,当用 PMOS 作为输入对管时,也有同样的问题。第二,即使在 DDR2 下 V_{ref} 为 0.9V 时候,当 IN 电位小于 0.75V 时候, MN3 为截止状态,而当 IN 大于 0.9V 时候, MN3 一直处于开启状态,这样造成的后果是输入接收电路对 IN 的上升沿和下降沿的增益不一样大,并且是 IN 为上升沿时候, MN3 一直开启, IN 到 OUT 的延时更小, IN 为下降沿时候, MN3 多数时候处于关断状态, IN 到 OUT 的延时更大,这样就造成了输入接收电路对上下边沿有不同的接收延时,从而造成 OUT 信号高低电平的占空比发生变化,因为 DDR 是双边沿采样标准,占空比变化直接减小了采样窗口。上面的分析同样表明,当输入接收电路需要兼容多标准的 DDR 时候,上述的两个缺点表现的更为明显。

发明内容

[0005] 为解决上述技术问题,本发明提供一种多电压域电源调整型压控振荡器的保护方法及电路。

[0006] 为实现上述目的,本发明提供的技术方案是:本发明涉及一种兼容多种 DDR 的输

入接收电路,包括:第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;第四 NMOS 管 (MN4),其栅极接第三 NMOS 管 (MN3) 的漏极,源极接第一 NMOS 管 (MN1) 的漏极,漏极接第三 NMOS 管 (MN3) 的漏极;第五 NMOS 管 (MN5),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极;第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;第二 PMOS 管 (MP2),其栅极接第一 PMOS 管 (MP1) 的漏极,源极接电源电压,漏极接第一 PMOS 管 (MP1) 的漏极;第三 PMOS 管 (MP3),其栅极接第二 PMOS 管 (MP2) 的栅极,源极接电源电压,漏极接第五 NMOS 管 (MN5) 的漏极;第四 PMOS 管 (MP4),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第三 PMOS 管 (MP3) 的漏极。

[0007] 优选的,进一步包括:第一反相器 (INV1),其输入接第四 PMOS 管 (MP4) 的漏极,输出为所述输入接收电路的输出信号 OUT。

[0008] 优选的,所述第五 NMOS 管 (MN5) 的宽长比是所述第三 NMOS 管 (MN3) 的宽长比和所述第四 NMOS 管 (MN4) 的宽长比之和。

[0009] 本发明提供的另一技术方案是:一种兼容多种 DDR 的输入接收电路,包括:第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;

[0010] 第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;第四 NMOS 管 (MN4),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极;第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;第二 PMOS 管 (MP2),其栅极接第一 PMOS 管 (MP1) 的漏极,源极接电源电压,漏极接第一 PMOS 管 (MP1) 的漏极;第三 PMOS 管 (MP3),其栅极接第二 PMOS 管 (MP2) 的栅极,源极接电源电压,漏极接第四 NMOS 管 (MN4) 的漏极;第四 PMOS 管 (MP4),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第三 PMOS 管 (MP3) 的漏极。

[0011] 优选的,进一步包括:第一反相器 (INV1),其输入接第四 PMOS 管 (MP4) 的漏极,输出为所述输入接收电路的输出信号 OUT。

[0012] 本发明提供的另一技术方案是:一种兼容多种 DDR 的输入接收电路,其特征在于,包括:第一 NMOS 管 (MN1),其栅极接一个偏置电压,源极接地电位;第二 NMOS 管 (MN2),其栅极接上述相同的偏置电压,源极接地电位;第三 NMOS 管 (MN3),其栅极接第一输入信号 (Vref),源极接第一 NMOS 管 (MN1) 的漏极;第四 NMOS 管 (MN4),其栅极接其漏极并和第三 NMOS 管 (MN3) 的漏极相接,源极第一 NMOS 管 (MN1) 的漏极;第五 NMOS 管 (MN5),其栅极接第四 NMOS 管 (MN4) 的栅极,源极接第二 NMOS 管 (MN2) 的漏极;第六 NMOS 管 (MN6),其栅极接第二输入信号 (IN),源极接第二 NMOS 管 (MN2) 的漏极,漏极接第五 NMOS 管 (MN5) 的漏极;第一 PMOS 管 (MP1),其栅极接第一输入信号 (Vref),源极接电源电压,漏极接第三 NMOS 管 (MN3) 的漏极;第二 PMOS 管 (MP2),其栅极接第二输入信号 (IN),源极接电源电压,漏极接第六 NMOS 管 (MN6) 的漏极。

[0013] 优选的,进一步包括:第一反相器 (INV1),其输入接第二 PMOS 管 (MP2) 的漏极,输出为所述输入接收电路的输出信号 OUT。

[0014] 本发明提供的另一技术方案是:一种兼容多种 DDR 的输入接收电路,其特征在于,

包括：第一 NMOS 管 (MN1)，其栅极接一个偏置电压，源极接地电位；第二 NMOS 管 (MN2)，其栅极接第一输入信号 (Vref)，源极接第一 NMOS 管 (MN1) 的漏极；第三 NMOS 管 (MN3)，其栅极接第二 NMOS 管 (MN2) 的漏极，源极接第一 NMOS 管 (MN1) 的漏极，漏极接第二 NMOS 管 (MN2) 的漏极；第四 NMOS 管 (MN4)，其栅极接第二输入信号 (IN)，源极接第一 NMOS 管 (MN1) 的漏极；第一 PMOS 管 (MP1)，其栅极接第一输入信号 (Vref)，源极接电源电压，漏极接第二 NMOS 管 (MN2) 的漏极；第二 PMOS 管 (MP2)，其栅极接第一 PMOS 管 (MP1) 漏极，源极接电源电压，漏极接第一 PMOS 管 (MP1) 漏极；第三 PMOS 管 (MP3)，其栅极接第二 PMOS 管 (MP2) 的栅极，源极接电源电压，漏极接第四 NMOS 管 (MN4) 的漏极；第四 PMOS 管 (MP4)，其栅极接第二输入信号 (IN)，源极接电源电压，漏极接第三 PMOS 管 (MP3) 的漏极。

[0015] 优选的，进一步包括：第一反相器 (INV1)，其输入接第四 PMOS 管 (MP4) 的漏极，输出为所述输入接收电路的输出信号 OUT。

[0016] 优选的，所述第四 NMOS 管 (MN4) 的宽长比是第二 NMOS 管 (MN2) 的宽长比和第三 NMOS 管 (MN3) 的宽长比之和。

[0017] 相对于现有技术，本发明提供的输入接收电路，具有宽电压的输入范围，同时能很好的平衡输入信号的上下边沿转换时间。

附图说明

[0018] 下面结合附图和实施方式对本发明作进一步说明：

[0019] 图 1 为一种传统的输入接收电路；

[0020] 图 2 为本发明第一实施方式提供的兼容多种 DDR 的输入接收电路；

[0021] 图 3 为本发明第二实施方式提供的兼容多种 DDR 的输入接收电路；

[0022] 图 4 为本发明第三实施方式提供的兼容多种 DDR 的输入接收电路；

[0023] 图 5 为本发明第四实施方式提供的兼容多种 DDR 的输入接收电路。

具体实施方式

[0024] 以下将结合附图所示的各实施方式对本发明进行详细描述。但这些实施方式并不限制本发明，本领域的普通技术人员根据这些实施方式所做出的结构、方法、或功能上的变换均包含在本发明的保护范围内。

[0025] 如图 2 所示，本发明提供的输入接收电路包括 NMOS 管 MN1，MN2，MN3，MN4，MN5，包括 PMOS 管 MP1，MP2，MP3，MP4，包括一个反相器 INV1，包括第一输入信号 Vref，第二输入信号 IN，输出信号 OUT。

[0026] NMOS 管 MN1 和 NMOS 管 MN2 的栅极接一个偏置电压，MN1 和 MN2 为输入接收电路提供偏置电流，当输入接收电路不工作时，偏置电压可以被拉到地电平，从而实现低功耗。

[0027] NMOS 管 MN1 和 NMOS 管 MN2 的源极接地电位，NMOS 管 MN1 的漏极和 NMOS 管 MN3 的源极以及 NMOS 管 MN4 的源极连接，NMOS 管 MN3 的栅极接输入接收电路的第一输入信号 Vref，NMOS 管 MN3 的漏极接节点 P1，NMOS 管 MN4 的栅极和漏极都接节点 P1，构成二极管结构。NMOS 管 MN5 的源极接 NMOS 管 MN2 的漏极，NMOS 管 MN5 的栅极接输入接收电路的第二输入信号 IN，NMOS 管 MN5 的漏极接反相器 INV1 的输入端，为了保证直流工作点的平衡，MN5 的宽长比应该是 MN3 和 MN4 之和。PMOS 管 MP1 的栅极接输入接收电路的第一输入信号 Vref，

PMOS 管 MP1 的源极接电源电压 VCC, PMOS 管 MP1 的漏极接节点 P1, PMOS 管 MP2 的栅极的漏极都接节点 P1, 构成二极管结构, PMOS 管 MP2 的源极接电源电压 VCC, PMOS 管 MP3 的栅极接节点 P1, 从而构成 MP2 到 MP3 的电流镜像, PMOS 管 MP3 的源极接电源电压 VCC, PMOS 管 MP3 的漏极和 PMOS 管 MP4 的漏极接一起同时和反相器 INV1 的输入相接, PMOS 管 MP4 的源极接电源电压 VCC, PMOS 管 MP4 的栅极接输入接收电路的第二输入信号 IN, 反相器 INV1 的输出信号 OUT 为输入接收电路的输出。

[0028] 输入接收电路的第一输入信号 V_{ref} 所连接的 PMOS 管 MP1 和 NMOS 管 MN3 构成输入接收电路的第一输入端, PMOS 管 MP2 与 PMOS 管 MP1 并联连接, 并且 PMOS 管 MP2 的栅极和漏极接一起形成二极管结构, NMOS 管 MN4 和 NMOS 管 MN3 并联连接, 并且 NMOS 管 MN4 的栅极和漏极相连形成二极管结构。二极管形式的 PMOS 管 MP2 和 NMOS 管 MN4 作为 V_{ref} 输入管 MP1 和 MN3 的负载, 为 PMOS 管 MP3 提供一个合适的栅极偏置电压。由 NMOS 管 MN1, MN3, MN4 以及 PMOS 管 MP1, MP2 构成的支路, 当为了兼容不同的标准, V_{ref} 电压有比较大的不同时, PMOS 管 MP1 和 NMOS 管 MN3 中, 至少有一个管子是导通的, 也就是这条支路仍然能正常工作, 由 PMOS 管 MP3, MP4, 以及由 NMOS 管 MN2, MN5 组成的支路也有同样的效果, 这就保证了本发明的输入接收电路的输入电压范围很宽, 可以兼容不同的电压标准。

[0029] PMOS 管 MP3 向 PMOS 管 MP4 的漏极以及 NMOS 管 MN5 的漏极注入和 V_{ref} 相关的电流, 从而保证反相器 INV1 的输入端的翻转电压点是 IN 和 V_{ref} 比较的结果, 即当 IN 大于 V_{ref} 时, 反相器 INV1 的输入为低, 当 IN 小于 V_{ref} 时, 反相器 INV1 的输入为高。反相器 INV1 输入端的上拉由 PMOS 管 MP4 充电完成, 反相器 INV1 输入端的下拉由 NMOS 管 MN5 的放电完成, 而 PMOS 管和 NMOS 管有同样的电流电压特性, 从而保证了反相器 INV1 输入端的上拉和下拉电流的近似平衡, 并且输入信号 IN 到反相器的输入端都只有一个 MOS 器件的延时, 进而保证了上下边沿转换延时的平衡, 使得信号从 IN 到 OUT 的占空比基本不变化。

[0030] 下面以 V_{ref} 为 0.9V 和 0.6V 时, IN 由低变高为例来详细阐述本发明的优点和工作原理。当 VCC 为 1.8V 时, V_{ref} 为 0.9V, NMOS 管 MN3 和 PMOS 管 MP1 都处于导通状态, P1 节点电压由并联的 PMOS 管 MP1 和 MP2, 以及并联的 NMOS 管 MN3 和 MN4 分压得到, P1 得到的电压用来偏置 PMOS 管 MP3 的栅极, 这样当 PMOS 管 MP2 和 MP3 的尺寸相等, PMOS 管 MP1 和 MP4 的尺寸相等, NMOS 管 MN5 的尺寸为 MN3 和 MN4 之和, 并且在 NMOS 管 MN1 和 MN2 偏置电流一样的情况下, 两条支路具有平衡的结构和尺寸, 此时本输入接收电路的翻转电压点正好是 IN 和 V_{ref} 相等的电压点。当 IN 由低电平上升到 V_{ref} 时, NMOS 管 MN5 的下拉电流小于 PMOS 管 MP3 和 MP4 的上拉电流之和, 反相器 INV1 的输入端为高电平, OUT 输出为低电平。当 IN 由 V_{ref} 上升到高电平时, NMOS 管 MN5 的下拉电流大于 PMOS 管 MP3 和 MP4 的上拉电流之和, 反相器 INV1 的输入端变为低电平, OUT 输出为高电平。当输入信号 IN 由高变低的时候有类似的分析, 这里不做介绍。

[0031] 当 VCC 为 1.2V 时, V_{ref} 为 0.6V, 因为开启 NMOS 管 MN3 的电压约为 0.75V, NMOS 管 MN3 关断, PMOS 管 MP1 处于临界导通状态, P1 节点电压由并联的 PMOS 管 MP1 和 MP2, 以及 NMOS 管 MN4 分压得到, P1 得到的电压用来偏置 PMOS 管 MP3 的栅极, 这样当 PMOS 管 MP2 和 MP3 的尺寸相等, PMOS 管 MP1 和 MP4 的尺寸相等, NMOS 管 MN5 的尺寸为 MN3 和 MN4 之和, 并且在 NMOS 管 MN1 和 MN2 偏置电流一样的情况下, 两条支路具有平衡的结构和尺寸, 此时本输入接收电路的翻转电压点正好是 IN 和 V_{ref} 相等的电压点。当 IN 由低电平上升到 V_{ref}

时, NMOS 管 MN5 的下拉电流小于 PMOS 管 MP3 和 MP4 的上拉电流之和, 反相器 INV1 的输入端为高电平, OUT 输出为低电平。当 IN 由 V_{ref} 上升到高电平时, NMOS 管 MN5 的下拉电流大于 PMOS 管 MP3 和 MP4 的上拉电流之和, 反相器 INV1 的输入端变为低电平, OUT 输出为高电平。当输入信号 IN 由高变低的时候有类似的分析, 这里不做介绍。

[0032] 本发明中, 由 PMOS 管 MP1 和 NMOS 管 MN3 构成的输入接收电路的一端, 由 PMOS 管 MP4 和 NMOS 管 MN5 构成的输入接收电路的另一端, 这样的输入结构, 一方面可以保证输入端的电压在大的变化范围内也能正常工作, 因为本发明的两个输入端都是由一个 PMOS 管和一个 NMOS 管组成的, 当电压比较低时, PMOS 输入管可以正常工作, 当电压比较高时, NMOS 输入管可以组成工作。另一方面, 输出反相器 INV1 的输入端是由 PMOS 管 MP4 的漏极和 NMOS 管 MN5 的漏极驱动的, 当 IN 上升时, NMOS 管 MN5 下拉, 形成 INV1 输入端的低电平, 当 IN 下降时, PMOS 管 MP4 上拉, 形成 INV1 输入端的高电平, 因此, INV1 输入端高低电平的形成都是由 PMOS 管 MP4 或 NMOS 管 MN5 的上下拉形成, 又因为 PMOS 管和 NMOS 管有相同的电流电压特性, 这就使得 INV1 输入端的充放电电流比较平衡, 从而保证 INV1 输入端、以及 INV1 输出端信号的上下沿有相同的过渡时间, 也就是有近似同样的高低电平转换时间, 保证了本发明输入接收电路的输出信号有近似和输入信号相同的占空比。

[0033] 请参见图 3, 是本发明第二实施方式提供的输入接收电路的电路图, 与第一实施方式相比, 区别在于删除了第一实施方式中的 NMOS 管 MN4。在此实施方式中, P1 节点的电压由 PMOS 管 MP1、MP2 和 NMOS 管 MN3 并联得到, 这样的结构仍然可以为 PMOS 管 MP3 提供合适的偏置电压, 使得本输入接收电路的翻转电压点是输入信号 IN 和 V_{ref} 相等的点。反相器 INV1 输入端的充放电和第一实施方式相同, 所以从输入信号 IN 到反相器输入端的边沿转换延时是近似平衡的, 上升沿和下降沿都只有一个 MOS 器件的延时, 所以第二实施方式提供的输入接收电路, 同样具有宽电压的输入范围, 同时能很好的平衡输入信号的上下边沿转换时间的优点。

[0034] 请参见图 4, 是本发明第三实施方式提供的输入接收电路的电路图, 与第一实施方式相比, 区别在于删除了第一实施方式中的 PMOS 管 MP2 和 MP3。P1 节点的电压由 PMOS 管 MP1 和 NMOS 管 MN3、MN4 分压得到, P1 节点可以为 NMOS 管 MN5 提供合适的偏置电压, 使得本输入接收电路的翻转电压点是输入信号 IN 和 V_{ref} 相等的点。反相器 INV1 输入端的充放电仍然直接由 PMOS 管 MP2 和 NMOS 管 MN6 完成, 所以从输入信号 IN 到反相器输入端的边沿转换延时是近似平衡的, 上升沿和下降沿都只有一个 MOS 器件的延时, 所以第三实施方式提供的输入接收电路, 同样具有宽电压的输入范围, 同时能很好的平衡输入信号的上下边沿转换时间的优点。

[0035] 请参见图 5, 是本发明第四实施方式提供的输入接收电路的电路图, 与第一实施方式相比, 区别在于将第一种结构图中的 NMOS 管 MN1 和 MN2 合并为一个 NMOS 管, 合并后的 NMOS 管为整个输入接收电路提供尾电流。输入接收电路在工作原理和电路特性上与第一实施方式没有差别, 所以第四实施方式提供的输入接收电路, 同样具有宽电压的输入范围, 同时能很好的平衡输入信号的上下边沿转换时间的优点。当然, 本发明第一实施方式, 第二实施方式, 第三实施方式中, 也可以将 NMOS 管 MN1 和 MN2 替换成一个 NMOS 管从而得到本发明所包含的其它实例。

[0036] 本领域技术人员能够想到的是, 将本发明实施方式中相应位置的 PMOS 管替换成

NMOS 管,将相应位置的 NMOS 管替换成 PMOS 管,并且将电源和地互换,得到的输入接收电路具有和本发明相同的优点和特性。

[0037] 本发明所描述的输入接收电路的输入信号 V_{ref} 和 IN , V_{ref} 不限于一个固定参考电平,例如, V_{ref} 和 IN 可以是一对差分小信号,也可以是一对差分时钟信号。本发明所描述的输入接收电路的应用也不限于 DDR 存储器相关的应用。

[0038] 本领域技术人员可以想到的是,本发明还可以有其他的实现方式,但只要其采用的技术精髓于本发明相同或相近似,或者任何基于本发明做出的易于思及的变化和替换都在本发明的保护范围之内。

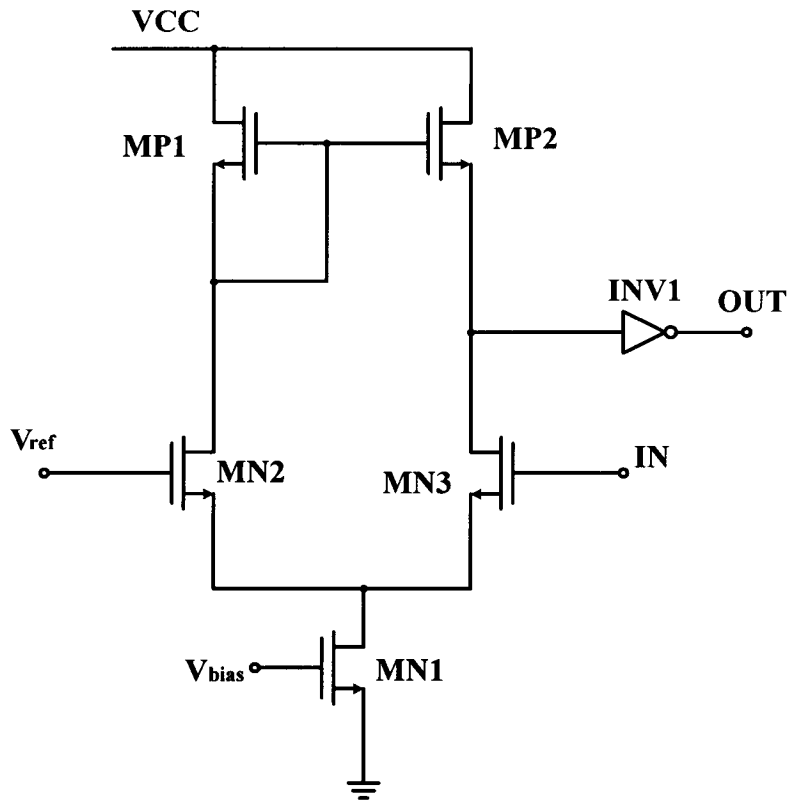


图 1

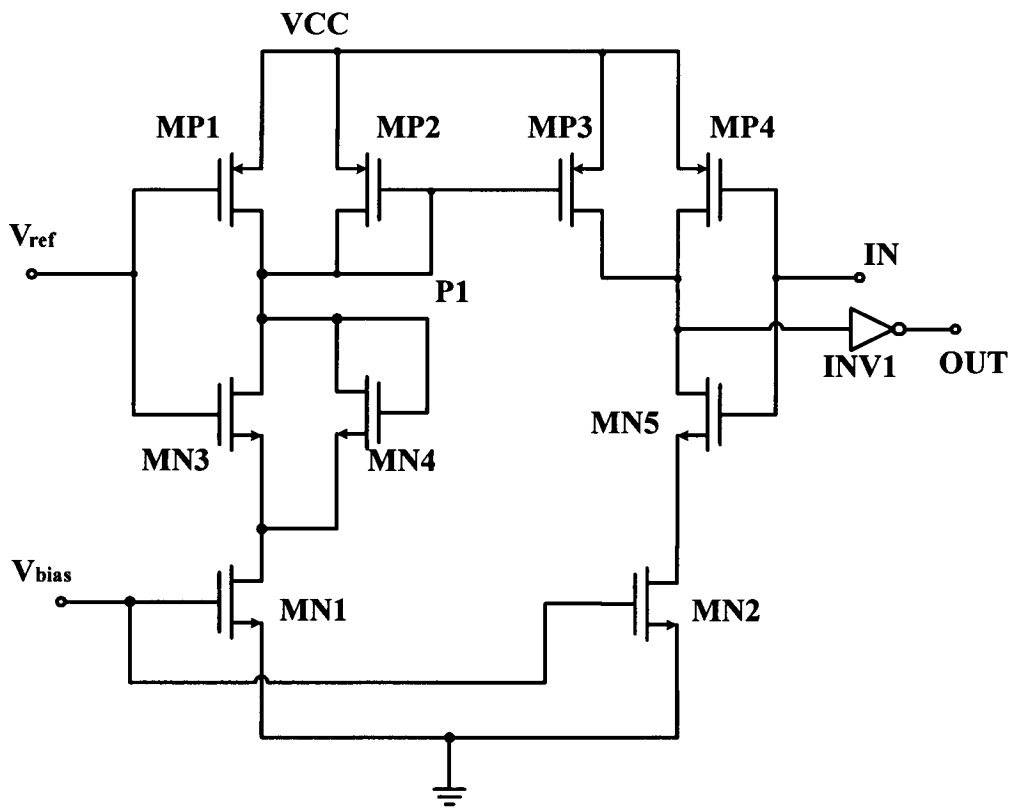


图 2

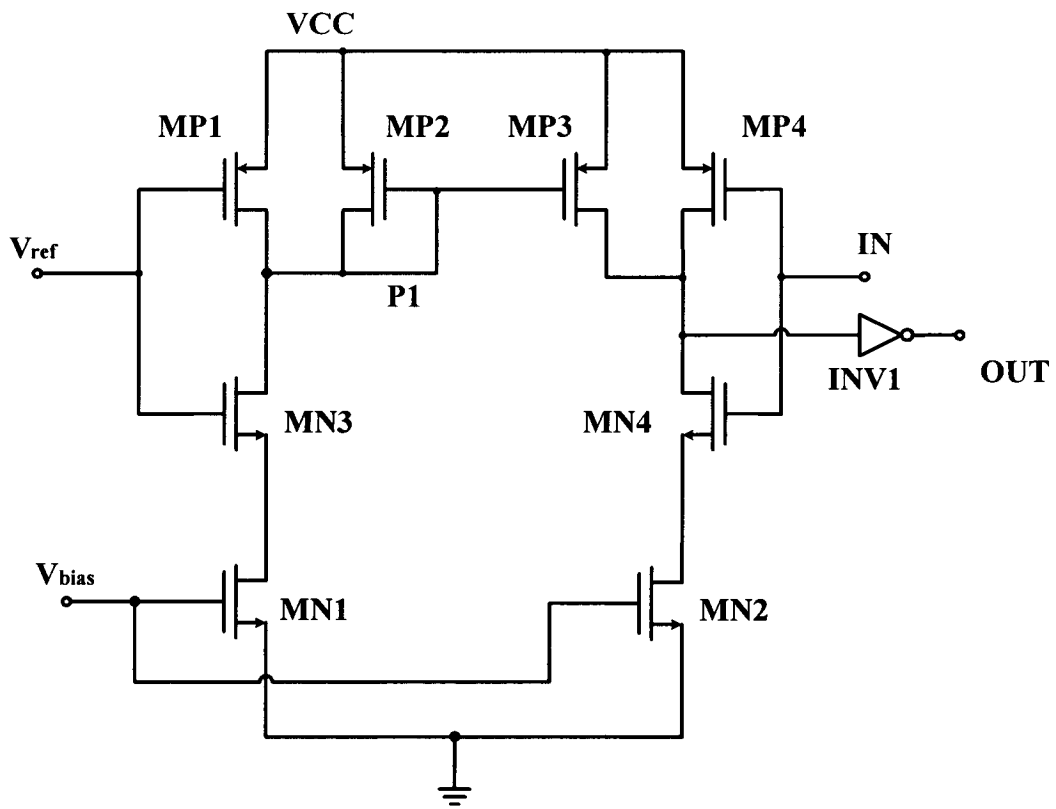


图 3

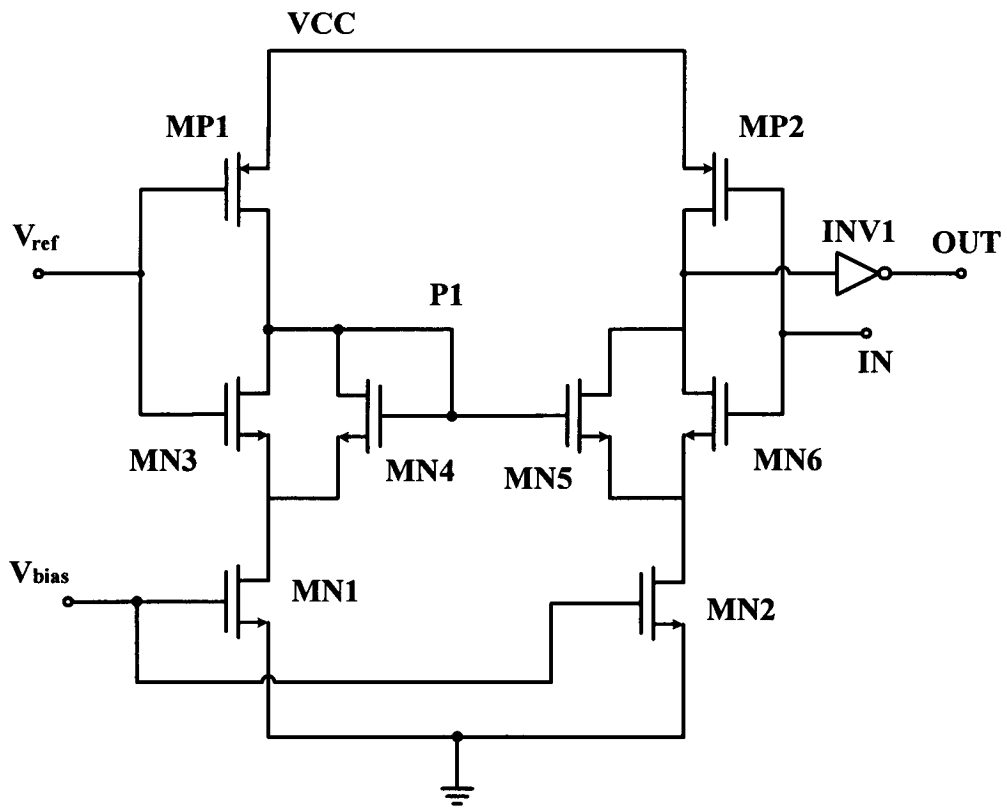


图 4

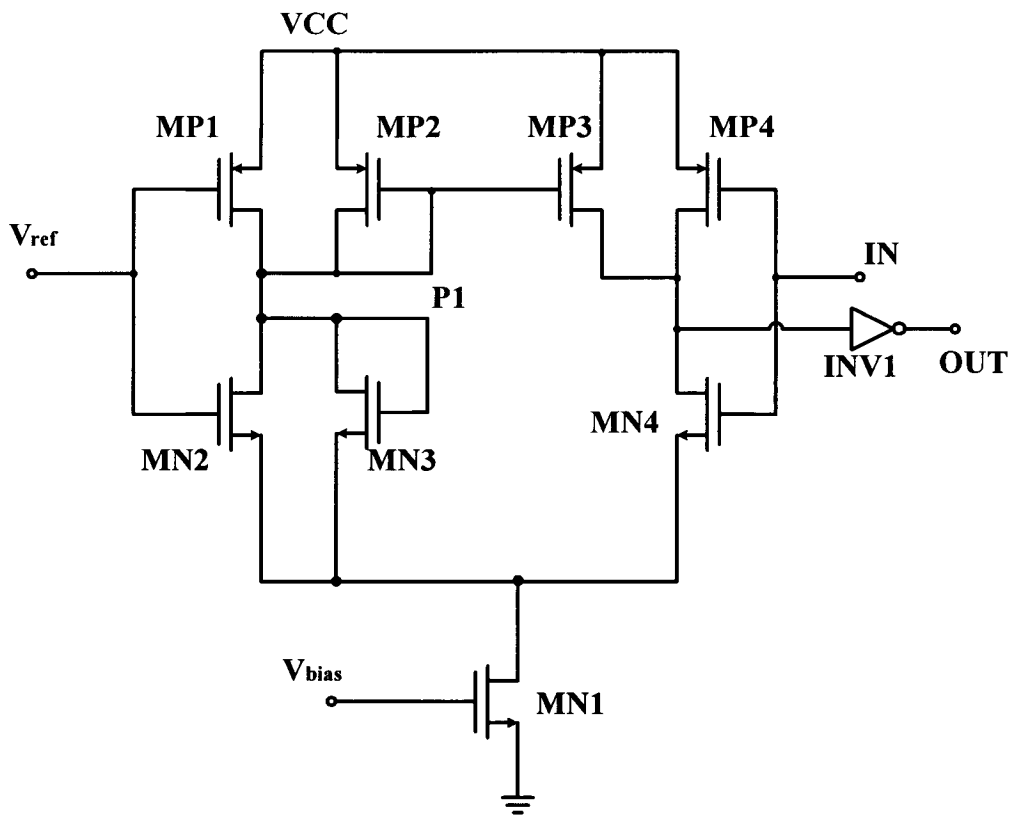


图 5