

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 1 月 29 日(29.01.2015)



(10) 国際公開番号

WO 2015/011972 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) H02M 3/335 (2006.01)
- (21) 国際出願番号: PCT/JP2014/063404
- (22) 国際出願日: 2014 年 5 月 21 日(21.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-155311 2013 年 7 月 26 日(26.07.2013) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.)
[JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 〇 番地 Ibaraki (JP).
- (72) 発明者: 田中 信太郎(TANAKA Shintaro); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 千田 忠彦(CHIDA Tadahiko); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

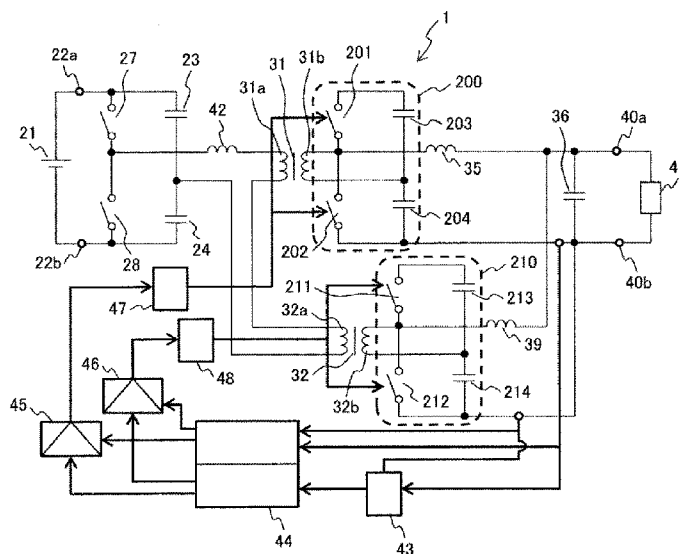
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置

図 1



(57) Abstract: The purpose of the present invention is to provide a novel DC/DC power conversion device in which by sharing a primary circuit with a plurality of transformers, the loss of the primary circuit or the cost can be reduced and the imbalance between the current values of secondary circuits provided respectively for the transformers can be suppressed as small as possible. The power conversion device adds the output currents or output voltages (the two are referred to collectively as "output quantity") of secondary circuits provided respectively for a plurality of transformers to obtain the total output quantity, which is divided by the number of the transformers to obtain an equal output quantity. The power conversion device compares the equal output quantity with the output quantity of each of the secondary circuits and controls switching elements of each of the secondary circuits so that the output quantity of each of the secondary circuits converges with the equal output quantity. Since a primary circuit is shared with a plurality of transformers, the loss of the primary circuit or the cost can be reduced. In addition, since the output quantities of the secondary circuits of the respective transformers can be made as close as possible to each other, it is possible to suppress the imbalance between the current values of the secondary circuits provided respectively for the transformers.

rent values of the secondary circuits provided respectively for the transformers.

(57) 要約:

[続葉有]

WO 2015/011972 A1



複数のトランスに対して一次回路を共通化して一次回路の損失、或いはコストの低減を図り、更に、トランス毎に設けた二次回路の相互の電流値の不均衡を可及的に抑制することのできる新規なDC/DC電力変換装置を提供することにある。複数のトランス毎に設けた二次回路の出力電流、或いは出力電圧（両者を纏めて出力量という）を加算した総出力量をトランスの個数で除算して等出力量を求め、この等出力量と各二次回路の出力量を比較して各二次回路の出力量が等出力量に収束するように各二次回路のスイッチング素子を制御する。複数のトランスに対して一次回路を共通化するので一次回路の損失、或いはコストの低減が図れると共に、トランス毎の二次回路の出力量を相互に可及的に近づけることができるので、トランス毎に設けた二次回路の相互の電流値の不均衡を抑制することができるようになる。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は直流電圧を昇圧、或いは降圧する電力変換装置に係り、特にトランスを使用した絶縁型の電力変換装置に関するものである。

背景技術

[0002] 直流電圧を昇圧、或いは降圧する電力変換装置（以下、DC/DC電力変換装置という）は、直流電圧を昇圧もしくは降圧することで、各負荷に合った直流電圧を提供する電力変換装置である。

[0003] このDC/DC電力変換装置は、例えばハイブリッド車や電気自動車等で使用されており、ハイブリッド車や電気自動車ではオルタネータでの発電が困難であるため、高圧バッテリーから動作電圧が低い補機類へ降圧型のDC/DC電力変換装置を使用して必要な電力を供給するようにしている。尚、この場合、高圧バッテリーの電圧が高いため、安全性を考慮してDC/DC電力変換装置ではトランスを使用した絶縁型のDC/DC電力変換装置を使用している。

[0004] トランスを用いた絶縁型のDC/DC電力変換装置において、直流電圧を降圧する場合、低電圧側である二次回路には大電流が流れるようになる。そのため、二次回路での素子抵抗や配線抵抗により損失が増大する課題がある。またDC/DC電力変換装置ではトランスにより大まかな電圧変換を行うため、トランスに巻かれる一次巻線や二次巻線の巻数は、主に印加される電圧によって決定される。そのため、印加電圧が高いほど必要な巻数は多くなる。トランスの巻数が多くなると、トランスの巻線の抵抗による損失が増大する。また巻線間の絶縁に必要な絶縁領域の体積が増加し、トランスの外形が大きくなるという課題がある。

[0005] このような課題に 대응するため、DC/DC電力変換装置の並列化の検討がなされている。このような、並列化したDC/DC電力変換装置は、例えば特開2005-224069号公報（特許文献1）に記載されている。

[0006] そして、このDC/DC電力変換装置の並列化により、電力変換を行う各回路に流れる電流が分散化されるようになる。抵抗で発生する損失は素子や配線の抵抗と素子や配線に流れる電流の2乗の乗算であるため、DC/DC電力変換装置の並列化により、素子や配線での損失が低減されるようになる。更にDC/DC電力変換装置の並列化により、複数のトランスを用いて電圧、或いは電流を分散させることで、トランスの巻数の減少に伴うトランスの巻線での損失低減による高効率化、および小型化が可能となる。

先行技術文献

特許文献

[0007] 特許文献1：特開2005-224069号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、特許文献1においては、直列に接続された6個のコンデンサ、6個のスイッチング素子、3個のトランス、及び6個の整流素子を有する電力変換回路をスイッチング電源の入力端子に接続し、上述した電力変換回路により生成される電圧を共通出力端子に出力するように構成されている。

[0009] このように構成されたDC/DC電力変換装置においては、一次回路が直列接続されていることから各トランスへの印加電圧が低減されるようになる。その結果、トランスの巻線での損失の低減、小型化が可能である。また、DC/DC電力変換装置の並列化により、各回路に流れる電流は分散化される。回路上での損失は上述した通り、素子や配線の抵抗と素子や配線に流れる電流の2乗の乗算であるため、DC/DC電力変換装置の並列化により損失が低減される。

[0010] しかしながら、整流素子であるダイオードにおける損失はダイオードの順方向電圧とダイオードに流れる電流の乗算であるため、電流が分散化されることでダイオード1つ当たりの損失は減少するが、並列化によりダイオード数が増加しているため、合計の損失が大きく減少しない。そのため、特許文

献 1 の D C / D C 電力変換装置では、二次回路のダイオードの順方向電圧は通常 1 V 程度であり、6 個のダイオードを用いているため、高効率化が困難である問題点がある。尚、特許文献 1 ではトランスを 3 個使用しているため、これの 2 倍の個数のコンデンサ、スイッチング素子、及び整流素子が必要となっているが、少なくとも並列化する場合は 2 個のトランスを使用するため、これの 2 倍の個数のコンデンサ、スイッチング素子、及び整流素子が必要となる。いずれにしても高効率化が困難である問題点がある。

[0011] そこで、ダイオードに替えて M O S F E T 等の半導体素子を用いた同期整流回路とすることが考えられる。同期整流回路の場合、半導体素子における O N 抵抗損失は半導体素子の O N 抵抗と半導体素子に流れる電流の 2 乗の乗算となる。半導体素子単体の損失は電流の 2 乗で低減されるため、二次回路の半導体素子の合計損失を低減することが可能となるものである。

[0012] しかしながら、このように二次回路に同期整流回路を採用する場合には次のような問題がある。つまり、各トランスに対して二次回路を構成するハーフブリッジ回路の配線や半導体素子のばらつき、温度による半導体素子の特性変化によって、各トランスを分担する二次回路の相互で電流値に不均衡が生じることである。

[0013] 尚、個々の一次回路のスイッチング素子の O N / O F F のデューティ比率により、出力電流を制御するため、D C / D C 電力変換装置を並列化する場合、各並列回路の各々の一次回路のスイッチング素子で各電流量を制御することが可能である。ただ、一次回路は高圧バッテリーに接続されるためのスイッチング素子には高耐圧素子が使用されることになる。一般的に高耐圧素子は O N 抵抗が高いので損失の増加を招き、また高耐圧素子は低耐圧素子に比べコストが高いという属性を有している。このため、一次回路を共通化することで一次回路のスイッチング素子の個数を削減して、損失の低減、或いはコストの低減を図ることが考えられる。

[0014] しかしながら、一次回路を共通化することは損失やコストの面で有利であるが、トランス毎に一次回路を設けていないので一次回路のスイッチング素

子で電流量を制御することができない。更に、上述したように各二次回路の電流を各々制御することができないため、トランス毎の二次回路の間で電流値の不均衡が発生するという課題がある。

[0015] 本発明の目的は、複数のトランスに対して一次回路を共通化して一次回路の損失、或いはコストの低減を図り、更に、トランス毎に設けた二次回路の相互の電流値の不均衡を可及的に抑制することができる新規なDC/DC電力変換装置を提供することにある。

課題を解決するための手段

[0016] 本発明の特徴は、複数のトランス毎に設けた二次回路の実際出力電流、或いは出力電圧（両者を纏めて出力量という）を加算した総出力量をトランスの個数で除算して等出力量を求め、この等出力量と各二次回路の実際出力量を比較して各二次回路の出力量が等出力量に収束するように各二次回路のスイッチング素子を制御する、ところにある。

発明の効果

[0017] 本発明によれば、複数のトランスに対して一次回路を共通化するので一次回路の損失、或いはコストの低減が図れると共に、トランス毎の二次回路の出力量を相互に可及的に近づけることができるので、トランス毎に設けた二次回路の相互の出力量の不均衡を抑制することができるようになる。

図面の簡単な説明

[0018] [図1]本発明の第1の実施形態になるDC/DC電力変換装置の回路構成を示す回路図である。

[図2]図1に示すDC/DC電力変換装置の主要な部位の波形を説明する波形図である。

[図3]図1に示すDC/DC電力変換装置の二次回路のスイッチング素子のゲート信号の位相波形を説明する説明図である。

[図4]図1に示すDC/DC電力変換装置の二次回路のスイッチング素子のゲート信号のデューティ波形を説明する説明図である。

[図5]本発明の第2の実施形態になるDC/DC電力変換装置の回路構成を示

す回路図である。

[図6]本発明の第3の実施形態になるDC/DC電力変換装置の回路構成を示す回路図である。

[図7]本発明の第4の実施形態になるDC/DC電力変換装置の回路構成を示す回路図である。

[図8]図7に示すDC/DC電力変換装置の主要な部位の波形を説明する波形図である。

発明を実施するための形態

[0019] 以下、本発明の実施形態について図面を用いて詳細に説明するが、本発明は以下の実施形態に限定されることなく、本発明の技術的な概念の中で種々の変形例や応用例をもその範囲に含むものである。

実施例 1

[0020] 次に本発明の第1の実施形態になるDC/DC電力変換装置の構成について図1を用いて詳細に説明する。本実施例は一次回路をハーフブリッジ型に構成し、複数のトランスの一次巻線同士を直列に接続して一次回路を共通化したDC/DC電力変換装置を用いている。

[0021] 本実施例になるハーフブリッジ型のDC/DC電力変換装置1は、複数のトランス、ここでは第1のトランス31と第2のトランス32を有し、両トランス31、32の一次巻線31a、32aの一端同士が接続されている。第1のトランス31の一次巻線31aの他端は共振コイル42の一端に接続され、共振コイル42の他端はスイッチング素子27の下端とスイッチング素子28の上端の間に接続され、第2のトランス32の一次巻線32aの他端はコンデンサ23の下端とコンデンサ24の上端の間に接続されている。

[0022] スwitchング素子27の上端とコンデンサ23の上端は入力端子22aに接続され、入力端子22aは直流電源21の正極に接続されている。スイッチング素子28の下端とコンデンサ24の下端は入力端子22bに接続され、入力端子22bは直流電源21の負極に接続されている。このように、一次回路はハーフブリッジ回路の構成とされ、更に一次回路は第1のトランス

31、及び第2のトランス32に対して共通化されるものである。これによって、トランス毎に一次回路を設けていないので、一次回路の電力損失を低減できると共に、一次回路のコストを併せ低減できるものである。

[0023] また、第1のトランス31に対応した二次回路を構成する第1のハーフブリッジ回路200においては、スイッチング素子201の上端とコンデンサ203の上端が接続され、スイッチング素子202の下端とコンデンサ204の下端が平滑コンデンサ36の下端に接続されている。更に第1のトランス31の二次巻線31bの一端が第1のハーフブリッジ回路200のコンデンサの203の下端とコンデンサ204の上端の間、或いはスイッチング素子201の下端とスイッチング素子202の上端の間に接続されている。同様に、第1のトランス31の二次巻線31bの他端がスイッチング素子201の下端とスイッチング素子202の上端の間、或いはコンデンサの203の下端とコンデンサ204の上端の間に接続されている。また、それぞれの接続点からチョークコイル35の一端が接続され、チョークコイル35の他端が平滑コンデンサ36の正極に接続されている。

[0024] また、第2のトランス32に対応した二次回路を構成する第2のハーフブリッジ回路210において、スイッチング素子211の上端とコンデンサ213の上端の間が接続され、スイッチング素子212の下端とコンデンサ214の下端が平滑コンデンサ36の下端に接続されている。第2のトランス32の二次巻線32bの一端が第2のハーフブリッジ回路210のコンデンサの213の下端とコンデンサ214上端の間、或いはスイッチング素子211の下端とスイッチング素子212の上端の間に接続されている。同様に、第2のトランス32の二次巻線32bの他端が第2のハーフブリッジ回路210のスイッチング素子211の下端とスイッチング素子212の上端の間、或いはコンデンサの213の下端とコンデンサ214の上端の間に接続される。また、それぞれの接続点からチョークコイル39の一端が接続され、チョークコイル39の他端が平滑コンデンサ36の正極に接続されている。

[0025] 第1のハーフブリッジ回路200と第2のハーフブリッジ回路210は出力端子40a、40bで合成されて最終的な出力とされる。負荷41は平滑コンデンサ36と並列に接続され、これらは出力端子40a、40bに夫々接続されている。また、第1のトランス31、第2のトランス32の各巻線31a、31b、32a、32bは、一次回路および二次回路の極性がそれぞれ等しくなるように接続されている。

[0026] ここで、第1のトランス31、第2のトランス32は同一仕様のものであり、巻数も巻数比も等しく設定されている。また、巻数が等しいことから、励磁インダクタンスも等しくなるものである。以上がDC/DC電力変換装置を並列化した場合の回路構成となる。

[0027] 次に、本発明の特徴部分である二次回路の出力電流の不均衡を抑制するための構成について説明するが、本実施例では夫々の二次回路を構成するハーフブリッジ回路200、210はMOSFET等の半導体素子を用いた同期整流回路が使用されている。本実施例ではこの同期整流回路を使用して二次回路の出力を調整する出力調整部を設けたところに特徴を有するものである。

[0028] 以下では、二次回路の出力電流の不均衡を抑制する構成について説明する。ここで、二次回路とは、基本的にはトランス毎の2次コイル31b、32b、トランス毎のハーフブリッジ回路200、210、トランス毎のチョークコイル35、39を含むものである。

[0029] 図1において、第1のハーフブリッジ回路200と第2のハーフブリッジ回路210の出力電流、或いは出力電圧（以下では、これらを纏めて出力量と表記する。）は、第1のハーフブリッジ回路200と第2のハーフブリッジ回路210と出力端子40bの間から取り出されている。尚、本実施例においては電流値を検出しており、以下この電流値を出力量という。これらの第1のハーフブリッジ回路200と第2のハーフブリッジ回路210の夫々の出力量は加算機能を備える加算器43によって加算されて、全体の総出力量が求められる。

- [0030] 加算器 4 3 で求められた総出力量は按分機能を備える按分制御器 4 4 に送られ、トランス 3 1、3 2 の個数で除算されて等出力量が求められる。本実施例ではトランスは 2 個であるため、等出力量は総出力量の $1/2$ である。したがって、この等出力量に夫々の二次回路の出力が制御されれば、トランス毎に設けた二次回路の相互の電流値の不均衡を抑制することができるようになる。
- [0031] また、按分制御器 4 4 には並列に第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の夫々の出力量が個別に輸入される構成となっている。したがって、按分制御器 4 4 は上述したようにトランス 3 1、3 2 の個数で除算された等出力量と、第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の夫々の出力量が出力されることになる。
- [0032] 按分制御器 4 4 から出力された等出力量と夫々のハーフブリッジ回路 2 0 0、2 1 0 の出力量は比較機能を備える第 1 の比較器 4 5 と第 2 の比較器 4 6 に入力される構成となっている。第 1 の比較器 4 5 と第 2 の比較器 4 6 には共通して等出力量が入力されるが、第 1 の比較器 4 5 には第 1 のハーフブリッジ回路 2 0 0 の出力量が入力され、第 2 の比較器 4 5 には第 2 のハーフブリッジ回路 2 1 0 の出力量が入力されるようになっている。したがって、夫々の比較器 4 5、4 6 においては等出力量に対して出力量が大きければ出力量を小さくするための比較出力信号を出力し、等出力量に対して出力量が小さければ出力量を大きくするための比較出力信号を出力するものである。尚、この比較器 4 5、4 6 と同様の機能を備える差動増幅器を用いるようにしても良い。
- [0033] そして、第 1 の比較器 4 5 の比較出力信号は、第 1 のハーフブリッジ回路 2 0 0 のスイッチング素子 2 0 1、2 0 2 のゲート信号を調整する機能を有する第 1 のスイッチング素子制御器 4 7 に入力される。同様に、第 2 の比較器 4 6 の比較出力信号は、第 2 のハーフブリッジ回路 2 1 0 のスイッチング素子 2 1 1、2 1 2 のゲート信号を調整する第 2 のスイッチング素子制御器 4 8 に入力される。これらのスイッチング素子制御器 4 7、4 8 は、各ス

スイッチング素子 201、202、211、212 が ON にスイッチングする時の通電位相時期や、通電している時間である通電位相量を調節することによって各ハーフブリッジ回路 200、210 の出力量を制御することができるものであり、スイッチング素子制御器 47、48 は出力可変機能部として機能する。

[0034] このように、加算器 43、按分制御器 44、比較器 45、46、及びスイッチング素子制御器 47、48 によってフィードバック系統が形成され、これらの機能部によって出力調整部が構成されているものである。

[0035] 例えば、一次回路のスイッチング素子 27、28 に対する各ハーフブリッジ回路 200、210 のスイッチング素子 201、202、211、212 の通電位相量を変更することによって出力量を調整できる。また、一次回路のスイッチング素子 27、28 のゲート信号に対して各ハーフブリッジ回路 200、210 のスイッチング素子のゲート信号に位相差を与えて通電位相時期を変更することにより出力量を調整できる。本実施例においては、要は二次回路の出力が調整できれば良いものであり、その具体的な構成、方法は限定されないものである。

[0036] このようにして、各ハーフブリッジ回路 200、210 と、加算器 43、按分制御器 44、比較器 45、46、及びスイッチング素子制御器 47、48 によって、フィードバック系統が形成されるものである。したがって、按分制御器 44 で求められた等出力量に収束するように夫々のハーフブリッジ回路 200、210 の出力が制御されるようになって、トランス毎に設けた二次回路の相互の電流値の不均衡を抑制することができるようになる。

[0037] 次に、図 1 に示す DC/DC 電力変換装置の動作について図 2 を用いて説明する。尚、動作に関してはキャリア周波数で決まる周期の繰り返しとなるため、1 周期について説明する。ここで、図 2 は DC/DC 電力変換装置の主要部分の信号波形を示す波形図である。

[0038] 図 2 において、図 2 の (a) と (b) は一次回路の第 1 のスイッチング素子 27 と第 2 のスイッチング素子 28 の駆動波形を示し、(c) と (d) は

第1のハーフブリッジ回路200の第1スイッチング素子201と第2のスイッチング素子202の駆動波形を示し、(e)と(f)は第2のハーフブリッジ回路210の第1スイッチング素子211と第2のスイッチング素子212の駆動波形を示し、(g)は第1トランスと第2トランスの電流波形を示している。

[0039] まず、第1トランス31の一次巻線31a、第2のトランス32の一次巻線32aに流れる電流について、図2の時刻T0～T1期間の動作を説明する。図2の(a)、(b)に示すように、第1スイッチング素子27がオン状態になり、第2のスイッチング素子28がオフ状態であり、第2のコンデンサ23に充電された電圧が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加される。

[0040] 図2の(c)、(d)に示すように、第1のハーフブリッジ回路200では第1のハーフブリッジ回路200の第1のスイッチング素子201がオフ状態であり、第2のスイッチング素子202がオン状態である。この時、第1のハーフブリッジ回路200の第2のコンデンサ204から電荷が放電され、第1のトランス31の二次巻線31bに流れる電流が増加し、第1のトランス31の一次巻線31aに流れる電流が増加する。

[0041] また、図2の(e)、(f)に示すように、第2のハーフブリッジ回路210でも同様に、第1のスイッチング素子211がオフ状態であり、第2のスイッチング素子212がオン状態であり、第2のハーフブリッジ回路210の第2のコンデンサ214から電荷が放電され、第2のトランス32の二次巻線32bに流れる電流が増加し、第2のトランス32の一次巻線32aに流れる電流が増加する。更に、時刻T0～T1が1/2周期に近づくにつれ、電流増加量が多くなり出力電流が増加する。

[0042] 次に図2の時刻T1～T2の動作を説明する。図2の(a)、(b)に示すように、第1のスイッチング素子27がオン状態、第2のスイッチング素子28がオフ状態であり、第1のコンデンサ23に充電された電圧が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加

される。図2の(c)、(d)に示すように、第1のハーフブリッジ回路200では第1のハーフブリッジ回路200の第1のスイッチング素子201はオフ状態であり、第2のスイッチング素子202がオフ状態になり、第1のハーフブリッジ回路200の第1のコンデンサ203に電荷の充電が開始され、第2のコンデンサ204から電荷を放電し続け、第1のトランス31の二次巻線31bに流れる電流が一定となり、第1のトランス31の一次巻線31aに流れる電流が一定となる。

[0043] また、図2の(e)、(f)に示すように、第2のハーフブリッジ回路210では第2のハーフブリッジ回路210の第1のスイッチング素子211と第2のスイッチング素子212がオフ状態になり、第2のハーフブリッジ回路210の第1のコンデンサ213に電荷の充電が開始され、第2のコンデンサ214から電荷が放電し続け、第2のトランス32の二次巻線32bに流れる電流が一定となり、第2のトランス32の一次巻線32aに流れる電流が一定となる。

[0044] 次に図2の時刻T2～T3の動作を説明する。図2の(a)、(b)に示すように、第1のスイッチング素子27がオン状態であり、第2のスイッチング素子28もオフ状態であり、第1のコンデンサ23に充電された電圧が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加される。また、図2の(c)、(d)に示すように、第1のハーフブリッジ回路200では第1のスイッチング素子201がオン状態になり、第2のスイッチング素子202がオフ状態であり、第1のハーフブリッジ回路200の第1のコンデンサ203に電荷を充電し続け、第2のコンデンサ204から電荷を放電し続け、第1のトランス31の二次巻線31bに流れる電流が一定となり、第1のトランス31の一次巻線31aに流れる電流が一定となる。

[0045] また、図2の(e)、(f)に示すように、第2のハーフブリッジ回路210では第2のハーフブリッジ回路210の第1のスイッチング素子211がオン状態になり、第2のスイッチング素子212がオフ状態であり、第2

のハーフブリッジ回路 210 の第 1 のコンデンサ 213 に電荷を充電し続け、第 2 のコンデンサ 214 から電荷を放電し続け、第 2 のトランス 32 の二次巻線 32b に流れる電流が一定となり、第 2 のトランス 32 の一次巻線 32a に流れる電流が一定となる。

[0046] 次に図 2 の時刻 T3 ～ T4 の動作を説明する。図 2 の (a)、(b) に示すように、第 1 のスイッチング素子 27 がオフ状態になり、第 2 のスイッチング素子 28 がオフ状態であり、第 1 のトランス 31 の一次巻線 31a と第 2 のトランス 32 の一次巻線 32a に電圧は印加されない。また、図 2 の (c)、(d) に示すように、第 1 のハーフブリッジ回路 200 では第 1 のハーフブリッジ回路 200 の第 1 のスイッチング素子 201 がオン状態であり、第 2 のスイッチング素子 202 がオフ状態であり、第 1 のハーフブリッジ回路 200 の第 1 のコンデンサ 203 に電荷を充電し続け、第 2 のコンデンサ 204 から電荷を放電し続け、第 1 のトランス 31 の二次巻線 31b に流れる電流が一定となり、第 1 のトランス 31 の一次巻線 31a に流れる電流が一定となる。

[0047] また、図 2 の (e)、(f) に示すように、第 2 のハーフブリッジ回路 210 では第 2 のハーフブリッジ回路 210 の第 1 のスイッチング素子 211 がオン状態になり、第 2 のスイッチング素子 212 がオフ状態であり、第 2 のハーフブリッジ回路 210 の第 1 のコンデンサ 213 に電荷を充電し続け、第 2 のコンデンサ 214 から電荷を放電し続け、第 2 のトランス 32 の二次巻線 32b に流れる電流が一定となり、第 2 のトランス 32 の一次巻線 32a に流れる電流が一定となる。

[0048] 次に図 2 の時刻 T4 ～ T5 の動作を説明する。図 2 の (a)、(b) に示すように、第 1 のスイッチング素子 27 がオフ状態であり、第 2 のスイッチング素子 28 がオン状態になり、第 2 のコンデンサ 24 に充電された電圧が第 1 のトランス 31 の一次巻線 31a と第 2 のトランス 32 の一次巻線 32a に電圧は逆向きに印加される。

[0049] また、図 2 の (c)、(d) に示すように、第 1 のハーフブリッジ回路 2

00では第1のハーフブリッジ回路200の第1のスイッチング素子201がオン状態であり、第2のスイッチング素子202がオフ状態となり、第1のハーフブリッジ回路200の第1のコンデンサ203に電荷の放電が開始され、第2のコンデンサ204から電荷を放電し続け、第1のトランス31の二次巻線31bに流れる電流が減少を始め、第1のトランス31の一次巻線31aに流れる電流が減少する。

[0050] また図2の(e)、(f)に示すように、第2のハーフブリッジ回路210では第2のハーフブリッジ回路210の第1のスイッチング素子211がオン状態であり、第2のスイッチング素子212がオフ状態となり、第2のハーフブリッジ回路210の第1のコンデンサ213に電荷の放電を開始し、第2のコンデンサ214から電荷を放電し続け、第2のトランス32の二次巻線32bに流れる電流が減少を始め、第2のトランス32の一次巻線32aに流れる電流が減少する。時刻T4～T5が1/2周期に近づくにつれ、電流増加量が少なくなり出力電流が減少する。

[0051] 次に図2の時刻T5～T6の動作を説明する。図2の(a)、(b)に示すように、第1のスイッチング素子27がオフ状態、第2のスイッチング素子28がオン状態であり、第2のコンデンサ24に充電された電圧が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに逆向きに印加される。また、図2の(c)、(d)に示すように、第1のハーフブリッジ二次回路では第1のハーフブリッジ回路200の第1のスイッチング素子201がオフ状態になり、第2のスイッチング素子202がオフ状態であり、第1のハーフブリッジ回路200の第1のコンデンサ203で電荷の放電が終了し、第2のコンデンサ204で電荷の放電が終了し、第1のトランス31の二次巻線31bに流れる電流が一定となり、第1のトランス31の一次巻線31aに流れる電流が一定となる。

[0052] また、図2の(e)、(f)に示すように、第2のハーフブリッジ回路210では第2のハーフブリッジ回路210の第1のスイッチング素子211がオフ状態になり、第2のスイッチング素子212がオフ状態であり、第2

のハーフブリッジ回路 210 の第 1 のコンデンサ 213 で電荷の放電が終了し、第 2 のコンデンサ 214 で電荷の放電が終了し、第 2 のトランス 32 の二次巻線 32b に流れる電流が一定となり、第 2 のトランス 32 の一次巻線 32a に流れる電流が一定となる。

[0053] 次に図 2 の時刻 T6 ～ T7 の動作を説明する。図 2 の (a)、(b) に示すように、第 1 のスイッチング素子 27 がオフ状態、第 2 のスイッチング素子 28 がオン状態で、第 1 のコンデンサ 24 に充電された電圧が第 1 のトランス 31 の一次巻線 31a と第 2 のトランス 32 の一次巻線 32a に逆向きに印加される。また、図 2 の (c)、(d) に示すように、第 1 のハーフブリッジ回路 200 では第 1 のハーフブリッジ回路 200 の第 1 のスイッチング素子 201 がオフ状態であり、第 2 のスイッチング素子 202 がオン状態になり、第 1 のハーフブリッジ回路 200 の第 1 のコンデンサ 203 に電流が流れず、第 2 のコンデンサ 204 で電荷の充電が開始し、第 1 のトランス 31 の二次巻線 31b に流れる電流が一定となり、第 1 のトランス 31 の一次巻線 31a に流れる電流が一定となる。

[0054] また、図 2 の (e)、(f) に示すように、第 2 のハーフブリッジ回路 210 では第 2 のハーフブリッジ回路 210 の第 1 のスイッチング素子 211 がオフ状態になり、第 2 のスイッチング素子 212 がオン状態になり、第 2 のハーフブリッジ回路 210 の第 1 のコンデンサ 213 に電流が流れず、第 2 のコンデンサ 214 での充電が開始され、第 2 のトランス 32 の二次巻線 32b に流れる電流が一定となり、第 2 のトランス 32 の一次巻線 32a に流れる電流が一定となる。

[0055] 次に図 2 の時刻 T7 ～ T8 の動作を説明する。図 2 の (a)、(b) に示すように、第 1 のスイッチング素子 27 がオフ状態、第 2 のスイッチング素子 28 がオフ状態となり、第 1 のトランス 31 の一次巻線 31a と第 2 のトランス 32 の一次巻線 32a に電圧は印加されない。また、図 2 の (c)、(d) に示すように、第 1 のハーフブリッジ回路 200 では第 1 のハーフブリッジ回路 200 の第 1 のスイッチング素子 201 がオフ状態で、第 2 のスイッ

チング素子 202 がオン状態で、第 1 のハーフブリッジ回路 200 の第 1 のコンデンサ 203 に電流は流れず、第 2 のコンデンサ 204 で電荷を充電し続け、第 1 のトランス 31 の二次巻線 31b に流れる電流が一定となり、第 1 のトランス 31 の一次巻線 31a に流れる電流が一定となる。

[0056] また、図 2 の (e)、(f) に示すように、第 2 のハーフブリッジ回路 210 では第 2 のハーフブリッジ回路 210 の第 1 のスイッチング素子 211 がオフ状態で、第 2 のスイッチング素子 212 がオン状態で、第 2 のハーフブリッジ回路 210 の第 1 のコンデンサ 213 に電荷に電流が流れず、第 2 のコンデンサ 214 から電荷を充電し続け、第 2 のトランス 32 の二次巻線 32b に流れる電流が一定となり、第 2 のトランス 32 の一次巻線 32a に流れる電流が一定となる。

[0057] そして、一次回路のスイッチング素子 27、28 に対する各ハーフブリッジ回路 200、210 のスイッチング素子 201、202、211、212 のゲート信号を制御することによって出力量を調整することができる。上述したように、各ハーフブリッジ回路 200、210 と、加算器 43、按分制御器 44、比較器 45、46、及びスイッチング素子制御器 47、48 によって、フィードバック系統が形成されている。したがって、按分制御器 44 で求められた等出力量に収束するようにスイッチング素子制御器 47、48 によって夫々のハーフブリッジ回路 200、210 の出力が制御されるようになって、トランス毎に設けた二次回路の相互の電流値の不均衡を抑制することができるようになる。

[0058] 例えば、スイッチング素子制御器 47、48 によって各ハーフブリッジ回路 200、210 のスイッチング素子 201、202、211、212 のゲート信号の ON タイミング、つまりスイッチングする通電位相時期を制御することにより、各ハーフブリッジ二次回路のコンデンサ 203、204、213、214 の充放電時間が変化する。充放電時間の制御により、各ハーフブリッジ回路 200 と 210 の出力量を制御することができる。もちろん、各ハーフブリッジ回路 200、210 のスイッチング素子 201、202、

211、212の通電位相量を変更することによって出力量を調整できる。

[0059] 図3はスイッチング素子201、202、211、212のゲート信号のONタイミングである通電位相時期を制御する場合を示している。図3のように、一次回路のゲート信号に対して、各ハーフブリッジ回路200、210のハイサイド側のスイッチング素子201、211のゲート信号に $\phi 1$ と $\phi 2$ の位相差を有するゲート信号を与える構成としている。この場合、第1のハーフブリッジ回路200の第1のスイッチング素子201の通電位相時期に対して、第2のハーフブリッジ回路210の第1のスイッチング素子211の通電位相時期の方が遅くなって通電されるようになっている。尚、各第1のスイッチング素子201、202の通電位相量は同じ時間に設定されている。ここで、ローサイド側のスイッチング素子202、212はハイサイド側のスイッチング素子201、211に対して、デッドタイムを設けて相補的に動作させればよいものである。また、周知の通り、一次回路のスイッチング素子である第1のスイッチング素子27と第2のスイッチング素子28の時間比率、第1のハーフブリッジ回路200の第1スイッチング素子201と第2スイッチング素子202の時間比率、及び第2のハーフブリッジ回路210の第1スイッチング素子211と第2スイッチング素子212の時間比率はそれぞれの合計時比率が1となるように交互にON/OFFするものである。

[0060] このように、按分制御器44で得られた各トランスに設けられた二次回路毎の等出力量に対して、実際の二次回路の出力量がどの程度の量だけ乖離しているかを比較器45、46で比較し、この比較結果に基づいてスイッチング素子制御器47、48によって、各ハーフブリッジ回路200、210のハイサイド側のスイッチング素子201、211のゲート信号に $\phi 1$ と $\phi 2$ の位相差を有するゲート信号を与える構成としている。これによって、夫々のハーフブリッジ回路200、210の出力が制御されるようになって、各ハーフブリッジ回路200、210の素子や配線のばらつき、温度による素子の特性変化による各トランスに対応する二次回路の間での出力量の不均衡

を是正することができるようになるものである。

[0061] 次に、図4はスイッチング素子201、202、211、212のゲート信号のONしている時間である通電位相量を制御する場合を示している。この図4に示すものはいわゆる、各ハーフブリッジ回路200、210のハイサイド側のスイッチング素子201、211のゲート信号のONしている時間（ONデューティ）を制御することによって二次回路の出力量を制御する構成である。この場合も按分制御器44で得られた各トランスに設けられた二次回路毎の等出力量に対して、実際の二次回路の出力量がどの程度の量だけ乖離しているかを比較器45、46で比較し、この比較結果に基づいてスイッチング素子制御器47、48によって、各ハーフブリッジ回路200、210のハイサイド側のスイッチング素子201、211に通電位相量に対応したゲート信号を与える構成としている。これによって、夫々のハーフブリッジ回路200、210の出力が制御されるようになって、各ハーフブリッジ回路200、210の素子や配線のばらつき、温度による素子の特性変化による各トランスに対応する二次回路の間での出力量の不均衡を是正することができるようになるものである。

[0062] 図4にあるように、第1のハーフブリッジ回路200のスイッチング素子201に与える通電位相量に対応してチョークコイル35の出力量（電流値）が制御され、第2のハーフブリッジ回路210のスイッチング素子211に与える通電位相量に対応してチョークコイル39の出力量（電流値）が制御されるようになっている。これによって、夫々のハーフブリッジ回路200、210の出力が制御されるようになって、各ハーフブリッジ回路200、210の素子や配線のばらつき、温度による素子の特性変化による各トランスに対応する二次回路の間での出力量の不均衡を是正することができるようになるものである。

[0063] 尚、この他に、本実施例においては各トランス31、32の巻線31aと32aを直列に接続することにより、各トランス31、32の巻線31a、32aに印加される電圧が低減される。これにより、各トランス31、32

の小型化が図れ、また、各巻線 3 1 a、3 2 a の巻線抵抗における損失が低減されるという効果を奏することができる。更に、二次回路を並列化することにより、各回路に流れる電流を分散することができ、各二次回路で発生する損失は素子や配線の抵抗と電流の 2 乗の乗数であるため、二次回路の並列化により損失が低減されるという効果を奏することができる。

実施例 2

[0064] 次に本発明の第 2 の実施形態になる DC/DC 電力変換装置の構成について図 5 を用いて説明する。本実施例は一次回路がハーフブリッジ型で、複数のトランスの一次巻線同士を並列に接続した DC/DC 電力変換装置に本発明を適用したものである。

[0065] 図 5 において、一次回路には第 1 のトランス 3 1 の一次巻線 3 1 a と、第 2 のトランス 3 2 の一次巻線 3 2 a が並列に接続されている。そして、図 1 と同様に第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の出力量は、第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 と出力端子 4 0 b の間から取り出されている。これらの第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の夫々の出力量は加算器 4 3 によって加算されて、全体の総出力量が求められる。

[0066] 加算器 4 3 で求められた総出力量は按分制御器 4 4 に送られ、トランス 3 1、3 2 の個数で除算されて等出力量が求められる。また、按分制御器 4 4 には並列に第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の夫々の出力量が個別に入力される構成となっている。したがって、按分制御 4 4 は等出力量と、第 1 のハーフブリッジ回路 2 0 0 と第 2 のハーフブリッジ回路 2 1 0 の夫々の出力量が出力されることになる。按分制御器 4 4 から出力された等出力量と夫々のハーフブリッジ回路 2 0 0、2 1 0 の出力量は第 1 の比較器 4 5 と第 2 の比較器 4 6 に入力される。更に、第 1 の比較器 4 5 には第 1 のハーフブリッジ回路 2 0 0 の出力量が入力され、第 2 の比較器 4 5 には第 2 のハーフブリッジ回路 2 1 0 の出力量が入力される。

[0067] したがって、夫々の比較器 4 5、4 6 においては等出力量に対して出力量

が大きければ出力量を小さくするための比較出力信号を出力し、等出力量に対して出力量が小さければ出力量を大きくするための比較出力信号を出力するものである。そして、第1の比較器45の比較出力信号は第1のハーフブリッジ回路200のスイッチング素子201、202の制御を行う第1のスイッチング素子制御器47に入力され、第2の比較器46の比較出力信号は第2のハーフブリッジ回路210のスイッチング素子211、212の制御を行う第2のスイッチング素子制御器48に入力される。これらのスイッチング素子制御器47、48は、各スイッチング素子201、202、211、212がONにスイッチングする時の通電位相時期や、通電している時間である通電位相量を調節することによって各ハーフブリッジ回路200、210の出力量を制御することができるものである。

[0068] このように、本実施例も実施例1と同様の効果を奏することができる他、トランスの一次巻線31a、32aが並列に接続されていることにより、トランス31、32の電流が分散されことにより、トランスの巻線での損失の低減を図ることができる。得る。

実施例 3

[0069] 次に本発明の第3の実施形態になるDC/DC電力変換装置の構成について図6を用いて説明する。本実施例は一次回路がフルブリッジ型で、複数のトランスの一次巻線同士を直列に接続したDC/DC電力変換装置に本発明を適用したものである。

[0070] フルブリッジ型DC/DC電力変換装置は、図1の一次回路にあるコンデンサ23、24を第3のスイッチング素子23aと第4のスイッチング素子24aに置き換えたものである。その他の構成は図1に示す構成と実質的の同一の構成となっている。尚、第1のスイッチング素子27と第3のスイッチング素子23aは同一のゲート信号波形が印加され、第2のスイッチング素子28と第4のスイッチング素子24aにも同一のゲート信号波形が印加され、互いにON/OFF動作を繰り返すものである。ここで、2つのゲート信号は同時にON、或いはOFFになることはなく、互いにON/OFF動作を繰り返す。

返すものである。

[0071] そして、図2において、(a)は第1スイッチング素子27と第4のスイッチング素子24aの信号波形を示し、(b)は第2のスイッチング素子28と第3のスイッチング素子23aの信号波形を示すにものである。また、(c)、(d)は第1のハーフブリッジ回路200の第1スイッチング素子201と第2のスイッチング素子202の駆動波形を示し、(e)と(f)は第2のハーフブリッジ回路210の第1スイッチング素子211と第2のスイッチング素子212の駆動波形を示している。(g)は第1トランス31の一次巻線31aと、第2トランス32の一次巻線32aの電流波形を示している。尚、各トランス31、32の二次回路の動作は実質的に図1に示した構成と同じなので説明は省略する。

[0072] 第1トランス31の一次巻線31a、第2のトランス32の一次巻線32aに流れる電流について説明する。図2の時刻T0～T1において、図2の(a)、(b)に示すように、第1のスイッチング素子27と第4のスイッチング素子24aがオン状態になり、第2のスイッチング素子28と第3のスイッチング素子23aがオフ状態であり、直流電源21が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加される。

[0073] 次に、時刻T1～T2において、図2の(a)、(b)に示すように、第1のスイッチング素子27と第4のスイッチング素子24aがオン状態であり、第2のスイッチング素子28と第3のスイッチング素子23aがオフ状態であり、直流電源21が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加される。

[0074] 次に、時刻T2～T3において、図2の(a)、(b)に示すように、第1のスイッチング素子27と第4のスイッチング素子24aがオン状態であり、第2のスイッチング素子28と第3のスイッチング素子23aがオフ状態であり、直流電源21が第1のトランス31の一次巻線31aと第2のトランス32の一次巻線32aに印加される。

- [0075] 次に、時刻T 3～T 4において、図2の（a）、（b）に示すように、第1のスイッチング素子2 7と第4のスイッチング素子2 4 aがオフ状態になり、第2のスイッチング素子2 8と第3のスイッチング素子2 3 aがオフ状態であり、第1のトランス3 1の一次巻線3 1 aと第2のトランス3 2の一次巻線3 2 aに電圧は印加されない。
- [0076] 次に、時刻T 4～T 5において、図2の（a）、（b）に示すように、第1のスイッチング素子2 7と第4のスイッチング素子2 4 aがオフ状態であり、第2のスイッチング素子2 8と第3のスイッチング素子2 3 aがオン状態になり、直流電源2 1が第1のトランス3 1の一次巻線3 1 aと第2のトランス3 2の一次巻線3 2 aに電圧は逆向きに印加される。
- [0077] 次に、時刻T 5～T 6において、図2の（a）、（b）に示すように、第1のスイッチング素子2 7と第4のスイッチング素子2 4 aがオフ状態であり、第2のスイッチング素子2 8と第3のスイッチング素子2 3 aがオン状態であり、直流電源2 1が第1のトランス3 1の一次巻線3 1 aと第2のトランス3 2の一次巻線3 2 aに逆向きに印加される。
- [0078] 次に、時刻T 6～T 7において、図2の（a）、（b）に示すように、第1のスイッチング素子2 7と第4のスイッチング素子2 4 aがオフ状態、第2のスイッチング素子2 8と第3のスイッチング素子2 3 aがオン状態で、直流電源2 1が第1のトランス3 1の一次巻線3 1 aと第2のトランス3 2の一次巻線3 2 aに逆向きに印加される。
- [0079] 次に、時刻T 7～T 8において、図2の（a）、（b）に示すように、第1のスイッチング素子2 7と第4のスイッチング素子2 4 aがオフ状態であり、第2のスイッチング素子2 8と第3のスイッチング素子2 3 aがオフ状態となり、第1のトランス3 1の一次巻線3 1 aと第2のトランス3 2の一次巻線3 2 aに電圧は印加されない。
- [0080] このようにして、第1のスイッチング素子2 7と第3のスイッチング素子2 3 a、及び第2のスイッチング素子2 8と第4のスイッチング素子2 4 aが制御されることで、トランス3 1、3 2の一次巻線3 1 a、3 2 aの一次

電流が制御されるものである。

[0081] そして、図 1 と同様に第 1 のハーフブリッジ回路 200 と第 2 のハーフブリッジ回路 210 の出力量は、第 1 のハーフブリッジ回路 200 と第 2 のハーフブリッジ回路 210 と出力端子 40b の間から取り出されている。これらの第 1 のハーフブリッジ回路 200 と第 2 のハーフブリッジ回路 210 の夫々の出力量は加算器 43 によって加算されて、全体の総出力量が求められる。

[0082] 加算器 43 で求められた総出力量は按分制御器 44 に送られ、トランス 31、32 の個数で除算されて等出力量が求められる。また、按分制御器 44 には並列に第 1 のハーフブリッジ回路 200 と第 2 のハーフブリッジ回路 210 の夫々の出力量が個別に入力される構成となっている。したがって、按分制御器 44 は等出力量と、第 1 のハーフブリッジ回路 200 と第 2 のハーフブリッジ回路 210 の夫々の出力量が出力されることになる。按分制御器 44 から出力された等出力量と夫々のハーフブリッジ回路 200、210 の出力量は第 1 の比較器 45 と第 2 の比較器 46 に入力される。更に、第 1 の比較器 45 には第 1 のハーフブリッジ回路 200 の出力量が入力され、第 2 の比較器 45 には第 2 のハーフブリッジ回路 210 の出力量が入力される。

[0083] したがって、夫々の比較器 45、46 においては等出力量に対して出力量が大きければ出力量を小さくするための出力信号を出力し、等出力量に対して出力量が小さければ出力量を大きくするための出力信号を出力するものである。そして、第 1 の比較器 45 の出力信号は第 1 のハーフブリッジ回路 200 のスイッチング素子 201、202 の制御を行う第 1 のスイッチング素子制御器 47 に入力され、第 2 の比較器 46 の出力信号は第 2 のハーフブリッジ回路 210 のスイッチング素子 211、212 の制御を行う第 2 のスイッチング素子制御器 48 に入力される。これらのスイッチング素子制御器 47、48 は、各スイッチング素子 201、202、211、212 が ON にスイッチングする時の通電位相時期や、通電している時間である通電位相量を調節することによって各ハーフブリッジ回路 200、210 の出力量を制

御することができるものである。

[0084] このように、本実施例も実施例 1 と同様の効果を奏することができる他、本実施例においては一次回路をフルブリッジ回路とすることで、トランスへの印加電圧がハーフブリッジ回路の 2 倍となるため、より多くの電力を二次回路に伝えることが可能となり、DC/DC 電力変換装置の大電力、高電力密度に対応することが可能となる。

[0085] 更に、各トランス 3 1、3 2 の巻線 3 1 a と 3 2 a を直列に接続することにより、各トランス 3 1、3 2 の巻線 3 1 a、3 2 a に印加される電圧が低減される。これにより、各トランス 3 1、3 2 の小型化が図れ、また、各巻線 3 1 a、3 2 a の巻線抵抗における損失が低減されるという効果を奏することができる。更に、二次回路を並列化することにより、各回路に流れる電流を分散することができ、各二次回路で発生する損失は素子や配線の抵抗と電流の 2 乗の乗数であるため、二次回路の並列化により損失が低減されるという効果を奏することができる。

実施例 4

[0086] 次に本発明の第 4 の実施形態になる DC/DC 電力変換装置の構成について図 7、図 8 を用いて説明する。本実施例は実施例 1 で説明した DC/DC 電力変換装置を複数個、ここでは 2 個だけ用いるようにして、DC/DC 電力変換装置の夫々の一次回路および二次回路を並列に接続したマルチフェーズ方式を適用したものである。図 7 にあるように、第 1 の DC/DC 電力変換装置 6 の一次回路と二次回路は直流電源 2 1 の正極と負極に接続され、同様に第 2 の DC/DC 電力変換装置 7 の一次回路と二次回路は直流電源 2 1 の正極と負極に接続されている。そして、この 2 個の DC/DC 電力変換装置 6、7 の動作は以下の通りである。

[0087] 図 8 において、(a) は第 1 の DC/DC 電力変換装置 6 の一次回路のハイサイド側のスイッチング素子 2 7 のゲート信号波形を示し、(b) は第 1 の DC/DC 電力変換装置 6 の第 1 のハーフブリッジ回路 2 0 0 のハイサイド側のスイッチング素子 2 0 1 のゲート信号波形を示し、(c) は第 1 の DC/D

C電力変換装置6の第2のハーフブリッジ回路210のハイサイド側のスイッチング素子211のゲート信号波形を示している。

[0088] 同様に、(d)は第2のDC/DC電力変換装置7の一次回路のハイサイド側のスイッチング素子27のゲート信号波形を示し、(e)は第2のDC/DC電力変換装置7の第1のハーフブリッジ回路200のハイサイド側のスイッチング素子201のゲート信号波形を示し、(f)は第2のDC/DC電力変換装置7の第2のハーフブリッジ回路210のハイサイド側のスイッチング素子211のゲート信号波形を示している。

[0089] また、(g)は第1のDC/DC電力変換装置6のチョークコイルに流れる電流波形を示し、(h)は第2のDC/DC電力変換装置7のチョークコイルに流れる電流波形を示している。そして、(i)は第1のDC/DC電力変換装置6と第2のDC/DC電力変換装置の合成電流つまり、第1のDC/DC電力変換装置6のチョークコイルに流れる電流波形と、第2のDC/DC電力変換装置7のチョークコイルに流れる電流波形の和である。

[0090] 本実施例においては、第1のDC/DC電力変換装置6の各スイッチング素子のゲート信号波形(a)～(c)を基準にして、第2のDC/DC電力変換装置7の各スイッチング素子のゲート信号波形を位相 θ だけ遅らせている。例えば、図8では(a)に示す第1のDC/DC電力変換装置6の一次回路のハイサイド側のスイッチング素子27のゲート信号波形に対して、(d)に示す第2のDC/DC電力変換装置7の一次回路のハイサイド側のスイッチング素子27のゲート信号波形は位相 θ だけずれている。同様に、(b)に示す第1のDC/DC電力変換装置6の第1のハーフブリッジ回路200のハイサイド側のスイッチング素子201のゲート信号波形に対して、(e)に示す第2のDC/DC電力変換装置7の第1のハーフブリッジ回路200のハイサイド側のスイッチング素子211のゲート信号波形は位相 θ だけずれ、また、(c)に示す第1のDC/DC電力変換装置6の第2のハーフブリッジ回路210のハイサイド側のスイッチング素子211のゲート信号波形に対して、(f)に示す第2のDC/DC電力変換装置7の第2のハーフブリッジ回

路 2 1 0 のハイサイド側のスイッチング素子 2 1 1 のゲート信号波形は位相 θ だけずれている。

[0091] これによって、第 1 の DC/DC 電力変換装置 6 のチョーコイルに流れる電流と第 2 の DC/DC 電力変換装置 7 のチョーコイルに流れる電流の位相差が θ となる。したがって、合成される出力電流は、お互いのリップル電流も合成されることになって DC/DC 電力変換装置の合計出力リップル電流が低減されるようになる。これにより、負荷に安定な直流電圧を提供することが可能となる。更に、並列で駆動するため、大出力の DC/DC 電力変換装置を提供することが可能となる。

[0092] 以上説明した実施例においては、トランスの数は 2 個で説明を行ったが、この個数に限定されるものではなく、3 個以上のトランスを用い、これらを直列に接続、或いは並列に接続とするとしても良いものである。更に、各トランスの一次巻線、二次巻線の巻数比の値は異なっても良いものである。

[0093] 本発明を総括すると、本発明においては複数のトランス毎に設けた二次回路の出力量を加算した総出力量をトランスの個数で除算して等出力量を求め、この等出力量と各二次回路の出力量を比較して各二次回路の出力量が等出力量に収束するように各二次回路のスイッチング素子を制御する構成とした。これによって、複数のトランスに対して一次回路を共通化するので一次回路の損失、或いはコストの低減が図れると共に、トランス毎の二次回路の出力量を相互に可及的に近づけることができるようになる。したがって、各二次回路の素子や配線のばらつき、温度による素子の特性変化による、各トランスに対応する個々の二次回路の間で出力量の不均衡を是正することができるようになるものである。

符号の説明

[0094] 1 … DC/DC 電力変換装置、2 1 … 入力直流電圧、2 2 a、2 2 b … 入力端子、2 3 … 第 1 のコンデンサ、2 4 … 第 2 のコンデンサ、2 7 … 第 1 のスイッチング素子、2 8 … 第 2 のスイッチング素子、3 1 … 第 1 のトランス、3

1 a…第1のトランスの一次巻線、3 1 b…第1のトランスの二次巻線、3 2…第2のトランス、3 2 a…第2のトランスの一次巻線、3 2 b…第2のトランスの二次巻線、3 5…第1のチョークコイル、3 6…平滑コンデンサ、3 9…第2のチョークコイル、4 0 a、4 0 b…出力端子、4 1…負荷、4 2…共振コイル、4 3…加算回路、4 4…按分制御回路、4 5、4 6…比較器、4 7…スイッチング素子制御器、2 0 0…第1のハーフブリッジ回路2 0 0、2 0 1…第1のスイッチング素子、2 0 2…第2のスイッチング素子、2 0 3…第1のコンデンサ、2 0 4…第2のコンデンサ、2 1 0…第2のハーフブリッジ回路、2 1 1…第1のスイッチング素子、2 1 2…第2のスイッチング素子、2 1 3…第1のコンデンサ、2 1 4…第2のコンデンサ。

請求の範囲

[請求項1] 直流入力を複数のトランスを用いて電力変換して直流出力を得る絶縁型の電力変換装置において、

前記複数のトランスに巻かれた複数の一次巻線に流れる一次電流を共通して制御するため前記複数の一次巻線に共通に使用される一次回路と、

前記複数のトランスに巻かれた複数の二次巻線に流れる二次電流を制御するため前記複数の二次巻線に個別に使用される二次回路と、

前記複数のトランス毎に設けた前記二次回路の実際の出力量を加算した総出力量をトランスの個数で除算して等出力量を求め、この等出力量と前記二次回路の実際の出力量を比較して各二次回路の出力量が等出力量に収束するように各二次回路の出力量を調整する出力調整部を備えたことを特徴とする電力変換装置。

[請求項2] 請求項1に記載の電力変換装置において、

前記出力調整部は、

前記個々の二次回路の出力量を加算して総出力量を求める加算機能部と、

前記加算機能部で求められた総出力量を前記トランスの個数で除算して前記個々の二次回路の等出力量を求める按分機能部と、

前記按分機能部で求められた等出力量と前記個々の二次回路の実際の出力量を比較し、この比較結果を出力する比較機能部と、

前記比較機能部の比較結果に基づき、前記個々の二次回路の出力量を前記等出力量に収束させる出力可変機能部とを備えたことを特徴とする電力変換装置。

[請求項3] 請求項2に記載の電力変換装置において、

前記各二次回路は、少なくとも前記二次巻線の一端が間に接続された2個のスイッチング素子と、前記二次巻線他端が間に接続された2個のコンデンサからなるハーフブリッジ回路と、前記ハーフブリッ

ジ回路の出力端に接続されたチョークコイルとからなり、

前記出力可変機能部は前記 2 個のスイッチング素子のゲート信号を調整して前記個々の二次回路の出力量を前記等出力量に収束させることを特徴とする電力変換装置。

[請求項4] 請求項 3 に記載の電力変換装置において、

前記出力可変機能部は前記 2 個のスイッチング素子のゲート信号の通電時間である通電位相量か、或いは前記 2 個のスイッチング素子の ON するタイミングである通電位相時期を調整して前記個々の二次回路の出力量を前記等出力量に収束させることを特徴とする電力変換装置。

[請求項5] 請求項 1 に記載の電力変換装置において、

前記出力調整部は、

前記個々の二次回路の電流値を加算して総電流値を求める加算機能部と、

前記加算機能部で求められた総電流値を前記トランスの個数で除算して前記個々の二次回路の等電流値を求める按分機能部と、

前記按分機能部で求められた等電流値と前記個々の二次回路の実際の電流値を比較し、この比較結果を出力する比較機能部と、

前記比較機能部の比較結果に基づき、前記個々の二次回路の電流値を前記等電流値に収束させる出力可変機能部とを備えたことを特徴とする電力変換装置。

[請求項6] 請求項 5 に記載の電力変換装置において、

前記一次回路は、複数のトランスの一次巻線同士を接続し、かつ少なくとも 2 個のスイッチング素子で構成された直流を交流に変換する回路であり、

前記個々の二次回路は、前記トランスの二次巻線の一端が 2 個のスイッチング素子の間に接続され、前記トランスの二次巻線他端が 2 個のコンデンサの間に接続されたハーフブリッジ回路と、前記ハーフ

ブリッジ回路の出力端に接続されたチョークコイルからなる回路であり、

前記個々の二次回路の出力端からの電流が前記加算機能部で加算されて総電流値が求められ、

前記加算機能部で求められた総電流値が前記按分機能部で前記トランスの個数で除算して前記個々の二次回路の等電流値が求められ、

前記按分機能部で求められた等電流値が比較機能部で前記個々の二次回路の実際の電流値と比較して比較結果が出力され、

前記比較機能部で求められた比較結果に基づき、前記出力可変機能部で前記2個のスイッチング素子のゲート信号を制御して前記個々の二次回路の電流値を前記等電流値に収束させることを特徴とする電力変換装置。

[請求項7] 請求項6に記載の電力変換装置において、

前記複数のトランスの一次巻線は相互に直列に接続されて前記一次回路に接続されるか、或いは相互に並列に接続されて前記一次回路に接続されていることを特徴とする電力変換装置。

[請求項8] 請求項6に記載の電力変換装置において、

前記一次回路は直列に接続された前記2個のスイッチング素子と、直列に接続された2個のコンデンサからなるハーフブリッジ回路か、或いは直列に接続された前記2個のスイッチング素子と、直列に接続された2個のコンデンサをスイッチング素子に置き換えたフルブリッジ回路であることを特徴とする電力変換装置。

[請求項9] 請求項1乃至請求項8のいずれかに記載の電力変換装置を複数個用いると共に、夫々の電力変換装置を並列にして直流電源に接続し、夫々の電力変換装置の出力端を合成して出力することを特徴とする電力変換装置。

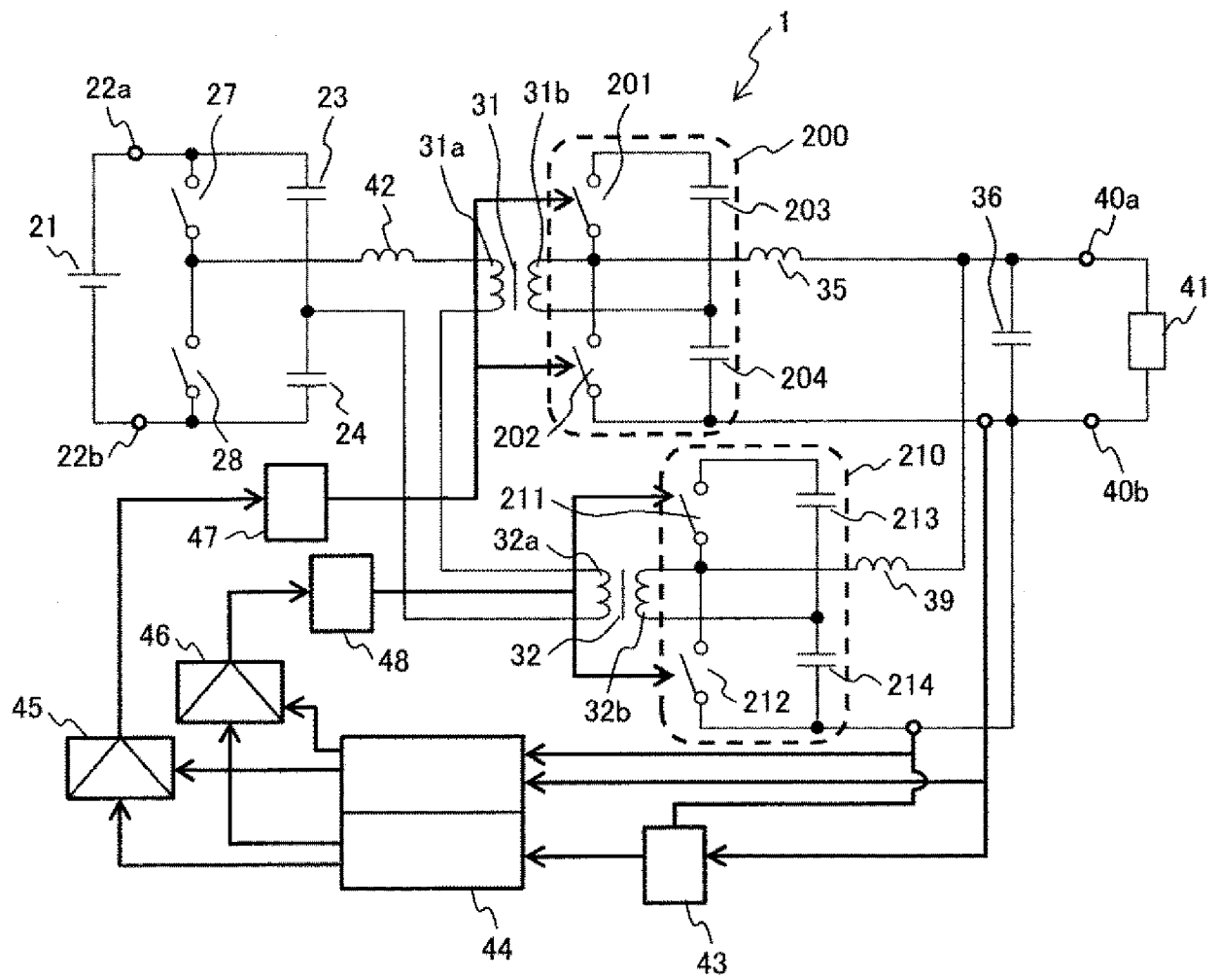
[請求項10] 請求項9に記載の電力変換装置において、

前記夫々の電力変換装置の前記二次回路は位相をずらして前記二次

巻線の電流が制御されることを特徴とする電力変換装置。

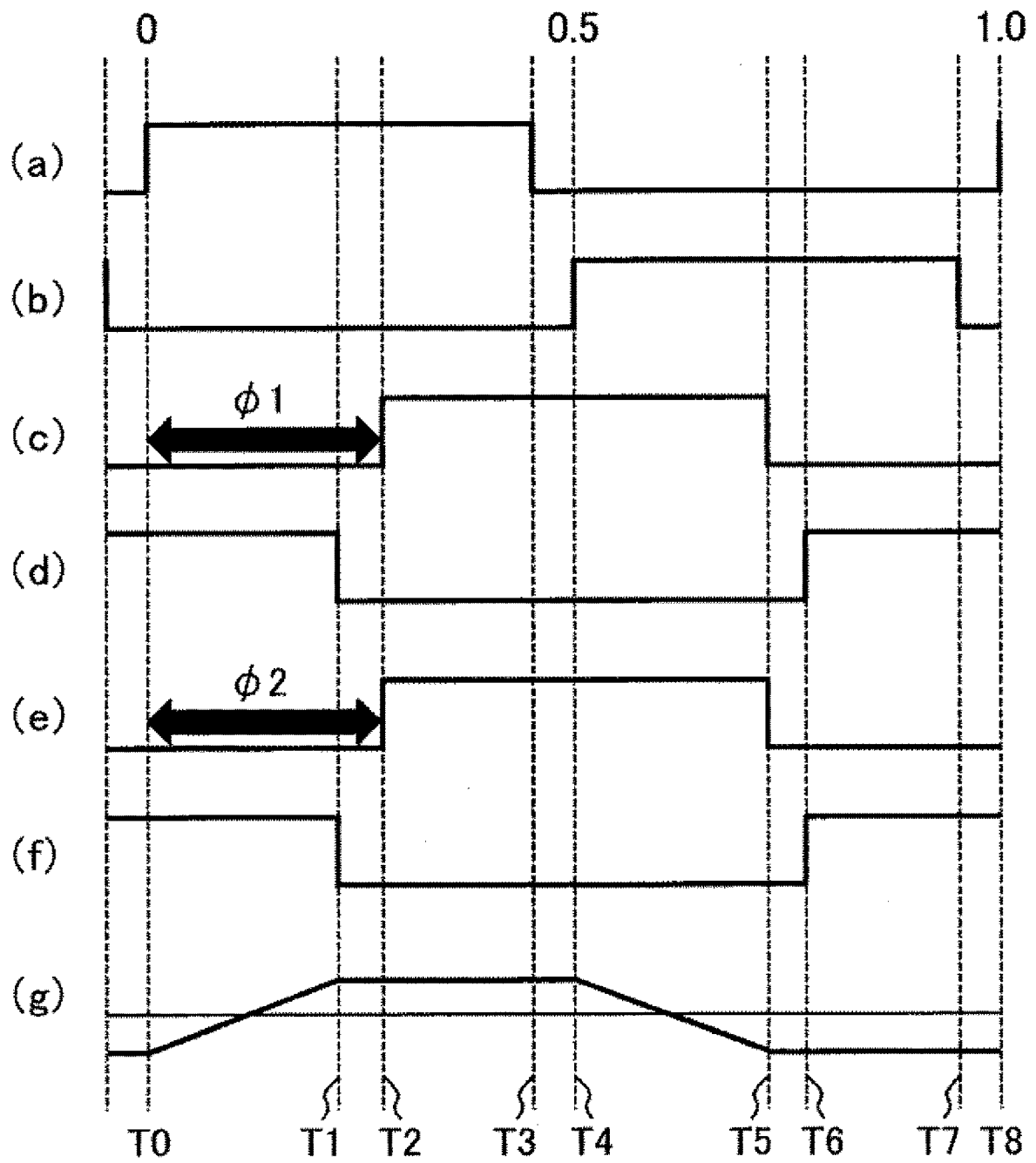
[図1]

図 1



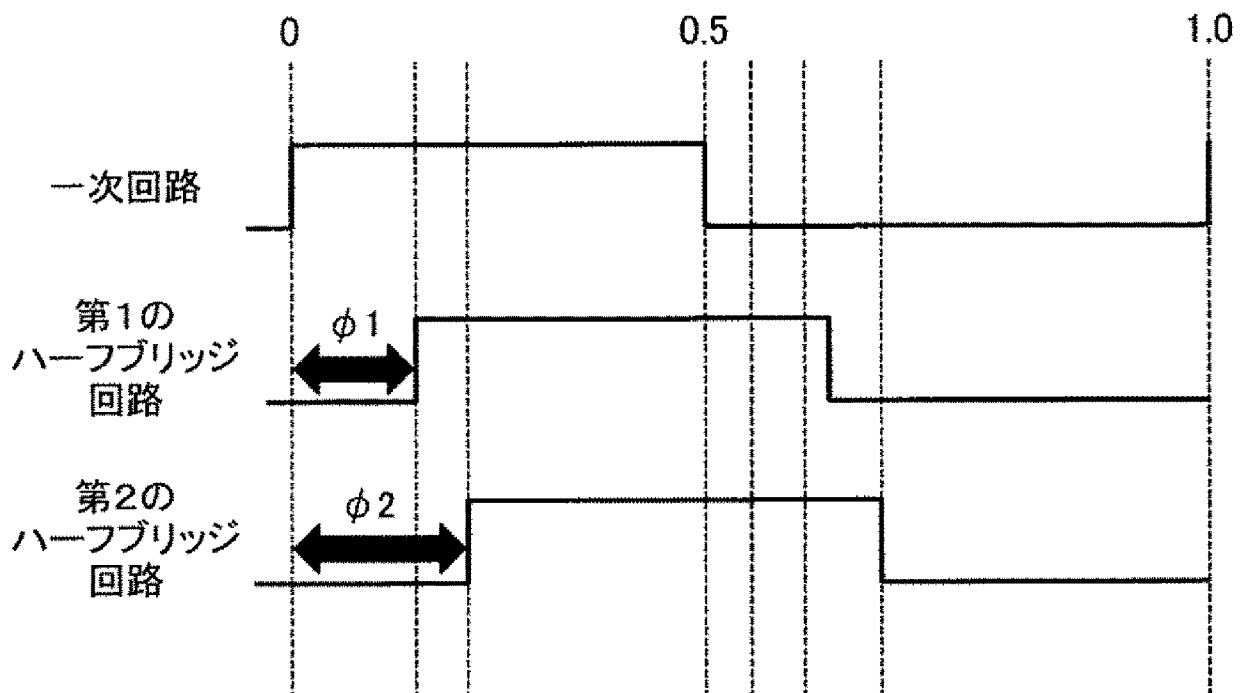
[図2]

図 2



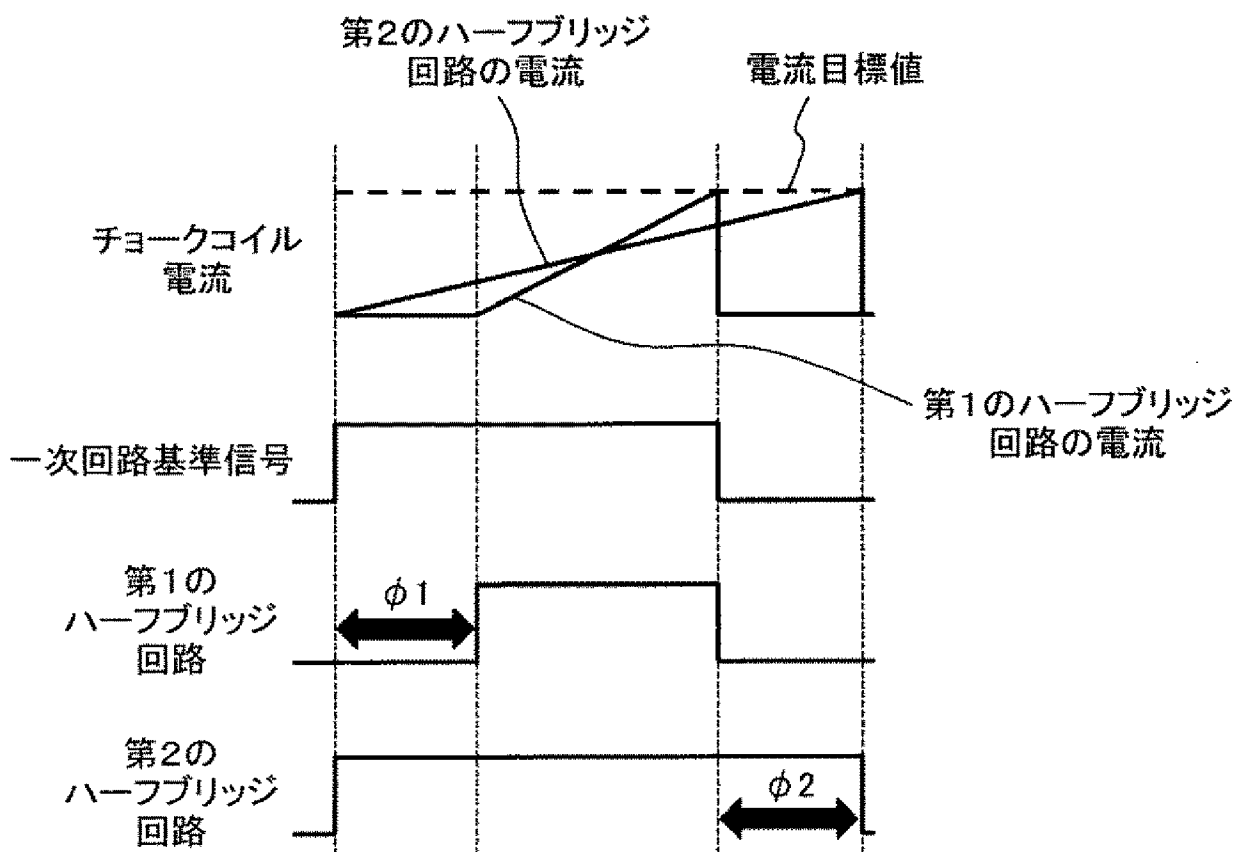
[図3]

図 3



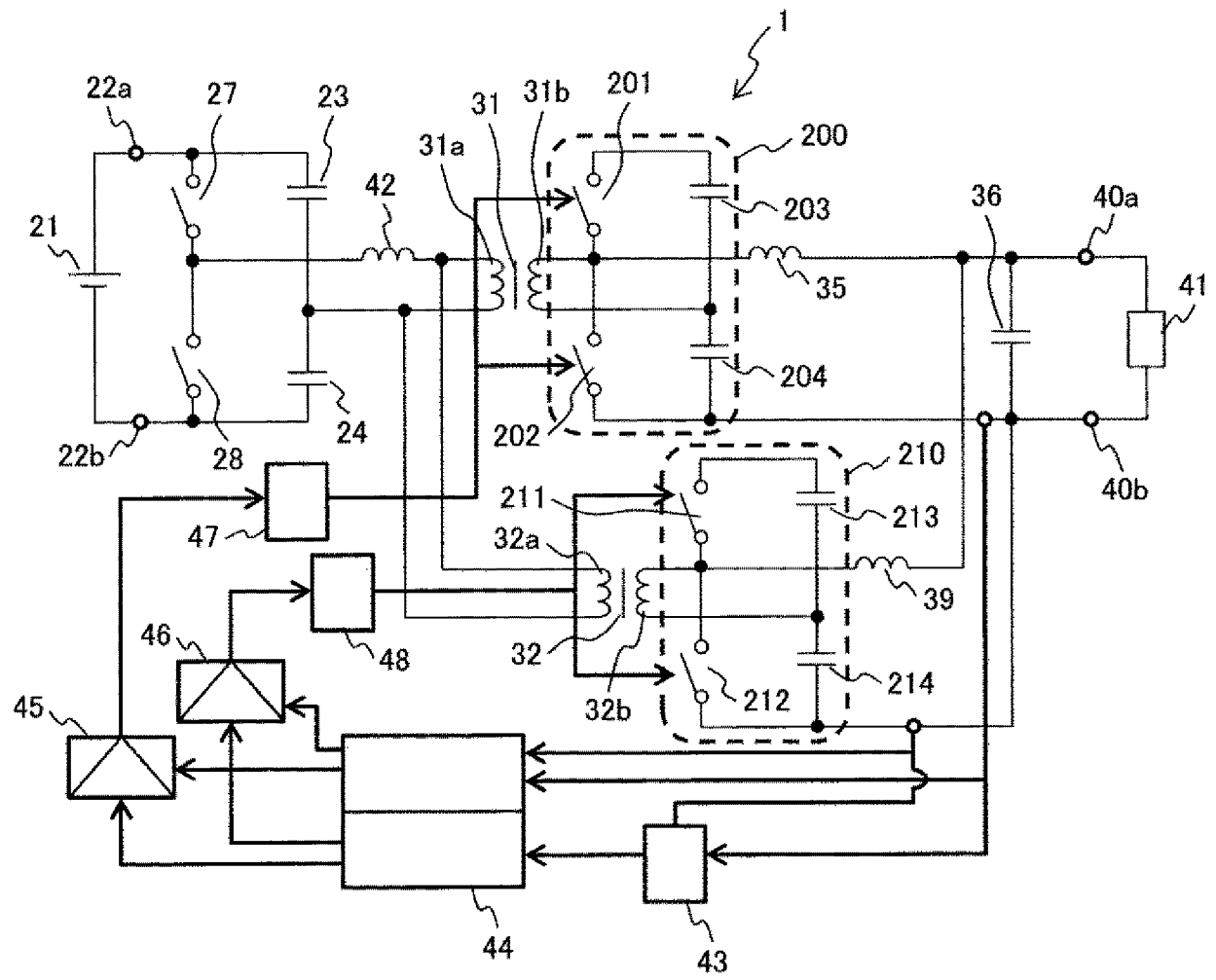
[図4]

図 4



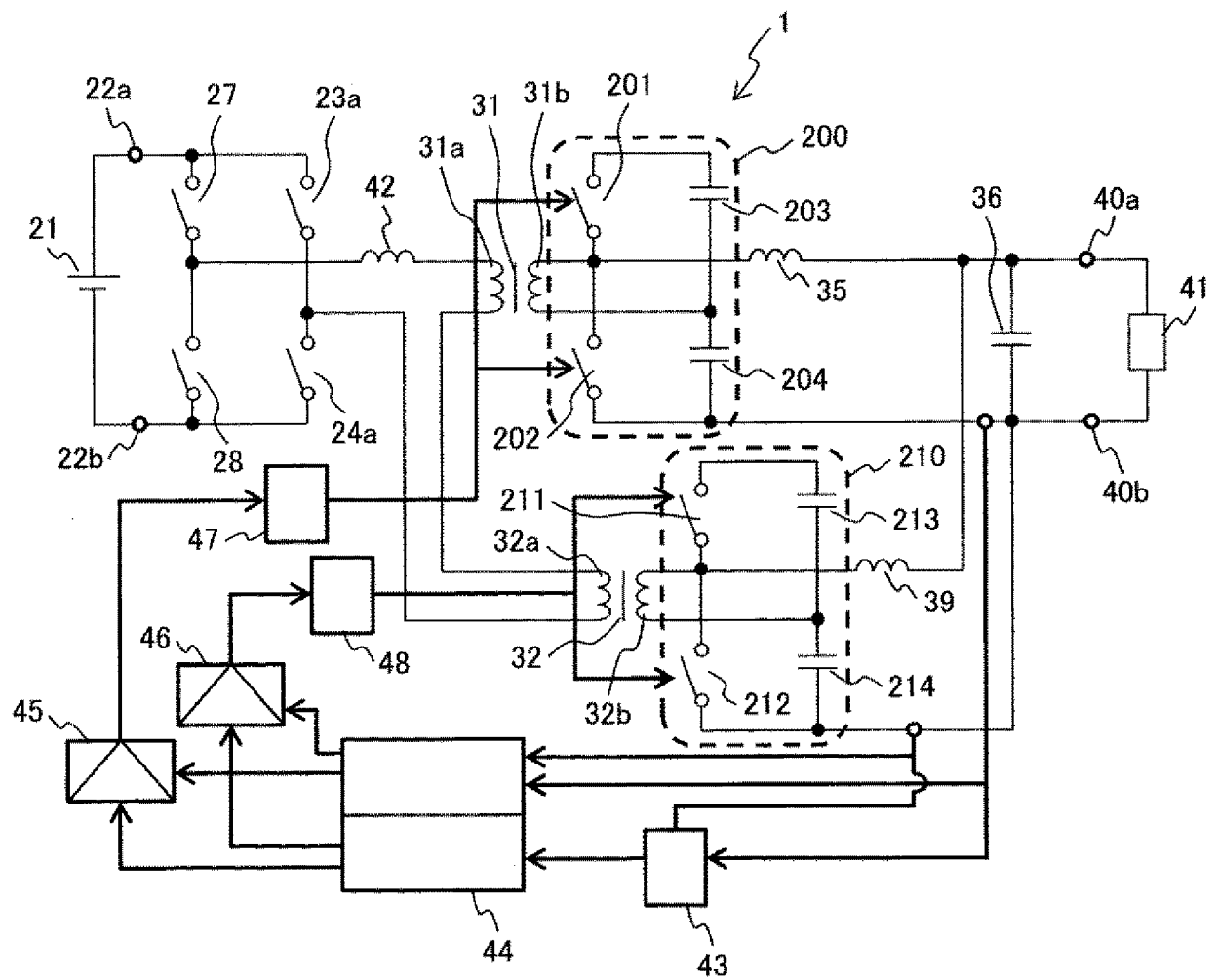
[図5]

図 5



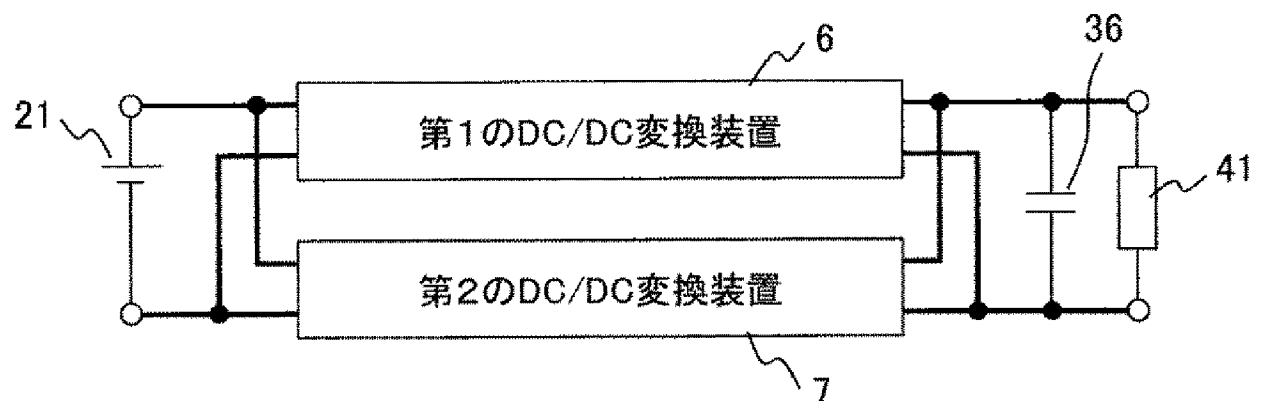
[図6]

図 6



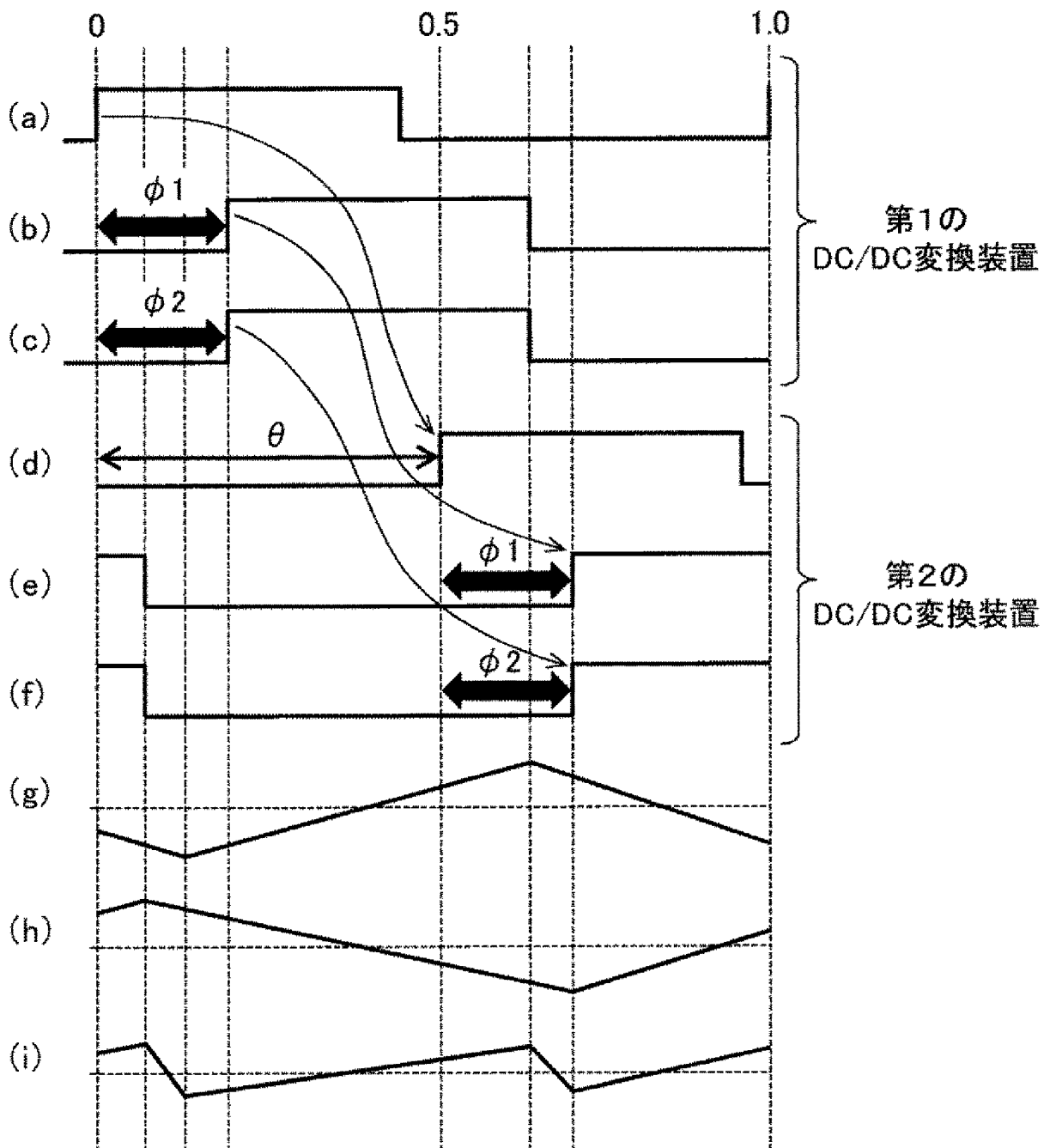
[図7]

図 7



[図8]

図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063404

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01)i, H02M3/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28, H02M3/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-178205 A (Densei-Lambda Kabushiki Kaisha), 31 July 2008 (31.07.2008), paragraphs [0019] to [0035]; fig. 1 (Family: none)	1-10
A	JP 2004-289944 A (Nagano Japan Radio Co., Ltd.), 14 October 2004 (14.10.2004), fig. 1 (Family: none)	1-10
A	JP 3-60370 A (Fujitsu Ltd.), 15 March 1991 (15.03.1991), fig. 1 to 3 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 July, 2014 (28.07.14)

Date of mailing of the international search report
05 August, 2014 (05.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063404

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-92173 A (Toshiba Corp.), 10 May 1986 (10.05.1986), fig. 1 & US 4663702 A & DE 3536380 A & NZ 213799 A & AU 4838785 A & ZA 8507793 A & AU 559405 B	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/28(2006.01)i, H02M3/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/28, H02M3/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-178205 A（デンセイ・ラムダ株式会社）2008.07.31, 段落[0019]-[0035], 図1（ファミリーなし）	1-10
A	JP 2004-289944 A（長野日本無線株式会社）2004.10.14, 図1（ファミリーなし）	1-10
A	JP 3-60370 A（富士通株式会社）1991.03.15, 第1-3図（ファミリーなし）	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28.07.2014

国際調査報告の発送日

05.08.2014

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 貞雄

3V

4129

電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 61-92173 A (株式会社東芝) 1986. 05. 10, 第 1 図 & US 4663702 A & DE 3536380 A & NZ 213799 A & AU 4838785 A & ZA 8507793 A & AU 559405 B	1-10