

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5169597号

(P5169597)

(45) 発行日 平成25年3月27日 (2013. 3. 27)

(24) 登録日 平成25年1月11日 (2013. 1. 11)

(51) Int. Cl.

F I

G 1 1 C 29/12 (2006. 01)

G 1 1 C 29/00 6 7 1 B

G O 1 R 31/28 (2006. 01)

G O 1 R 31/28 B

G 1 1 C 11/413 (2006. 01)

G O 1 R 31/28 G

G 1 1 C 11/34 3 4 1 D

請求項の数 10 (全 15 頁)

(21) 出願番号 特願2008-200094 (P2008-200094)
 (22) 出願日 平成20年8月1日 (2008. 8. 1)
 (65) 公開番号 特開2010-40085 (P2010-40085A)
 (43) 公開日 平成22年2月18日 (2010. 2. 18)
 審査請求日 平成23年5月2日 (2011. 5. 2)

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100119987
 弁理士 伊坪 公一
 (74) 代理人 100081330
 弁理士 樋口 外治
 (74) 代理人 100141254
 弁理士 榎原 正巳
 (74) 代理人 100113826
 弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 集積回路および試験方法

(57) 【特許請求の範囲】

【請求項 1】

メモリと、

前記メモリを試験するメモリ試験回路と、

入出力ポートと

を備え、

前記メモリ試験回路は、

前記メモリの出力をラッチするラッチ回路を備え、

アクセスする前記メモリのアドレスを、第1クロックに応じて全アドレスをアクセスするように変化させた時の前記メモリの出力を、前記第1クロックの整数倍の周期を有するラッチ信号に応じてラッチするように前記ラッチ回路を動作させるスキャン・ラッチ動作を行い、

前記ラッチ信号の1周期中に、前記ラッチ回路のラッチしたデータを、前記入出力ポートを介して出力する転送動作を行い、

前記ラッチ回路がラッチする前記メモリの出力に対応するメモリセルのアドレス位置を変化させて、前記スキャン・ラッチ動作および前記転送動作を繰り返し、全メモリセルの出力を外部に出力することを特徴とする集積回路。

【請求項 2】

前記集積回路は、前記入出力ポートを介して外部と通信すると共に前記メモリにアクセスする他の回路を備え、前記メモリは前記他の回路を介してのみアクセス可能であること

10

20

を特徴とする請求項 1 に記載の集積回路。

【請求項 3】

前記メモリ試験回路は、前記第 1 クロックから前記ラッチ信号を発生するカウンタを備えることを特徴とする請求項 1 または 2 に記載の集積回路。

【請求項 4】

前記カウンタは、リニアフィードバックシフトレジスタであることを特徴とする請求項 3 に記載の集積回路。

【請求項 5】

前記メモリ試験回路は、前記第 1 クロックより低速のテストクロックから前記第 1 クロックを発生する PLL 回路をさらに備えることを特徴とする請求項 1 または 2 に記載の集積回路。

10

【請求項 6】

外部から直接アクセスできないメモリを有する集積回路の前記メモリを試験する試験方法であって、

アクセスする前記メモリのアドレスを第 1 クロックに応じて全アドレスをアクセスするように変化させ、

アクセスした前記メモリの出力を、前記第 1 クロックの整数倍の周期を有するラッチ信号に応じてラッチするスキャン・ラッチ動作を行い、

前記ラッチ信号の 1 周期中に、前記ラッチしたデータを、入出力ポートを介して出力する転送動作を行い、

20

ラッチする前記メモリの出力に対応するメモリセルのアドレス位置を変化させて、前記スキャン・ラッチ動作および前記転送動作を繰り返し、全メモリセルの出力を外部に出力することを特徴とする試験方法。

【請求項 7】

前記集積回路は、前記メモリのほかに、前記入出力ポートを介して外部と通信すると共に前記メモリにアクセスする他の回路を備え、前記メモリは前記他の回路を介してのみアクセス可能であることを特徴とする請求項 6 に記載の試験方法。

【請求項 8】

前記ラッチ信号は、前記第 1 クロックを分周して発生することを特徴とする請求項 6 または 7 に記載の試験方法。

30

【請求項 9】

前記第 1 クロックより低速のテストクロックが外部から供給され、前記テストクロックから前記第 1 クロックを発生することを特徴とする請求項 6 または 7 に記載の試験方法。

【請求項 10】

前記メモリに書き込んだ書込データと、前記書込データに対応する前記メモリの出力を比較することを特徴とする請求項 6 乃至 9 のいずれか 1 項に記載の試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路およびその試験方法に関し、特に S o c (System on Chip) のような内部に組み込まれ外部からは直接アクセスできないメモリを有する集積回路およびそのメモリを試験する試験方法に関する。

40

【背景技術】

【0002】

近年、集積回路は微細化・高集積化しており、コンピュータシステムの機能を 1 個のチップに搭載することが可能となっている。このような集積回路は、一般に S o C (System on Chip) と呼ばれる。S o C には、プロセッサ、D S P などと共に、かならずメモリ素子 (S R A M, D R A M など) が組み込まれる。S o C の高機能化に伴って、組込メモリの容量が増大しており、組込メモリの良否が S o C の歩留まりを支配するようになってきた。そのため、組込メモリの試験が重要になってきており、S o C 内に組み込みメモリの試

50

験を自動で行う試験回路を組み込むことが行われている。

【0003】

図1は、SoC10の構成例を示す図である。図1に示すようにウエハ1上に複数のSoC10がチップとして形成される。各SoC10は、I/Oポート11A-11Dと、CPU12と、論理回路(Logic)13と、DSP14と、ROM15と、SRAM16と、メモリ17と、を有する。メモリ17は、CPU12、論理回路13またはDSP14からアクセスされ、外部からは直接アクセスできない。図示の例では、メモリ17はSRAMであるが、これに限定されるものではない。以下の説明では、メモリ17はSRAMを有する場合を例として説明する。

【0004】

メモリ17は、SRAM18を含むSRAMユニット21と、SRAM18の試験を行うためのRAM-BIST(RAM Built-In Self Test)回路と、を有する。SRAMユニット21は、試験時のRAM-BIST回路からのSRAM18へのアクセスと、通常時におけるSoC10内のRAM-BIST回路以外の部分(CPU12、論理回路13またはDSP14)からのアクセスを切り替えるマルチプレクサMux19と、試験時にSRAM18の出力をラッチして保持するフリップフロップよりなるラッチ回路(FF)20と、を有する。FF20は、2個のフリップフロップを有する。2個のフリップフロップの一方は"0"にリセットされた後、"1"が書き込まれると、"0"が書き込まれても"1"を維持する。言い換えれば、一度"1"が書き込まれると、リセットしない限り"0"には戻らない。2個のフリップフロップの他方は"1"にリセットされた後、"0"が書き込まれると、"1"が書き込まれても"0"を維持する。言い換えれば、一度"0"が書き込まれると、リセットしない限り"1"には戻らない。なお、書き込んだデータを記憶しておき、読み出したデータと比較した結果を記憶する場合には、1個のフリップフロップを設ければよい。

【0005】

RAM-BIST回路は、試験時のメモリ17に供給されるテストクロックから通常動作時のクロックに近い高速の第1クロックを発生するPLL回路22と、メモリテストコントローラ(MTC)23と、テストパターン発生回路(TPG)24と、を有する。なお、PLL回路22を設けずに、テストクロックとして高速の第1クロックを供給する場合もある。

【0006】

図2は、SRAM18の構成と、SRAMセルの不良セルの発生例を示す図である。図2に示すように、SRAM18は、セルアレイ31と、ロウデコーダ32と、コラムデコーダ33と、センスアンプ34と、クロックジェネレータ35と、を有する。SRAMの構成については広く知られているので説明は省略する。

【0007】

組込メモリの試験には、不良チップを選別するための良否判定試験と、不良原因を特定するための診断を行う試験と、がある。良否判定試験は、SoCが正常に動作するかを試験し、メモリ17についてはデータの書き込みおよび読み出しが正常に行えるかを試験する。代表的な試験パターンがマーチパターンであり、以下マーチパターンを例として説明を行うが、開示の技術はこれに限定されるものではない。マーチパターンによる試験は、具体的は、図3の(A)に示すように、FF20の2個のフリップフロップをリセットした後、アドレスを順に変化させながらメモリに"0"を書き込む第1ステップを行う。次にアドレスを順に変化させながらメモリから記憶しているデータを読み出して2個のフリップフロップの一方に記憶すると共に"1"を書き込む第2ステップを行う。次に、アドレスを順方向または逆方向に変化させながらメモリから記憶しているデータを読み出して2個のフリップフロップの他方に記憶すると共に"0"を書き込む第3ステップを行う。最後にFF20の2個のフリップフロップに記憶されたデータを読み出すスキャンアウト動作を行う。不良セルが無ければ、FF20の2個のフリップフロップの一方から"0"が読み出され、他方から"1"が読み出される。もし、2個のフリップフロップの一方か

10

20

30

40

50

ら ” 1 ” が読み出されるか、または他方から ” 0 ” が読み出された場合には、S R A M 1 8 に何らかの不良セルがあることになる。しかし、良否判定試験では、どのアドレスのセルが不良であるかは分からない。

【 0 0 0 8 】

スキャンアウト動作は、F F 2 0 に保持されたデータを S o C 1 0 の外部に出力する動作であり、外部テストとのインターフェース信号のため、S o C 1 0 の内部で S R A M 1 8 をアクセスする速度より遅く、長い時間が必要である。例えば、S R A M 1 8 の出力が N ビットの場合、I / O ポートに N ビット分の端子を設けると端子数が多くなるので、N ビットのデータをシリアルデータに変換して 1 個の端子から出力する。この場合、F F 2 0 の出力サイクルが S R A M の動作サイクルと同じであっても、スキャンアウト動作は S R A M の動作サイクルの N 倍以上の長さが必要である。もし、F F 2 0 の出力周期が S R A M の動作周期の K 倍であれば、スキャンアウト動作は S R A M の動作サイクルの K N 倍以上の長さとなる。2 組のフリップフロップのデータを出力する場合には、さらにこの 2 倍の長さになる。

10

【 0 0 0 9 】

なお、S R A M では複数行または複数列分の冗長セルを設け、不良セルを含む行または列を置き換えることが行われる。この場合も、行または列毎に上記のようなラッチ回路を設けて、不良セルを有する行または列を検出する試験が行われる。しかし、検出された行または列に何個の不良セルがあるか、さらに不良セルのアドレスは検出できない。

20

【 0 0 1 0 】

これに対して、不良原因を特定するための診断を行う試験では、メモリの不良箇所を特定するために、フェール・ビット・マップ(Fail Bit Map: F B M)取得試験が行われる。F B M 取得試験では、不良セルのアドレスをマップ形式で取得する。図 2 の下側に、F B M の例を示す。×印が不良セルを示す。

【 0 0 1 1 】

F B M 取得試験は、良否判定試験のために S o C に組み込まれた R A M - B I S T 回路を使用して行う。F F 2 0 は、1 個のセルの出力を保持するだけなので、図 3 の (B) に示すように、第 2 および第 3 ステップで、S R A M 1 8 の各セルにアクセスするたびに、F F 2 0 から出力を読み出すスキャンアウト動作を行う。上記のように、スキャンアウト動作は S R A M 1 8 のアクセス動作に比べて長い時間を必要とするので、読み出し、書き込みおよびスキャンアウトを含む 1 個のセルへのアクセス動作は、長時間を要する。

30

【 0 0 1 2 】

近年、良否判定試験では、試験時間の短縮のため、および実動作状態でのシステム動作保証のために、実際の動作速度で試験を行う実時間動作試験が行われるようになってきた。実際の動作速度での動作を at-speed 動作と呼ぶ。また、テクノロジーの進歩に伴い、タイミング的に厳しい設計が行われ、動作速度も高速化しているために、プロセスマージンが少なくなっている。上記のような S R A M 1 8 の良否判定試験は、最後にスキャンアウト動作を行うだけなので、第 1 から第 3 ステップは、実際の動作速度と同じ高速で行える。これに対して、F B M 取得試験は、低速で行うため、良否判定試験と F B M 取得試験の試験結果が異なる場合が生じるという問題が発生した。これは、F B M 取得試験は 1 セルごとにスキャンアウト動作を行うため、読み出しと書き込みの動作は、実際の動作に比べて低速の動作であり、セル間での書き込みと読み出しが連続して高速に行われた時に発生するが、低速時には発生しない不良を検出できないためである。

40

【 0 0 1 3 】

【特許文献 1】特開 2 0 0 2 - 2 9 8 5 9 8 号公報

【特許文献 2】特開 2 0 0 0 - 2 2 2 8 9 9 号公報

【特許文献 3】特開 2 0 0 3 - 1 3 2 6 9 6 号公報

【特許文献 4】特開平 1 0 - 2 0 7 6 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0014】

実施形態の集積回路および試験方法は、実際の動作速度での動作、すなわちat-speed動作でのF B M(Fail Bit Map)取得を行えるようにする。

【課題を解決するための手段】

【0015】

実施形態の集積回路は、メモリと、前記メモリを試験するメモリ試験回路と、入出力ポートと、を備え、前記メモリ試験回路の収集した前記メモリの出力を前記入出力ポートを介して出力する集積回路であって、前記メモリ試験回路は、前記メモリの出力をラッチするラッチ回路を備え、アクセスする前記メモリのアドレスを第1クロックに応じて全アドレスをアクセスするように変化させた時の前記メモリの出力を、前記第1クロックの整数倍の周期を有するラッチ信号に応じてラッチするように前記ラッチ回路を動作させるスキャン・ラッチ動作を行い、前記ラッチ信号の1周期中に、前記ラッチ回路のラッチしたデータを、前記入出力ポートを介して出力する転送動作を行い、前記ラッチ回路がラッチする前記メモリの出力に対応するメモリセルのアドレス位置を変化させて、前記スキャン・ラッチ動作および前記転送動作を繰り返し、全メモリセルの出力を外部に出力する。

10

【0016】

また、実施形態の試験方法は、外部から直接アクセスできないメモリを有する集積回路の前記メモリを試験する試験方法であって、アクセスする前記メモリのアドレスを第1クロックに応じて全アドレスをアクセスするように変化させ、アクセスした前記メモリの出力を、前記第1クロックの整数倍の周期を有するラッチ信号に応じてラッチするスキャン・ラッチ動作を行い、前記ラッチ信号の1周期中に、前記ラッチしたデータを、入出力ポートを介して出力する転送動作を行い、ラッチする前記メモリの出力に対応するメモリセルのアドレス位置を変化させて、前記スキャン・ラッチ動作および前記転送動作を繰り返し、全メモリセルの出力を外部に出力する。

20

【発明の効果】

【0017】

実施形態の集積回路および試験方法は、実際の動作速度で動作した時の、すなわちat-speed動作した時の不良セルのアドレスを示すF B M(Fail Bit Map)を取得できる。しかも、実施形態の集積回路および試験方法は、従来例の低速動作時のF B M取得に要する時間とほぼ同じ時間で、通常動作時のF B Mを取得できる。

30

【発明を実施するための最良の形態】

【0018】

図4は、第1実施形態の集積回路10の構成および、集積回路10のF B M(Fail Bit Map)取得試験を行うテスト51を集積回路10に接続した試験システムの構成を示す図である。図示のように、集積回路10は、コンピュータシステムを搭載したS o Cであり、メモリ17と、I / Oポート11 Eおよび11 Fと、を有する。メモリ17は、S R A M 18を含むS R A Mユニット21と、S R A M 18の試験を行うためのR A M - B I S T (RAM Built-In Self Test)回路と、を有する。I / Oポート11 Eは、テスト51からメモリ17へ入力するテストクロックを外部から受けるI / Oポートである。I / Oポート11 Fは、メモリ17のテスト出力を受けて外部に出力するI / Oポートである。外部に出力されたテスト出力は、Scan Out信号としてテスト51に入力される。なお、ここでは、S R A M 18はNビット出力で、F F 2 0でラッチしたNビットのデータをシリアルデータに変換してI / Oポート11 Fから出力するものとする。図1と同様に、実施形態のS o C 10は、C P U、論理回路、D S Pなどを有するが、図示を省略している。メモリ17、すなわちS R A M 18は、図示していないC P U、論理回路またはD S Pからアクセスされ、外部からは直接アクセスできない。

40

【0019】

メモリ17は、S R A M 18を含むS R A Mユニット21と、S R A M 18の試験を行うためのR A M - B I S T (RAM Built-In Self Test)回路と、を有する。S R A Mユニット21は、S R A M 18と、試験時のR A M - B I S T回路からのS R A M 18へのアク

50

セスと、通常時におけるS o C 1 0内のR A M－B I S T回路以外の部分（C P U、論理回路またはD S Pなど）からのアクセスを切り替えるマルチプレクサM u x 1 9と、試験時にS R A M 1 8の出力をラッチして保持するフリップフロップよりなるラッチ回路（F F）2 0と、を有する。図示の例では、メモリ1 7は、S R A M 1 8を有するが、これに限定されるものではなく、D R A Mなどでもよい。以下の説明では、メモリ1 7がS R A M 1 8を有する場合を例として説明する。

【0 0 2 0】

F F 2 0は、S R A M 1 8の各出力ビットに対して2個ずつのフリップフロップを有する。上記のように、S R A M 1 8はNビット出力であるから、F F 2 0は、合計で2 N個のフリップフロップを有する。各組のN個のフリップフロップのデータはシリアル変換されて出力される。2組のフリップフロップの一方は” 0 ”にリセットされた後、” 1 ”が書き込まれると、” 0 ”が書き込まれても” 1 ”を維持する。言い換えれば、一度” 1 ”が書き込まれると、リセットしない限り” 0 ”には戻らない。2組のフリップフロップの他方は” 1 ”にリセットされた後、” 0 ”が書き込まれると、” 1 ”が書き込まれても” 0 ”を維持する。言い換えれば、一度” 0 ”が書き込まれると、リセットしない限り” 1 ”には戻らない。このようなF F 2 0を使用することにより、前述の良否判定試験が行える。ここでは、2組のフリップフロップの一方に保持されたデータをR 0で、他方に保持されたデータをR 1で表す。R 0とR 1のデータはそれぞれNビットであるが、シリアル変換されて出力される。また、R 0とR 1のデータを同時に読み出す必要はないので、I / Oポート1 1 Fの端子は1個でよい。いずれにしろ、ここでは、良否判定試験に使用するF F 2 0を利用する。

【0 0 2 1】

R A M－B I S T回路は、試験時のメモリ1 7に供給されるテストクロックから通常動作時のクロックに近い高速の第1クロックを発生するP L L回路2 2と、メモリテストコントローラ（M T C）2 3と、テストパターン発生回路（T P G）2 4と、ラッチ制御回路4 1と、を有する。ここでは、テストクロックの周期はP L Lクロックの周期の4倍であるとする。

【0 0 2 2】

ラッチ制御回路4 1は、S R A M 1 8に対して図3（A）に示すような良否判定試験と同様の書き込みおよび読み出し処理を行っている時に、F F 2 0がS R A M 1 8の出力をラッチするタイミングを示すラッチ信号と、F F 2 0がラッチしたデータを読み出すためにシフトさせるF Fクロックと、を発生する。図示のように、ラッチ制御回路4 1は、M T C 2 3の制御の下でP L Lクロックをカウントしてカウント値に応じた信号を発生するカウンタ4 2と、T P G 2 4の信号からラッチのための制御信号を発生する制御回路4 3と、カウンタ4 2および制御回路4 3からの信号に応じてF Fクロックを発生するM a s k回路4 4と、を有する。ラッチ信号は、カウンタ4 2が発生する。

【0 0 2 3】

テスト5 1は、試験のためにS o C 1 0に供給するテストクロックのパターンを記憶した入力パターンメモリ5 2と、入力パターンメモリ5 2からの指示に応じてテストクロックを発生するクロック発生回路5 3と、S o C 1 0の動作に応じてS R A M 1 8が出力すると期待されるデータを記憶した出力期待値レジスタ5 4と、S o C 1 0から出力されるScan Out信号と出力期待値レジスタ5 4から出力される期待値を比較する出力比較回路5 5と、を有する。Scan Out信号と出力期待値が一致すれば正常セルであり、不一致であれば不良セルであると判定される。なお、テスト5 1は、入力パターンメモリ5 2にS o C 1 0における試験シーケンスを記憶しており、入力されるScan Out信号がどのセルの出力であるかを認識できるようになっている。

【0 0 2 4】

図5は、第1実施形態におけるF B M取得試験シーケンスを説明するタイムチャートである。上記のように、テストクロックの周期はP L Lクロックの周期の4倍であり、F F 2 0からのデータの読み出しはテストクロックに同期して行われる。P L L回路2 2は、

テストクロックの1/4周期のPLLクロックを発生し、SRAMユニット21、すなわちSRAM18に印加する。これにより、SRAM18はPLLクロックで動作し、図3(A)に示した動作を行う。すなわち、第1ステップでは"0"を書き込み、第2ステップでは書き込んだデータを読み出すと共に"1"を書き込む。第3ステップでは、書き込んだデータを読み出すと共に"0"を書き込む。スキャンアウト動作は行わない。これで第1サイクルが終了する。以下第2および第3ステップを実行するサイクルを、後述する回数だけ繰り返す。第2および第3ステップでは、2PLLクロックで、1アドレス、すなわち1セルに対して読み出しと書き込みが行われる。

【0025】

カウンタ42は、テストクロックの1/2周期でカウント値を変化させ、0からM-1までの値をカウントする動作を繰り返す。

【0026】

図5では、SRAM18の読み出しおよび書き込みは、PLLクロックが立ち下りに同期して行われる。

【0027】

第1サイクルの第2ステップでは、MTC23は、カウンタ42のカウント値を、SRAM18の開始アドレスAddress0のセルからデータが読み出された時に0で、データが読み出された後1/2PLLクロックで、すなわちPLLクロックの立ち上がりに同期してカウント値が1に変化するように設定する。カウント値が1に変化した後、カウンタ42は、PLLクロックが立ち下りに同期してラッチ信号を発生する。ラッチ信号に応じて、SRAM18から読み出されているNビットのデータがFF20にラッチされる。

【0028】

Mask回路44は、ラッチ信号が発生された後、FFクロックを出力する。FFクロックは、テストクロックに同期した信号で、Nパルス発生される。FF20は、R0のデータのフリップフロップを使用して、FFクロックの立ち上がりに同期してラッチしたNビットのデータをシフトしてI/Oポート11Fに出力する。これに応じて、テスト51の出力比較回路55は、出力されたScan Outをストローブして出力期待値と比較する。具体的には、FF20はカウント値が1, 3, 5の時にシフトし、出力比較回路55はカウント値が1, 3, 5の時にストローブする。したがって、カウンタ42の最大カウント値M-1は、2N+1以上であることが必要である。

【0029】

Mask回路44は、カウント値がM-1から0に変化する時にFF20をリセットする。

【0030】

以下、上記の動作を、第2ステップの間繰り返す。これにより、アドレスAddress0のセルからアドレスをMずつ増加させたアドレスAddress0+M, Address0+2M, ...のセルから、第1ステップで書き込んだ0に対応するデータが読み出される。データが0であれば正常であり、1であれば不良である。テスト51は、読み出されたデータのアドレスを認識しているので、そのアドレスのセルが正常か不良かを判定して記憶する。

【0031】

第2ステップが終了し、最終アドレスのセルのデータの読み出しおよび1の書き込みが終了すると、第3ステップを開始する。この時、カウント値がM-1から0になり、FF20がリセットされる。MTC23は、カウンタ42のカウント値を、SRAM18の最終アドレスのセルからデータが読み出された時に0で、データが読み出された後1/2PLLクロックで、すなわちPLLクロックの立ち上がりに同期してカウント値が1に変化するように設定する。なお、第3ステップでは、FF20のR1に対応するフリップフロップが使用される。

【0032】

以下、アドレスの値を逆に変化しながら、第2ステップと同じ動作を行う。これにより、最大アドレスのセルからアドレスをMずつ減少させたアドレスのセルから、第2ステッ

10

20

30

40

50

プで書き込んだ1に対応するデータが読み出される。データが1であれば正常であり、0であれば不良である。テスト51は、読み出されたデータのアドレスを認識しているので、そのアドレスのセルが正常か不良かを判定して記憶する。

【0033】

第3ステップが終了し、開始アドレスのセルのデータの読み出しおよび0の書き込みが終了すると、第1サイクルが終了し、第2サイクルを開始する。第2サイクルでは、再び第2ステップを開始する。この時、カウンタ値がM-1から0になり、ラッチ20がリセットされる。MTC23は、カウンタ42のカウント値を、SRAM18の開始アドレスの次のアドレスAddress1のセルからデータが読み出された時に0で、データが読み出された後1/2PLLクロックで、すなわちPLLクロックの立ち上がりに同期してカウンタ値が1に変化するように設定する。以下同様に第2ステップを行う。そして、第2ステップが終了すると、第3ステップを開始する。この時、MTC23は、カウンタ42のカウント値を、SRAM18の最終アドレスより1少ないアドレスのセルからデータが読み出された時に0で、データが読み出された後1/2PLLクロックで、すなわちPLLクロックの立ち上がりに同期してカウンタ値が1に変化するように設定する。以下同様に第3ステップを行う。

10

【0034】

以上のサイクルを、第2ステップでは、最初にFF20がラッチするセルのアドレスが1ずつ増加し、第3ステップでは、最初にFF20がラッチするセルのアドレスが1ずつ減少するように設定して、全体でMサイクル繰り返す。これにより、SRAM18をPLLクロック、すなわち通常使用時と同じ高速のクロックで動作させた時の全セルの試験結果が取得できる。

20

【0035】

図6は、第1実施形態の集積回路10のメモリ17のラッチ制御回路41の具体的な回路例を示す図である。また、図7は、図6の回路の動作を示すタイムチャートである。ここでは、SRAM18の出力は4ビット(N=4)であり、テストクロックの周期はPLLクロックの周期の2倍であり、カウンタ42の最大カウント値(M-1)は17とする。

【0036】

図6に示すように、ラッチ制御回路41は、0から17のカウントを繰り返すカウンタ42と、NANDゲート61と、セクタ62と、フリップフロップ(ff)63と、インバータ64と、4入力ORゲート65と、インバータ66、67と、を有する。

30

【0037】

カウンタ42は、MTC23の制御信号Initにより、あるタイミングでカウンタの値が設定される。カウンタ42は、PLLクロックの立ち上がりに同期してカウンタ値を変化させ、カウンタ値の下位2ビットがbit0およびbit1である。また、カウンタ42は、カウンタ値に基づいて制御信号cnt0およびcnt1を出力する。cnt0はカウンタ値が0の時のみ1になりそれ以外で0になり、cnt1はカウンタ値が1の時のみ1になりそれ以外で0になる。セクタ62は、TPG24からの読み取り信号readとcnt0の両方が1の時に、cnt0を選択してff62を1に設定する。それ以後は、ff63の出力を選択し、次にカウンタ値が0になるまでff63の出力が1である状態を維持する。ff63の出力は、1アドレスのセルに対して読み出しおよび書き込みを行い、読み出したデータを外部に出力する期間を示す。

40

【0038】

4入力ORゲート65は、ff63の出力が1である期間中に、反転したbit0、およびbit1とPLLクロックがすべて0の時に0になり、それ以外の時には1になるFFクロックを発生する。FFクロックはカウンタ値が0, 4, 8…の時に0になるパルスである。ラッチ信号はcnt1の反転信号である。

【0039】

FF20は、ラッチ信号の立ち下がりに応じて、その時にFF18から出力されている

50

セルのデータをラッチする。この4ビットデータは、FFクロックの立ち上がりに応じてシフトされてScan Outとして外部に出力される。テストは、出力されたScan Outをストローブする。

【0040】

図8は、第1実施形態において、マーチパターンでFBM取得試験を行う場合の動作を説明する図である。ここでは、説明を簡単にするため、SRAM18はAddress0からAddress7の8セルを有するとして説明する。

【0041】

第1ステップですべてのセルに0を書き込む。

【0042】

第1サイクルの第2ステップでは、Address0からAddress7の順にセルにアクセスしてデータを読み出すと共に1を書き込む。この間に、Address0とAddress4のセルから読み出したデータを外部にScan Outとして出力する。この時、Address0のセルから読み出したデータはAddress4のデータの読み出しを開始するまでに、Address4のセルから読み出したデータは第3ステップでAddress7のデータの読み出しを開始するまでに外部に出力する。第1サイクルの第3ステップでは、Address7からAddress0の順にセルにアクセスしてデータを読み出すと共に0を書き込む。この間に、Address7とAddress3のセルから読み出したデータを外部にScan Outとして出力する。この時、Address7のセルから読み出したデータをAddress3のデータの読み出しを開始するまでに、Address3のセルから読み出したデータを第2サイクルの第2ステップでAddress1のデータの読み出しを開始するまでに外部に出力する。

【0043】

第2サイクルから第4サイクルでは、外部に読み出すセルのアドレスをずらして、ダイ1サイクルと同様の動作を行う。具体的には、第2サイクルの第2ステップでは、Address1とAddress5のセルのデータを、第2サイクルの第3ステップでは、Address6とAddress2のセルのデータを、第3サイクルの第2ステップでは、Address2とAddress6のセルのデータを、第3サイクルの第3ステップでは、Address5とAddress1のセルのデータを、第4サイクルの第2ステップでは、Address3とAddress7のセルのデータを、第4サイクルの第3ステップでは、Address4とAddress0のセルのデータを、外部に読み出す。

【0044】

以上のように、4サイクルを行うことにより、全セルからの読み出しデータを取得できる。なお、ここでは、各サイクルを連続して行ったが、各サイクルの間に第1ステップ、すなわちすべてのセルに0を書き込むステップを設けてもよい。

【0045】

図9は、第2実施形態の集積回路内の設けられるメモリ17の構成を示す図である。第2実施形態の集積回路は、コンピュータシステムを搭載したSoCである。第1実施形態の集積回路と同様に、メモリ17は、SoC内のCPU、論理回路またはDSPからアクセスされ、外部からは直接アクセスできない。

【0046】

図9に示すように、第2実施形態の集積回路は、メモリ17のRAM-BIST回路にPLL回路が設けられていないことが第1実施形態と異なる。すなわち、第2実施形態の集積回路は、メモリ17は、SRAM18を含むSRAMユニット21と、SRAM18の試験を行うためのRAM-BIST回路と、を有する。SRAMユニット21は、SRAM18と、マルチプレクサMux19と、ラッチ回路(FF)20と、を有する。RAM-BIST回路は、メモリテストコントローラ(MTC)23と、テストパターン発生回路(TPG)24と、ラッチ制御回路41と、を有する。ラッチ制御回路41の構成も、第1実施形態と同じである。

【0047】

第2実施形態では、外部から高速のテストクロックが供給され、テストクロックがそのままSRAMユニット21、MTC23、TPG24などに供給される。従って、SRA

10

20

30

40

50

M18は、テストクロックに同期して動作する。言い換えれば、第1実施形態ではPLLクロックで動作していたのに対して、第2実施形態ではテストクロックで動作することが異なる。

【0048】

図10は、図9の回路の動作を示すタイムチャートである。図7と比較して明らかなように、図10では、図7のPLLクロックの代わりにテストクロックが使用されていることが異なる。ほかの部分は同じである。

【0049】

図11は、第3実施形態の集積回路内の設けられるメモリ17の構成を示す図である。第3実施形態の集積回路は、コンピュータシステムを搭載したSOCである。第2実施形態の集積回路と同様に、メモリ17は、SOC内のCPU、論理回路またはDSPからアクセスされ、外部からは直接アクセスできない。

10

【0050】

図11に示すように、第3実施形態の集積回路は、RAM-BIST回路のラッチ制御回路のカウンタが、リニアフィードバックシフトレジスタ(LFSR)70であることが第2実施形態と異なり、ほかの部分は第2実施例と同じである。

【0051】

リニアフィードバックシフトレジスタは、比較的長周期の乱数列を発生する回路で、例えば特許文献4などに記載されている。

【0052】

20

第3実施形態は、リニアフィードバックシフトレジスタを使用する以外が第2実施形態と同じなので説明は省略する。

【0053】

以上実施形態を説明したが、開示した実施形態は説明のために例示したに過ぎず、開示の技術はこれに限定されるものではない。

【0054】

例えば、マーチパターンを使用してFBM取得試験を行う例を説明したが、ほかのパターンを使用することも可能である。

【0055】

また、良否判定試験で使用するR0とR1のデータ保持するFFを利用する例を説明したが、前述のように、良否判定試験は1個のフリップフロップを有するFFで行なうことも可能であり、FBM取得試験でも、FF20は通常のフリップフロップを1個有するだけでもよい。

30

【0056】

また、開示の技術は、SRAMを使用する例を説明したが、ほかの書き換え可能なメモリを有する集積回路に適用できる。

【0057】

また、ここではSOCを例として説明したが、外部から直接アクセスできないメモリを有する集積回路であれば、開示の技術を適用できる。

【図面の簡単な説明】

40

【0058】

【図1】図1は、外部から直接アクセスできないメモリおよびメモリの組み込み試験(BIST)回路を有する集積回路(SOC)の構成例を示す図である。

【図2】図2は、SRAMの構成と、不良セルの発生例を示す図である。

【図3】図3は、BIST回路を使用した従来の良否判定試験とFBM取得試験を説明する図である。

【図4】図4は、第1実施形態の集積回路の構成と、試験システムの構成を示す図である。

【図5】図5は、第1実施形態におけるFBM取得試験シーケンスを説明するタイムチャートである。

50

【図 6】 図 6 は、第 1 実施形態のメモリの B I S T 回路の具体的構成を示す図である。

【図 7】 図 7 は、図 6 の B I S T 回路の動作を示すタイムチャートである。

【図 8】 図 8 は、第 1 実施形態における F B M 取得試験シーケンスを説明する図である。

【図 9】 図 9 は、第 2 実施形態の B I S T 回路を有するメモリの構成を示す図である。

【図 10】図 10 は、図 9 の B I S T 回路の動作を示すタイムチャートである。

【図 1 1】 図 1 1 は、第 3 実施形態の B I S T 回路を有するメモリの構成を示す図である

【符号の説明】

【 0 0 5 9 】

10 集積回路 (S o C)

1 1 E, 1 1 F I / O ポート

17 BIST回路を有するメモリ

1 8 S R A M

20 フリップフロップ (FF)

2 2 PLL 回路

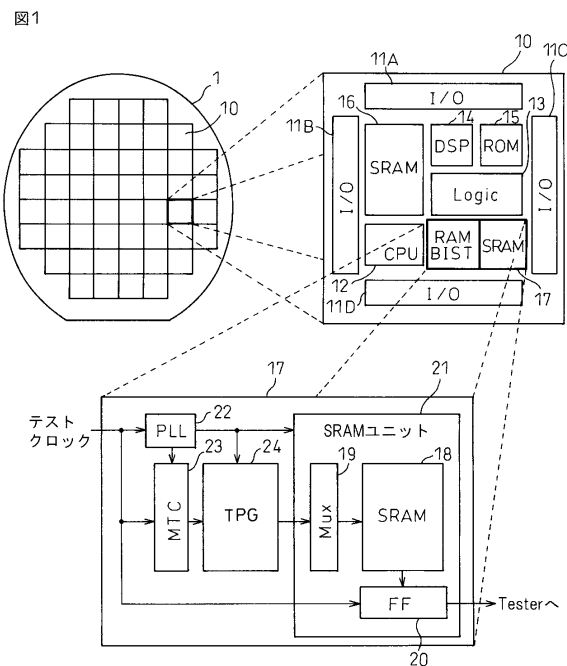
2.3 メモリテストコントローラ (MTC)

2 4 テストパターン発生回路 (T P G)

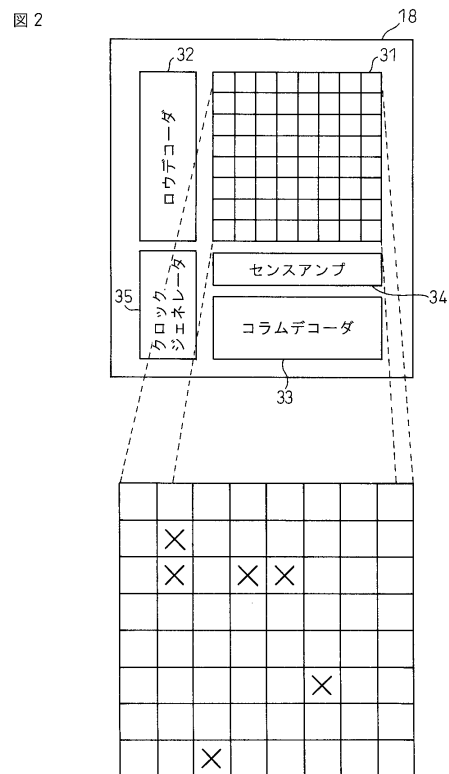
4 1 ラッチ制御回路

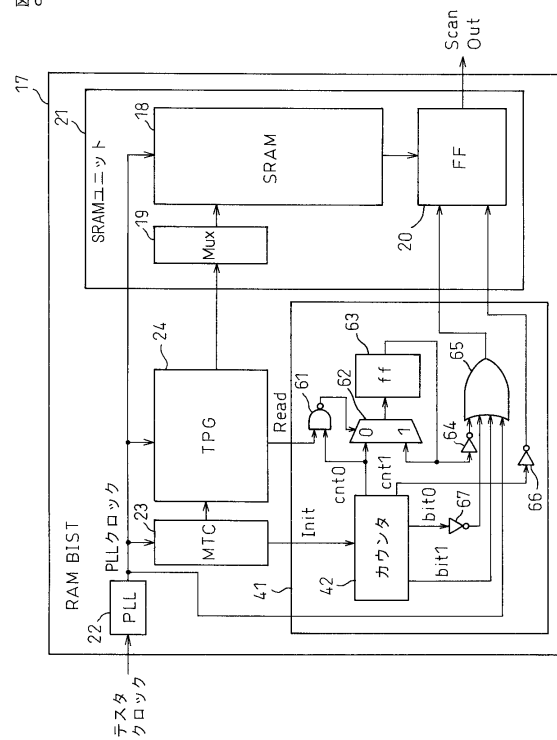
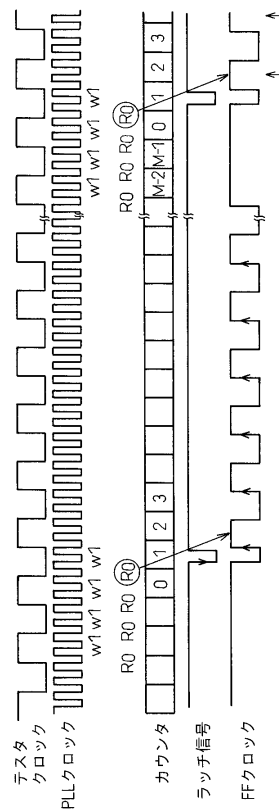
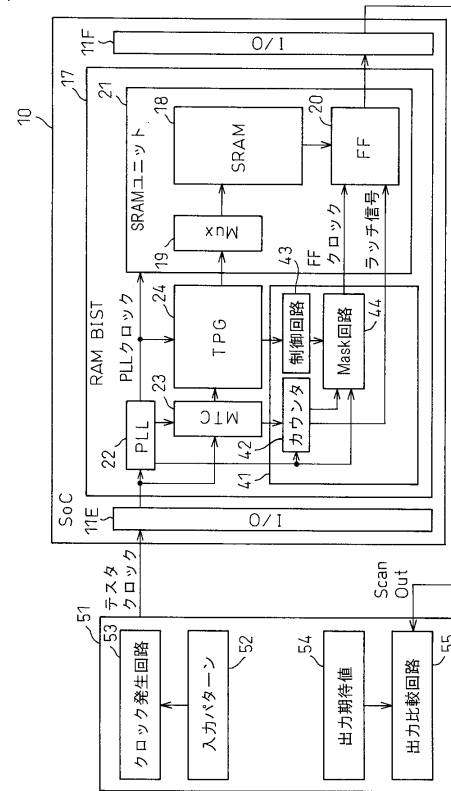
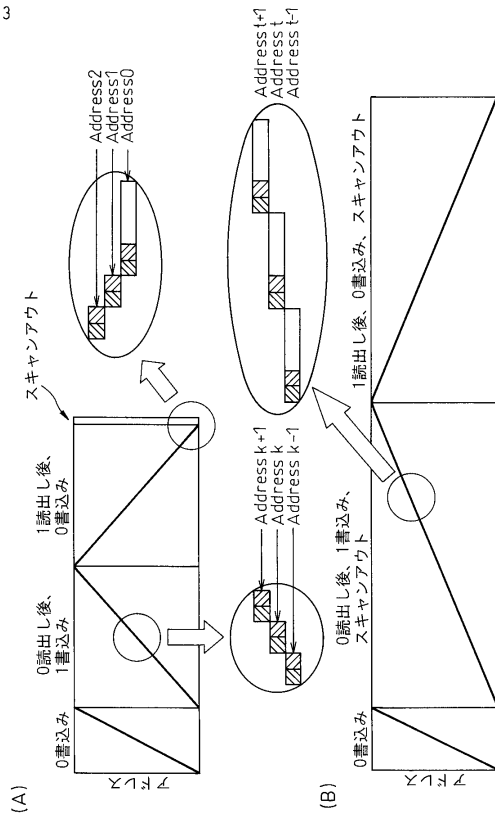
10

【図 1】

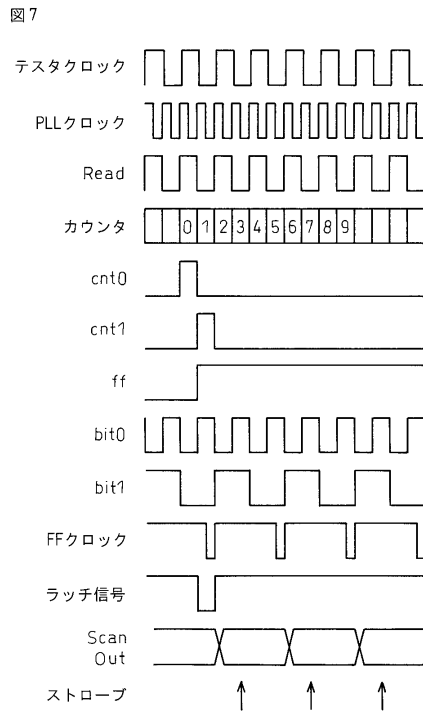


【図 2】

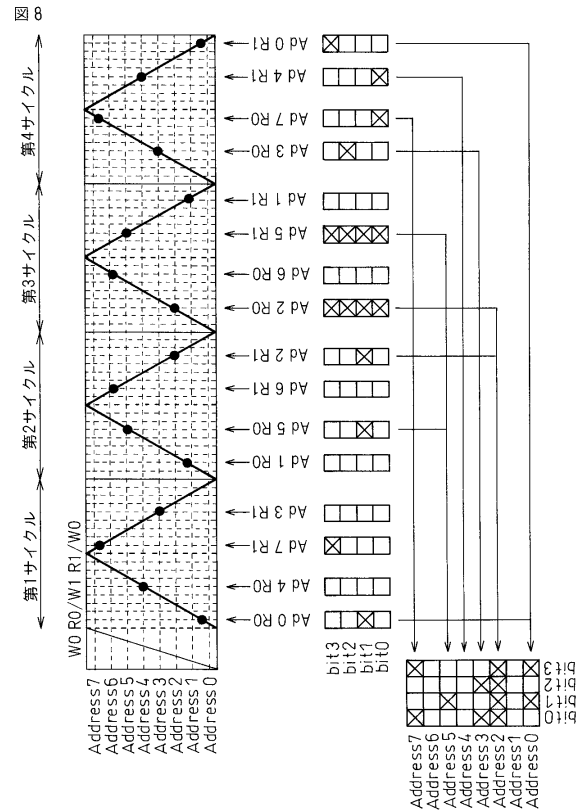




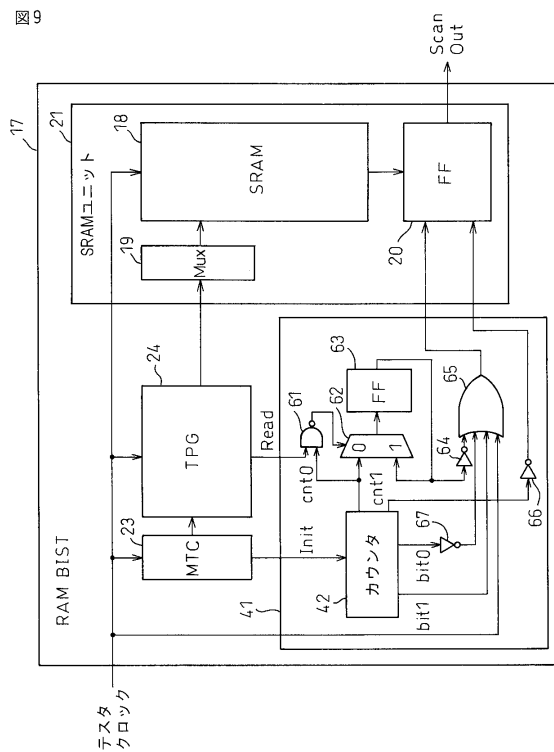
【図 7】



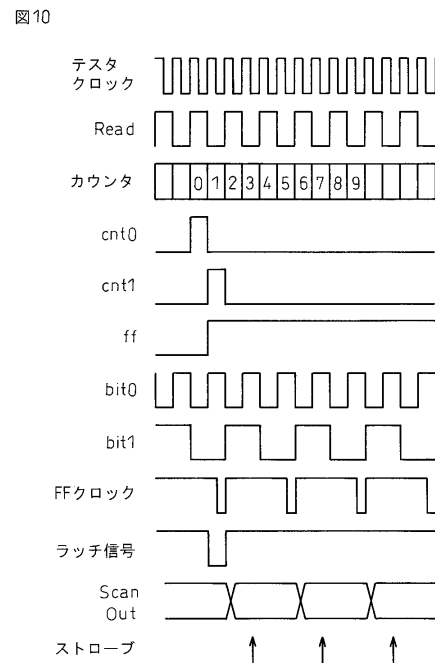
【图 8】



【图 9】

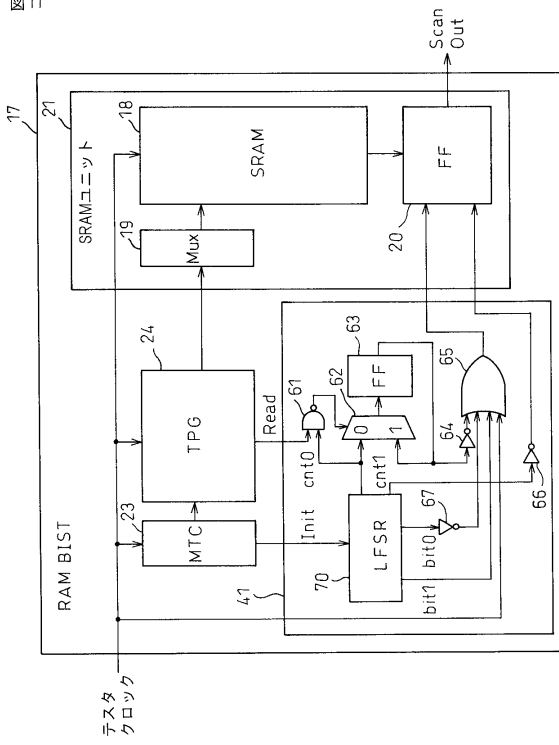


【図 10】



【図 11】

図 11



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 平出 貴久

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

審査官 小林 紀和

(56)参考文献 特開平06-028896 (JP, A)

特開2008-016156 (JP, A)

特開2006-269016 (JP, A)

特開2005-209239 (JP, A)

国際公開第2007/108400 (WO, A1)

特開2001-236797 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/12

G01R 31/28

G11C 11/413