

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

92 283

Patent dodatkowy
do patentu _____

Zgłoszono: 05.04.73 (P. 161732)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.03.75

Opis patentowy opublikowano: 31.12.1977

MKP H02h 3/08

Int. Cl.² H02H 3/08

CZYŚCENIA

Urzędu Patentowego
Polskiej Rzeczypospolitej

Twórcy wynalazku: Tadeusz Kunert, Andrzej Osóbka

Uprawniony z patentu: Instytut Łączności,
Warszawa (Polska)

Układ do zabezpieczenia przeciwzwarcowego i przeciążeniowego tranzystorowego zasilacza stabilizowanego napięcia dodatniego lub ujemnego

Przedmiotem wynalazku jest układ do zabezpieczania przeciwzwarcowego i przeciążeniowego tranzystorowego zasilacza stabilizowanego napięcia dodatniego lub ujemnego przeznaczony zwłaszcza do stabilizacji napięcia źródeł bateryjnych.

Znane układy do zabezpieczania stabilizatorów przed przeciążeniem i zwarcem, w których w stanie przeciążenia następuje ograniczenie napięcia wyjściowego w sposób płynny, a z chwilą ustąpienia stanu przeciążenia następuje automatyczny powrót napięcia do wartości nominalnej. W układach tych między tranzystorem szeregowym a biegunem wyjściowym zasilacza stabilizowanego jest włączony rezystor cechujący określoną zadana wartość prądu ograniczającego. Układy te z uwagi na konieczność utrzymania stałej polaryzacji tranzystora szeregowego wymagają pomocniczego źródła zasilania (opis patentowy polski nr 60880), przy czym pomocnicze źródło zasilania jest załączone poprzez rezystor na diodę półprzewodnikową, kompensując zmiany napięcia emiter-baza tranzystora zabezpieczającego, której katoda jest załączona na dzielnik rezystorowy połączony z rezystorem cechującym od strony tranzystora szeregowego. Konieczność użycia pomocniczego źródła zasilania stanowi dużą niedogodność techniczną układów oraz uniemożliwia ich zastosowanie w przypadku konieczności stabilizacji źródeł bateryjnych.

Znane jest również rozwiązanie według opisu patentowego czechosłowackiego nr 138723, gdzie został użyty rezystor cechujący do ograniczenia prądowego, przy czym charakterystyka ograniczenia jest stałoprądowa, aż do momentu automatycznego i trwałego wyłączenia napięcia wyjściowego wskutek obniżenia tego napięcia. Wadą tego rozwiązania jest konieczność ręcznego uruchomienia zasilacza, po każdorazowym wyłączeniu wskutek przeciążenia.

Istota rozwiązania według wynalazku polega na tym, że od strony pierwszego bieguna zasilającego załączony jest rezystor połączony w szereg z kolektorem tranzystora, którego emiter załączony jest do drugiego bieguna zasilającego poprzez rezystor. Baza tego tranzystora połączona jest poprzez rezystor z pierwszym

biegunem wyjściowym zasilacza oraz poprzez dwójnik szeregowy zawierający diodę Zenera połączoną z rezystorem, z drugim biegunem zasilającym. Natomiast kolektor tego tranzystora połączony jest bezpośrednio z emiterem tranzystora wejściowego wzmacniacza napięciowego sygnału błędu.

Zasilacz nie wymaga stosowania pomocniczego źródła zasilania, co czyni go szczególnie przydatnym w układach przeznaczonych do stabilizacji źródeł bateryjnych. Zaletą zasilacza jest również specjalnie podcięta charakterystyka ograniczenia prądowego, co czyni go praktycznie niewrażliwym na zwarcia zacisków wyjściowych.

Wynalazek został uwidoczniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia układ do zabezpieczenia przeciwzwarcowego i przeciążeniowego zasilaczy stabilizowanych napięcia wyjściowego ujemnego, fig. 2 – układ do zabezpieczania przeciwzwarcowego napięcia dodatniego, a fig. 3 – przebieg charakterystyk ograniczenia prądu obciążenia zasilacza stabilizowanego.

Układ zabezpieczania według wynalazku posiada dzielnik rezystorowo-tranzystorowy zawierający rezystory R2 i R7 oraz tranzystor T2, służący do wytwarzania na rezystorze R2 napięcia odniesienia, niezależnego od zmian napięcia wejściowego stabilizatora. Dzielnik rezystorowo-diodowy zawierający diodę Zenera D1, oraz rezystory R3 i R8 służy do ustawienia wymaganej wartości napięcia odniesienia. Tranzystor T1 wzmacniacza napięciowego sygnału błędu wchodzi w stan przewodzenia z chwilą przekroczenia wartości napięcia odniesienia przez napięcie wytworzone na rezystorze cechującym R1 przez prąd obciążenia. Tranzystor T3 pełni rolę diody. Zadaniem jego jest kompensacja temperaturowa napięcia baza–emiter tranzystora T1. Rezystor R6 służy do takiego spolaryzowania tranzystora T3, aby jego napięcie baza–emiter było równe bądź nieco mniejsze od napięcia baza–emiter tranzystora T1. Tranzystor T1, poprzez wzmacniacz W, powoduje wprowadzenie tranzystora szeregowego T4 w stan nieprzewodzenia i w konsekwencji zmniejszenie napięcia wyjściowego stabilizatora. Zmniejszenie się napięcia wyjściowego powoduje zmniejszenie prądu dzielnika szeregowego rezystorowo-tranzystorowego na rezystorach R2 i R7 oraz tranzystorze T2, a więc i zmniejszenie napięcia odniesienia na rezystorze R2, co powoduje spadek napięcia na rezystorze R1, potrzebny do spolaryzowania tranzystora T1. Prowadzi to do zmniejszenia prądu wyjściowego stabilizatora, w zakresie przeciążenia, wraz z malejącą rezystancją obciążenia. Przedstawia to krzywa 1 grupy charakterystyk ograniczenia prądu obciążenia zasilacza stabilizowanego. Przy całkowitym zwarciu na wyjściu stabilizatora, prąd wyjściowy osiągnie wartość równą ok. $(0,1 \div 0,15) J_{om}$, gdzie J_{om} stanowi maksymalny prąd obciążenia. Obciążenie stabilizatora powoduje powrót napięcia wyjściowego wzdłuż krzywej 1 do wartości nominalnej. Charakterystykę przeciążenia stabilizatora według krzywej 2 uzyskuje się przez dołączenie z rezystorem R3 diody Zenera. W zależności od napięcia diody D1 otrzymuje się charakterystyki ograniczenia prądu obciążenia według krzywej 2 lub 3.

Zastrzeżenie patentowe

Układ do zabezpieczania przeciwzwarcowego i przeciążeniowego tranzystorowego zasilacza stabilizowanego napięcia dodatniego lub ujemnego, zawierający tranzystor szeregowy, wzmacniacz napięciowy sygnału błędu, oraz rezystor cechujący włączony pomiędzy biegun zasilający a tranzystor szeregowy, z n a m i e n n y t y m, że od strony pierwszego bieguna zasilającego (A) załączony jest rezystor (R2) połączony w szereg z kolektorem tranzystora (T2), którego emiter jest załączony do drugiego bieguna zasilającego (B) poprzez rezystor (R7), przy czym baza tranzystora (T2) jest połączona poprzez rezystor (R8) z pierwszym biegunem wyjściowym (c) zasilacza stabilizowanego oraz poprzez dwójnik szeregowy zawierający diodę Zenera (D1) połączoną z rezystorem (R3), z drugim biegunem zasilającym (B), ponadto kolektor tranzystora (T2) jest połączony bezpośrednio z emiterem tranzystora (T1) wzmacniacza napięciowego sygnału błędu.

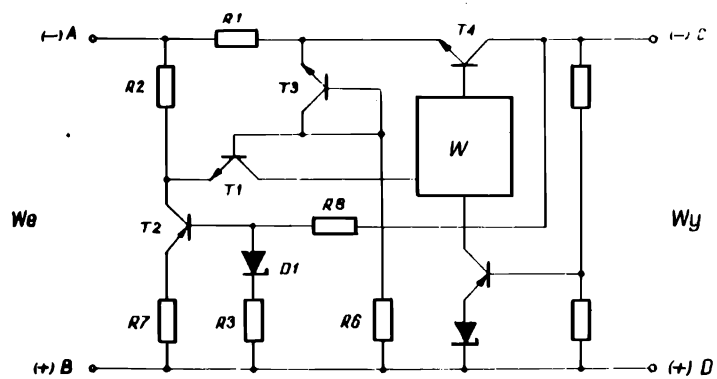


Fig. 1

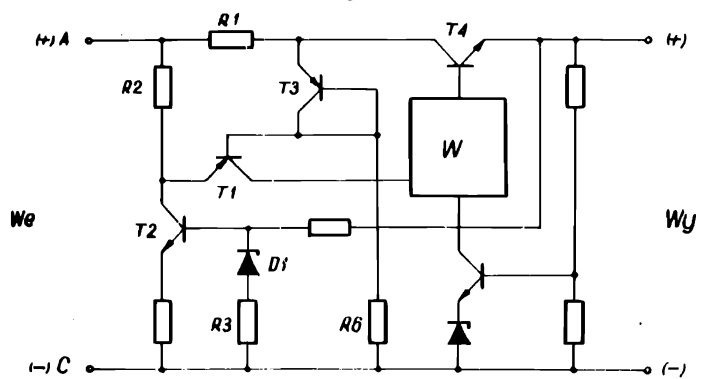


Fig. 2

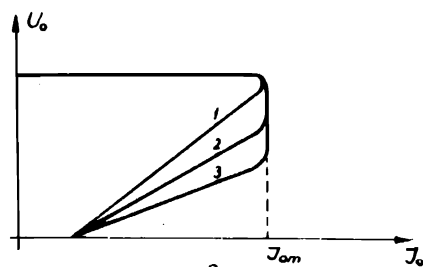


Fig. 3