



(12) 发明专利

(10) 授权公告号 CN 1969268 B

(45) 授权公告日 2010.05.26

(21) 申请号 200580019528.2

(22) 申请日 2005.06.09

(30) 优先权数据

04102727.7 2004.06.15 EP

(85) PCT申请进入国家阶段日

2006.12.14

(86) PCT申请的申请数据

PCT/IB2005/051889 2005.06.09

(87) PCT申请的公布数据

W02005/124564 EN 2005.12.29

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 Y·K·常 S·拉克什米纳拉亚南

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G06F 13/14 (2006.01)

(56) 对比文件

US 2002116565 A1, 2002.08.22, 全文.

US 6587898 B1, 2003.07.01, 全文.

CN 1474971 A, 2004.02.11, 全文.

审查员 富瑶

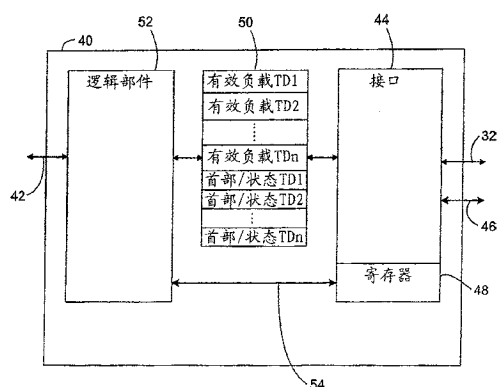
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

主机控制器、总线通信设备和操作主机控制器的方法

(57) 摘要

一种主机控制器在控制器的控制下经由总线通信系统在单独事务中传送数据。在完成事务时产生处理器中断请求。所述主机控制器包括这样的逻辑,使得当完成来自第一组单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,而当完成来自第二组多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求。此外,当完成来自第三组多个单独事务中的事务而产生处理器中断请求时,只有当完成事务而产生中断请求时才向所述处理器发送中断请求。



1. 一种主机控制器,用于在处理器的控制下经由总线通信系统传送数据,其中在多个单独事务中传送数据并且当完成事务时产生处理器中断请求,

其中所述主机控制器包括这样的逻辑部件,使得当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,

其中所述主机控制器还包括这样的逻辑部件,使得当完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求,

其中所述主机控制器还包括这样的逻辑部件,使得当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时,只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

2. 如权利要求 1 所述的主机控制器,还包括:

第一接口,用于连接到存储器总线,所述存储器总线互连所述处理器和系统存储器;和
第二接口,用于连接到所述总线通信系统。

3. 一种总线通信设备,包括:

处理器;

系统存储器;以及

主机控制器;和

存储器总线,用于互连所述处理器、系统存储器和主机控制器,

其中所述主机控制器适合于在所述处理器的控制下经由总线通信系统传送数据,其中在多个单独事务中传送数据并且在完成事务时产生处理器中断请求,

其中所述主机控制器包括这样的逻辑部件,使得当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,

其中所述主机控制器还包括这样的逻辑部件,使得当完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求,

其中所述主机控制器还包括这样的逻辑部件,使得当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时,只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

4. 一种操作主机控制器的方法,所述主机控制器用于在处理器的控制下经由总线通信系统传送数据,其中在多个单独事务中传送数据并且在完成事务时产生处理器中断请求,

其中所述方法包括,当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,

所述方法还包括,而完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求,

其中所述方法还包括,当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时,只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

主机控制器、总线通信设备和操作主机控制器的方法

技术领域

[0001] 本发明涉及主机控制器，并且尤其涉及主机控制器相关的中断配置。

背景技术

[0002] 电子设备具有用于允许使用通用串行总线 (USB) 来传输数据的接口变得越来越普遍。

[0003] 当使用 USB 系统互连电子设备项时，一个设备项被指定为 USB 主机，而其它项被指定为 USB 设备。USB 主机负责发起并调度经由 USB 的通信。例如，USB 主机可以是个人计算机 (PC)，并且可以连接到各种 USB 设备，诸如打印机、数字照相机和个人数字助理 (PDA)。

[0004] 然而，还可以在不要经由 PC 连接的情况下使用 USB 连接来把例如照相机直接连接到打印机。为了能够作为 USB 主机起作用，设备项（在此例子中可以是照相机）必须具有所要求的功能，并且本发明尤其涉及一种采用集成电路形式的设备，以用于向此设备项提供此功能，其中所述设备可以包括在该设备项中。然而应当理解，设备项具有其它功能，并且其 USB 互连性只是其功能的一小部分。此外，希望能够把该设备包括到设备项中，以便向它们提供作为 USB 主机的能力，而不要求那些设备项具有特别强大的处理器。

[0005] 因此希望所述设备能够在尽可能最小依赖其所在设备项的中央处理器 (CPU) 的情况下操作。例如，所述设备优选在设备项的总线系统中作为从设备操作，允许 CPU 保持作为总线主设备。此外，希望所述设备对 CPU 的处理负担尽可能最小并且尤其使对所述 CPU 中断请求的数量最小化。此外，所述设备不应当依赖于使用任何特定操作系统的 CPU，从而所述设备可以并入到尽可能最宽范围的设备项中。

发明内容

[0006] 依照本发明，提供了一种主机控制器，其中例如作为事务完成的结果所产生的中断请求可以依照可控方式被发送到系统 CPU。例如，可以向不同的中断请求给予不同的优先级，或者可以把中断请求一起发送到 CPU 以便降低时所述 CPU 的中断。

[0007] 本发明提供了一种主机控制器，用于在处理器的控制下经由总线通信系统传送数据，其中在多个单独事务中传送数据并且当完成事务时产生处理器中断请求，其中所述主机控制器包括这样逻辑，使得当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时，向所述处理器发送中断请求，而当完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时，不向所述处理器发送中断请求。所述主机控制器还包括这样的逻辑，使得当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时，只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

[0008] 所述主机控制器，还包括：第一接口，用于连接到存储器总线，所述存储器总线互连所述处理器和系统存储器；和第二接口，用于连接到所述总线通信系统。

[0009] 本发明还提供了一种总线通信设备，包括：处理器；系统存储器；以及主机控制

器 ;和存储器总线,用于互连所述处理器、系统存储器和主机控制器,其中所述主机控制器适合于在所述处理器的控制下经由总线通信系统传送数据,其中在多个单独事务中传送数据并且在完成事务时产生处理器中断请求,其中所述主机控制器包括这样的逻辑,使得当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,而当完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求。所述主机控制器还包括这样的逻辑,使得当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时,只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

[0010] 本发明还提供了一种操作主机控制器的方法,所述主机控制器用于在处理器的控制下经由总线通信系统传送数据,其中在多个单独事务中传送数据并且在完成事务时产生处理器中断请求,其中所述方法包括,当完成来自第一组所述多个单独事务中的事务而产生处理器中断请求时,向所述处理器发送中断请求,所述方法还包括,而当完成来自第二组所述多个单独事务中的事务而产生处理器中断请求时,不向所述处理器发送中断请求。

[0011] 所述方法还包括,当完成来自第三组所述多个单独事务中的事务而产生处理器中断请求时,只有在完成来自所述第三组的所有所述多个单独事务中的事务而产生中断请求时才向所述处理器发送中断请求。

附图说明

[0012] 在附图中 :

[0013] 图 1 是包括了依照本发明的主机控制器的电子设备项的示意性框图。

[0014] 图 2 是依照本发明的主机控制器的示意性框图。

[0015] 图 3 是用于示出在图 2 的主机控制器中软件结构的插图。

[0016] 图 4 示出了逻辑电路,所述逻辑电路可以用来控制向电子设备项的 CPU 发送中断请求的方式。

具体实施方式

[0017] 图 1 是作为 USB 主机操作的电子设备项 10 的相关部分的示意性框图。本发明尤其适用于诸如照相机、机顶盒、移动电话或 PDA 之类的设备,其中微处理器和系统存储器的功能限制更加相关,而不是处于个人计算机 (PC) 中。然而,本发明适用于可以作为 USB 主机操作的任何设备。

[0018] 显然设备 10 具有许多部件 (在图 1 中未示出),这是因为它们与理解本发明无关。

[0019] 设备 10 具有主机微处理器 (CPU) 20,其包括处理器核心。CPU 20 借助于外围总线 32 连接到系统存储器 30。

[0020] 主机控制器 40 还借助于外围总线或存储器总线 32 连接到主机微处理器 20 和系统存储器 30。主机控制器 40 具有用于 USB 总线 42 的接口,借此其可以连接到多个 USB 设备。在此图示的实施例中,主机控制器 40 是 USB 2.0 主机控制器,并且这里所未描述的主机控制器的部件可以如在 USB 2.0 规范中所指定。

[0021] 如常规情况中那样,主机控制器 40 适合于获取由处理器 20 依照适当格式所准备的数据,并且经由总线接口发送所述数据。在 USB 通信中,存在两种类别的数据传送,即异

步传送和周期性传送。使用异步传送来发送控制和大块 (bulk) 数据,并且使用周期性传送来发送同步和中断数据。队列事务描述符 (qTD) 数据结构用于异步传送,而同步事务描述符 (iTd) 数据结构用于周期性传送。

[0022] 处理器 20 依照适当结构准备数据,并且把它存储在系统存储器 30 中,主机控制器 40 然后必须从所述系统存储器 30 中获取数据。

[0023] 图 2 更详细地示出了嵌入式 USB 主机控制器 40 的结构。

[0024] 如上所述,主机控制器 40 具有用于存储器总线 32 的连接,所述存储器总线 32 连接到接口 44,包含存储器管理部件、从设备 DMA 控制器、中断控制部件和硬件配置寄存器。接口 44 还具有用于控制和中断信号的连接 46,以及支持 RAM 结构的寄存器 48 和主机控制器 40 的操作寄存器。

[0025] 接口 44 被连接到主机控制器的芯片级 RAM 50,其在此优选实施例中是双端口 RAM,允许数据同时被写入到存储器及从中读取,但是等效地可以是具有适当仲裁器的单端口 RAM。存储器 50 被连接到主机控制器逻辑部件 52,其还包含用于 USB 总线 42 的接口。可以在内部总线 54 上把控制信号从寄存器 48 发送到逻辑部件 52。

[0026] 图 3 是用于部分示出在主机控制器 40 上操作的软件的示意图,以便图示依照本发明设备的操作方法。

[0027] 主机控制器 40 运行 USB 驱动器软件 80 和 USB 增强主机控制器接口软件 82,所述软件通常是常规的。

[0028] 主机控制器 40 还运行 USB EHCI 接口软件 84,所述 USB EHCI 接口软件 84 为将向其发送数据的每个端点准备基于传送的传送描述符列表。

[0029] 编写 EHCI 接口软件 84 使得它使用由 EHCI 主机栈 82 对于现有的周期性和异步首部所产生的参数,并且可以用于所有不同形式的 USB 传送,特别是高速 USB 传送,诸如高速同步、大块、中断和控制以及开始 / 停止拆分事务。

[0030] 在主机控制器 40 不要求主控总线 32 的情况下,主机微处理器 20 经由外围总线 32 把基于传送的传送描述符写入到主机控制器 40 的 RAM 50 中。换句话说,主机控制器 40 只担当从设备。然后可以把基于传送的传送描述符存储映像到主机控制器 40 的 RAM 50 中。

[0031] 有益地是,主机控制器 40 的内置存储器 50 被映射到主机微处理器 20 中,使得可以更易于从主机微处理器 20 中调度事务。

[0032] 使用双端口 RAM 50 意味着当一个基于传送的传送描述符正由主机控制器 40 执行时,主机微处理器 20 可以把数据写入到另一块空间中。

[0033] 如常规情况那样,数据事务可以包括同步传送、中断传送以及大块和控制传送。如进一步常规情况那样,当已经完成如分组传送描述符所定义的传送时,主机控制器产生中断请求,以用于发送到 CPU20。然而,CPU 并不知道每个事务将何时完成,以及何时在许多设备连接到系统中时就会存在许多中断请求。

[0034] 本发明允许 CPU 按优先次序排列传送描述符,例如对于特定的端点进行排列,使得它们的中断请求被立即处理。在其它情况下,只有当所有中断请求都完成时,CPU 才可以处理来自一组传送描述符的其它中断请求。然后可以在运行过程中更新传送描述符和有效负载而不必停止任何其它 USB 事务或破坏 RAM 数据。还提到中断请求可能会由于超时而出现,特别是在大块和同步事务的情况下。

[0035] 图 4 示出了逻辑的结构,所述逻辑被应用于当事务完成时所产生的中断请求。此逻辑结构可以由硬件的逻辑门或软件来实现。

[0036] PTD Done 映像具有 32 比特。即在此例子中,逻辑可以处理来自多达 32 个分组传送描述符 (PTD) 的中断请求,以表明相应的事务已完成。当事务完成时,PTD Done 映像的相关比特被设置为高。PTD Done 映像的比特被应用于第一系列的 32 个 AND 门 210、第二系列的 32 个 AND 门 220,并且其还被反向施加到第三系列的 32 个 AND 门 230。

[0037] OR 掩码也具有 32 比特,并且用来按优先次序排列特定分组传送描述符。为了向特定分组传送描述符给予特定的优先级,OR 掩码的相应比特被设置为高。OR 掩码的比特被施加到第一系列的 32 个 AND 门 210 的第二输入。

[0038] 此外,AND 掩码也具有 32 比特,并且用来在特定分组传送描述符之间引入关系。AND 掩码的比特被施加到第二系列的 32 个 AND 门 220 的第二输入,以及被施加到第三系列的 32 个 AND 门 230 的第二输入。

[0039] 从而当根据分组传送描述符产生中断请求并且 OR 掩码的相应比特被设置为高时,相应的 AND 门 210 生成逻辑“1”作为输出,并且 OR 门 215、240 动作使得在 OR 门 240 的输出也出现逻辑“1”,并且向 CPU20 发送中断请求。

[0040] 当根据分组传送描述符产生中断请求并且 OR 掩码的相应比特被设置为低时,AND 掩码变得相关。AND 门 220 的输出被施加到 OR 门 225 的各自输入。AND 门 230 的输出被施加到 OR 门 235 的各自输入。OR 门 225 的输出被施加到 AND 门 245 的第一输入,并且 OR 门 235 的输出被反向施加到 AND 门 245 的第二输入。AND 门 245 的输出被施加到 OR 门 240。

[0041] 此逻辑的效果在于只有当根据所有分组传送描述符产生中断请求时,其中 AND 掩码的相应比特被设置为高,那么在 OR 门 240 的输出上才出现逻辑“1”,并且向 CPU 20 发送中断请求。例如,如果在 AND 掩码寄存器中设置比特 2、4 和 10,那么只有当 PTD Done 映像的比特 2、4 和 10 被设置为高时才向 CPU 发送中断请求。如果 PTD Done 映像的比特 2、4 或 10 中只有一个被设置为高,那么不会向 CPU 发送中断。

[0042] 系统软件可以改变 OR 掩码比特以及按照需要可以改变 AND 掩码比特,以便按照传送描述符向 CPU 发送中断请求的能力来确定哪些传送描述符获取优先级,并且哪些传送描述符必须等待直到其它事务完成,继而一起向所述 CPU 发送中断请求。

[0043] 实际上,这允许 CPU 20 改变接收中断请求的频率。

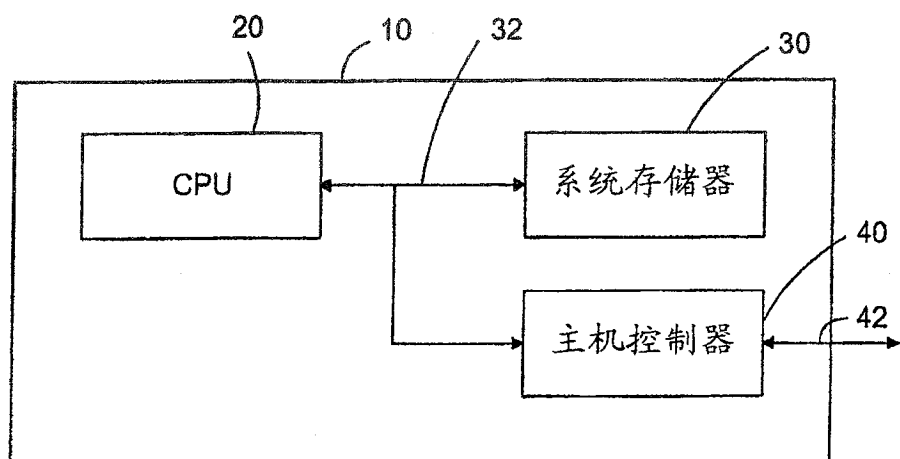


图 1

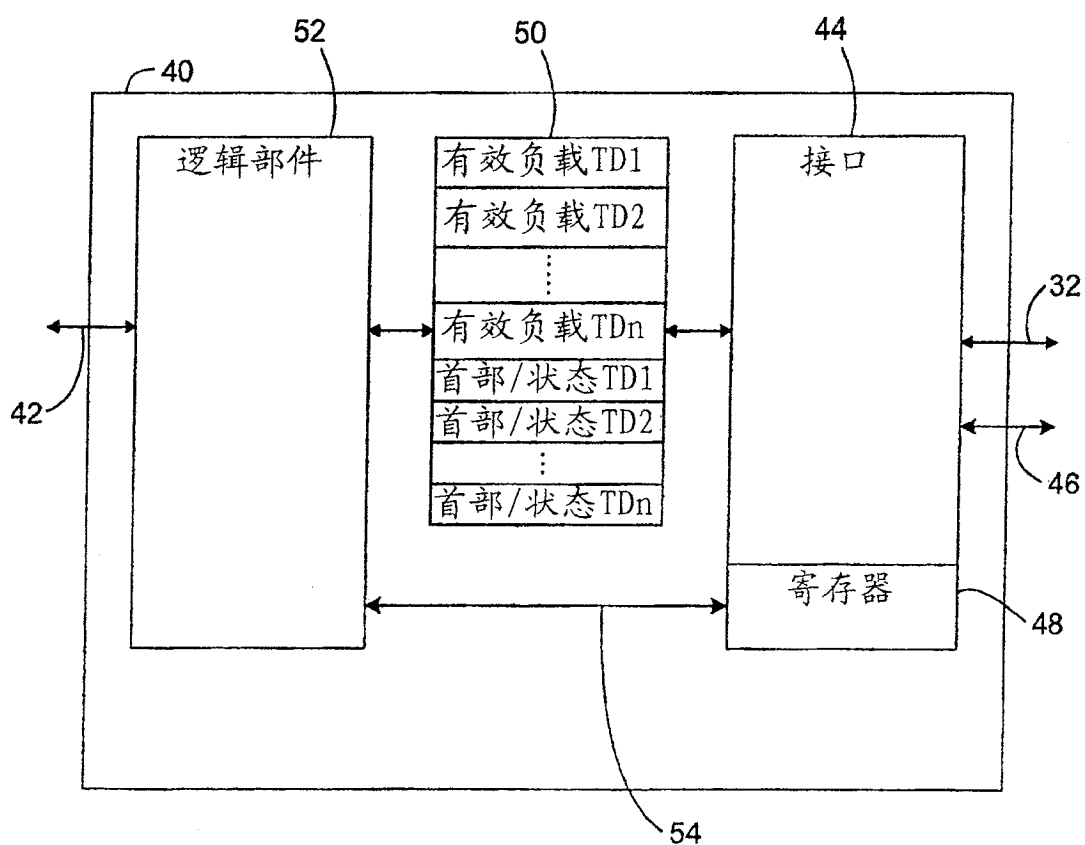


图 2

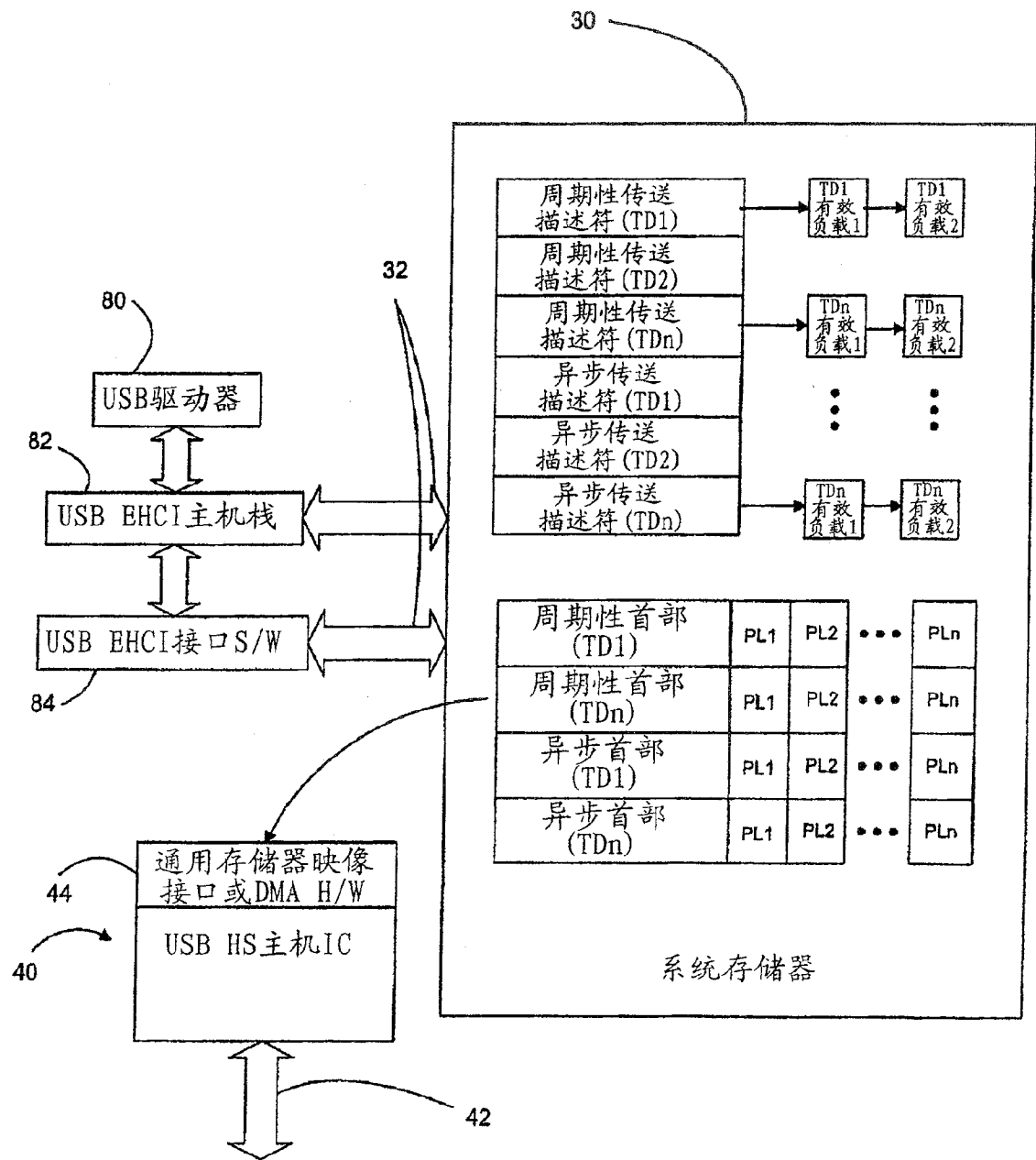


图 3

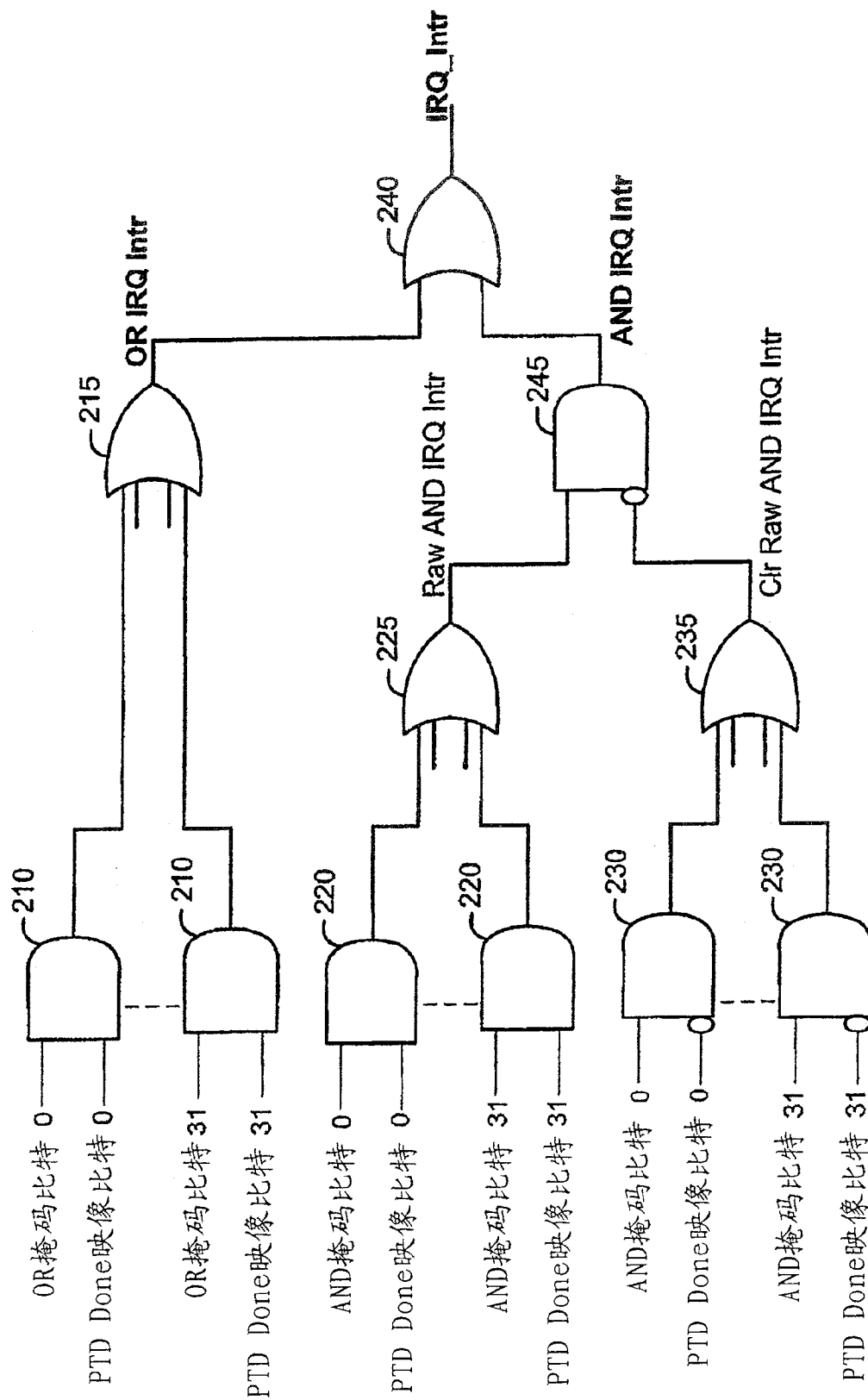


图 4