

특허청구의 범위

청구항 1

기관 상에 형성된 구동 박막 트랜지스터와;

상기 구동 박막 트랜지스터와 접속된 제1 전극과;

상기 제1 전극을 노출시키는 बैं크홀이 형성된 बैं크 절연막과;

상기 बैं크홀 내에 다수의 공통층이 적층된 유기 공통층과;

상기 유기 공통층을 사이에 두고 상기 제1 전극과 마주보도록 형성된 제2 전극을 포함하며,

상기 다수의 공통층은 적어도 차례로 적층된 제1 내지 제3 공통층을 구비하고, 상기 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 2

제1항에 있어서,

상기 다수의 공통층들은 발광층을 기본으로 하고, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 적어도 2개를 구비함을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 3

제2항에 있어서,

상기 제1 전극 상에 버퍼막이 더 구비됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 4

삭제

청구항 5

삭제

청구항 6

복수개의 픽셀 영역을 갖는 기관 상의 각 픽셀 영역에 형성된 복수개의 구동 박막 트랜지스터들;

상기 각 구동 박막 트랜지스터에 접속된 복수개의 제1 전극들;

상기 복수개의 제1 전극들이 형성된 기관상에 다수의 공통층이 적층된 유기 공통층;

상기 유기 공통층상에 형성되는 제2 전극을 포함하며,

상기 다수의 공통층은 적어도 차례로 적층된 제1 공통층, 제2 공통층, 발광층 및 제3 공통층을 구비하고, 상기 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 발광층은 상기 각 제1 전극상의 제2 공통층상에 독립적으로 위치하며, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 7

제6항에 있어서,

상기 다수의 공통층들은 발광층을 기본으로 하고, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 적어도 3개를 구비함을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

복수개의 픽셀 영역을 갖는 기판 상의 각 픽셀 영역에 형성된 복수개의 구동 박막 트랜지스터들;

상기 각 구동 박막 트랜지스터에 접속된 복수개의 제1 전극들;

상기 복수개의 제1 전극들이 형성된 기판상에 다수의 공통층이 적층된 유기 공통층;

상기 유기 공통층상에 형성되는 제2 전극을 포함하며,

상기 다수의 공통층은 적어도 차례로 적층된 제1 공통층, 제2 공통층, 발광층 및 제3 공통층을 구비하고, 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 발광층은 상기 제1 공통층의 일측 에지부와 상기 제2 공통층의 타측 에지부 사이에 위치하며, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제 2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 12

복수개의 픽셀 영역을 갖는 기판 상의 각 픽셀 영역에 형성된 복수개의 구동 박막 트랜지스터들;

상기 각 구동 박막 트랜지스터에 접속된 복수개의 제1 전극들;

상기 복수개의 제1 전극들이 형성된 기판상에 다수의 공통층이 적층된 유기 공통층;

상기 유기 공통층상에 형성되는 제2 전극을 포함하며,

상기 다수의 공통층은 적어도 차례로 적층된 제1 내지 제3 공통층을 구비하고, 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 13

삭제

청구항 14

제1항, 제6항, 제11항 또는 제12항에 있어서,

상기 제1 내지 제3 공통층은 동일 크기를 갖고, 제1 방향 또는 제2 방향으로 10~50 μ m만큼 쉬프트됨을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 15

기관 상에 구동 박막 트랜지스터를 형성하는 단계와;

상기 구동 박막 트랜지스터와 접속된 제1 전극을 형성하는 단계와;

상기 제1 전극 상에 बैं크 절연막을 형성하고, 상기 बैं크 절연막을 관통하여 제1 전극을 노출시키는 बैं크홀을 형성하는 단계와;

상기 बैं크홀 내에 다수의 공통층을 적층하여 유기 공통층을 형성하는 단계와;

상기 유기 공통층 상에 제2 전극을 형성하는 단계를 포함하며,

상기 유기 공통층을 형성하는 단계는,

상기 다수의 공통층은 적어도 차례로 적층된 제1 내지 제3 공통층을 구비하고, 상기 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 유기 전계 발광 표시 패널의 제조 방법.

청구항 16

제15항에 있어서,

상기 다수의 공통층들은 발광층을 기본으로 하고, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 적어도 2개를 구비함을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 17

제15항에 있어서,

상기 제1 전극 상에 버퍼막이 더 형성함을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

복수개의 픽셀 영역을 갖는 기관 상의 각 픽셀 영역에 복수개의 구동 박막 트랜지스터들을 형성하는 단계;

상기 각 구동 박막 트랜지스터에 접속되는 복수개의 제1 전극들을 형성하는 단계;

상기 복수개의 제1 전극들이 형성된 기관상에 다수의 공통층이 적층된 유기 공통층을 형성하는 단계;

상기 유기 공통층상에 제2 전극을 형성하는 단계를 포함하며,

상기 유기 공통층을 형성하는 단계는,

상기 다수의 공통층은 적어도 차례로 적층된 제1 내지 제3 공통층을 구비하고, 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유

기 전계 발광 표시 패널의 제조 방법.

청구항 21

제20항에 있어서,

상기 다수의 공통층들은 발광층을 기본으로 하고, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 적어도 2개를 구비함을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 22

복수개의 픽셀 영역을 갖는 기관 상의 각 픽셀 영역에 복수개의 구동 박막 트랜지스터들을 형성하는 단계;

상기 각 구동 박막 트랜지스터에 접속되는 복수개의 제1 전극들을 형성하는 단계;

상기 복수개의 제1 전극들이 형성된 기관상에 다수의 공통층이 적층된 유기 공통층을 형성하는 단계;

상기 유기 공통층상에 제2 전극을 형성하는 단계를 포함하며,

상기 유기 공통층을 형성하는 단계는,

상기 다수의 공통층은 적어도 차례로 적층된 제1 공통층, 제2 공통층, 발광층 및 제3 공통층을 구비하고, 상기 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 발광층은 상기 각 제1 전극상의 제2 공통층상에 독립적으로 위치하며, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제2 방향으로 쉬프트 되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 23

삭제

청구항 24

삭제

청구항 25

복수개의 픽셀 영역을 갖는 기관 상의 각 픽셀 영역에 복수개의 구동 박막 트랜지스터들을 형성하는 단계;

상기 각 구동 박막 트랜지스터에 접속되는 복수개의 제1 전극들을 형성하는 단계;

상기 복수개의 제1 전극들이 형성된 기관상에 다수의 공통층이 적층된 유기 공통층을 형성하는 단계;

상기 유기 공통층상에 제2 전극을 형성하는 단계를 포함하며,

상기 유기 공통층을 형성하는 단계는,

상기 다수의 공통층은 적어도 차례로 적층된 제1 공통층, 제2 공통층, 발광층 및 제3 공통층을 구비하고, 각 공통층은 양측 에지부를 구비하며, 상기 제2 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 제 1 방향으로 쉬프트되고, 상기 발광층은 상기 제1 공통층의 일측 에지부와 상기 제2 공통층의 타측 에지부 사이에 위치하며, 상기 제3 공통층의 양측 에지부는 상기 제1 공통층의 양측 에지부보다 상기 제1 방향과 반대 방향인 제 2 방향으로 쉬프트되도록 적층되어 상기 유기 공통층의 양 측면이 서로 대칭되도록 계단 형태로 형성되고,

상기 제2 전극은 상기 계단 형태의 유기 공통층의 상면 및 양측면에 균일한 두께로 형성됨을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 26

삭제

청구항 27

삭제

청구항 28

제15항, 제20항, 제22항 또는 제25항에 있어서,

상기 제1 내지 제3 공통층은 동일 크기를 갖고, 제1 방향 또는 제2 방향으로 10~50 μ m만큼 쉬프트됨을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 29

제15항 또는 제20항에 있어서,

상기 유기 공통층을 형성하는 단계는,

상기 각 공통층을 동일 새도우 마스크를 이용하여 형성하고, 상기 새도우 마스크의 위치를 변경하여 형성하는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 특히 열화 현상을 방지할 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 장치 등이 각광받고 있다. 유기 전계 발광 표시 장치(Organic Light Emitting Device: OLED)는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다. 이러한, 유기 전계 발광 표시 장치(OLED)는 능동형 매트릭스 OLED(PMOLED)와 수동형 매트릭스 OLED(AMOLED)로 나뉘지게 된다.

[0003] 이때, 액티브 매트릭스 OLED(AMOLED)는 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 전계 발광 소자와, 그 유기 전계 발광 소자를 구동하는 셀 구동부를 포함한다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 유기 전계 발광 소자의 양극을 구동한다.

[0004] 도 1은 종래 유기 전계 발광 소자를 나타낸 단면도이다.

[0005] 유기 전계 발광 소자는, 도 1에 도시한 바와 같이, 양극(anode, 도면에는 도시되지 않음), 정공 주입층(Hole Transport Layer;HTL), 정공 수송층(Hole Injection Layer;HIL), 발광층, 전자 수송층(Electron Injection Layer;EIL), 전자 주입층(Electron Transport Layer;ETL), 음극(cathode)(10) 등이 순차적으로 적층된다. 여기서, 설명의 편의를 위하여, 상기 차례로 증착된 정공 주입층(Hole Transport Layer;HTL), 정공 수송층(Hole Injection Layer;HIL), 발광층, 전자 수송층(Electron Injection Layer;EIL), 전자 주입층(Electron Transport Layer;ETL)을 유기 공통층이라 한다.

[0006] 이 때, 상기 음극(10)은 상기 유기 공통층의 상측면 및 측면에 형성된다.

[0007] 그러나, 상기 유기 공통층 상에 음극(10)이 증착될 경우에, 상기 유기 공통층의 측면(A)은 경사가 심하므로, 상기 음극(10)이 불균일한 두께로 증착된다. 즉, 상기 유기 공통층 상측에 증착된 음극(10)의 두께는 균일하나, 상기 유기 공통층의 측면(A)에 증착된 음극(10)의 두께는 불균일하게 증착되어 음극(10)의 저항값이 위치마다 달라져서 열화 현상이 발생된다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 열화 현상을 방지할 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0009] 이와 같은 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시 패널은, 기판 상에 형성된 구동 박막 트랜지스터와; 상기 구동 박막 트랜지스터와 접속된 제1 전극과; 상기 제1 전극을 노출시키는 बैं크홀이 형성된 बैं크 절연막과; 상기 बैं크홀 내에 다수의 공통층이 적층된 유기 공통층과; 상기 유기 공통층을 사이에 두고 상기 제1 전극과 마주보도록 형성된 제2 전극을 포함하며, 상기 다수의 공통층들 중 적어도 하나는 적층 위치가 서로 다르게 적층되어 상기 유기 공통층의 양 측면이 계단 형태로 형성된 것을 특징으로 한다.

[0010] 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시 패널은, 복수개의 픽셀 영역을 갖는 기판 상의 각 픽셀 영역에 형성된 복수개의 구동 박막 트랜지스터들; 상기 각 구동 박막 트랜지스터에 접속된 복수개의 제1 전극들; 상기 복수개의 제1 전극들이 형성된 기판상에 다수의 공통층이 적층된 유기 공통층; 상기 유기 공통층상에 형성되는 제2 전극을 포함하며, 상기 다수의 공통층들 중 적어도 하나는 적층 위치가 서로 다르게 적층되어 상기 유기 공통층의 양 측면이 계단 형태로 형성된 것을 특징으로 한다.

[0011] 여기서, 상기 다수의 공통층들은 제1 내지 제5 공통층이 차례로 적층되고,

[0012] 상기 제1 공통층은 정공 주입층, 상기 제2 공통층은 정공 수송층, 상기 제3 공통층은 R,G,B 발광층, 상기 제4 공통층은 전자 수송층, 상기 제5 공통층은 전자 주입층으로 형성되고, 상기 제3 공통층은 각 제1 전극상에 독립적으로 위치하며, 상기 제1, 제2, 제4 및 제5 공통층은 동일 길이를 갖으며, 상기 제1, 제2, 제4 및 제5 공통층 중 적어도 하나의 층은 하층보다 일측 또는 상기 일측에 반대 방향인 타측 방향으로 쉬프트되어 적층됨을 특징으로 한다.

[0013] 상기 다수의 공통층들은 제1 내지 제5 공통층이 차례로 적층되고, 상기 제1 공통층은 정공 주입층, 상기 제2 공통층은 정공 수송층, 상기 제3 공통층은 단색 발광층, 상기 제4 공통층은 전자 수송층, 상기 제5 공통층은 전자 주입층으로 형성되고, 상기 제1 내지 제5 공통층은 동일 길이를 갖으며, 상기 제1 내지 제5 공통층 중 적어도 하나의 층은 하층보다 일측 또는 상기 일측에 반대 방향인 타측 방향으로 쉬프트되어 적층됨을 특징으로 한다.

[0014] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시 패널의 제조 방법은, 기판 상에 구동 박막 트랜지스터를 형성하는 단계와; 상기 구동 박막 트랜지스터와 접속된 제1 전극을 형성하는 단계와; 상기 제1 전극 상에 बैं크 절연막을 형성하고, 상기 बैं크 절연막을 관통하여 제1 전극을 노출시키는 बैं크홀을 형성하는 단계와; 상기 बैं크홀 내에 다수의 공통층을 적층하여 유기 공통층을 형성하는 단계와; 상기 유기 공통층 상에 제2 전극을 형성하는 단계를 포함하며, 상기 유기 공통층을 형성하는 단계는, 상기 다수의 공통층들 중 적어도 하나의 공통층의 적층 위치를 서로 다르게 적층하여 상기 유기 공통층의 양 측면을 계단 형태로 형성하는 것을 특징으로 한다.

[0015] 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시 패널의 제조 방법은, 복수개의 픽셀 영역을 갖는 기판 상의 각 픽셀 영역에 복수개의 구동 박막 트랜지스터들을 형성하는 단계; 상기 각 구동 박막 트랜지스터에 접속되는 복수개의 제1 전극들을 형성하는 단계; 상기 복수개의 제1 전극들이 형성된 기판 상에 다수의 공통층이 적층된 유기 공통층을 형성하는 단계; 상기 유기 공통층상에 제2 전극을 형성하는 단계를 포함하며, 상기 유기 공통층을 형성하는 단계는, 다수의 공통층들 중 적어도 하나는 공통층의 위치가 서로 다르게 적층하여 상기 유기 공통층의 양 측면이 계단 형태로 형성하는 것을 특징으로 한다.

발명의 효과

[0016] 본 발명의 유기 전계 발광 표시 패널은 다수의 정공 주입층(Hole Transport Layer;HTL), 정공 수송층(Hole Injection Layer;HIL), 발광층, 전자 수송층(Electron Injection Layer;EIL), 전자 주입층(Electron Transport Layer;ETL), 을 구비한 유기 공통층을 포함하며, 상기 유기 공통층의 각 층의 적층 위치가 서로 다르게 형성되어 상기 유기 공통층의 양 측면이 계단 형태로 형성된다. 이와 같이, 유기 공통층의 양 측면이 계단 형태로 형성됨으로써 양 측면이 완만하게 된다.

[0017] 이에 따라, 유기 공통층 상에 음극 증착을 할 경우에 유기 공통층의 전면이나 양 측면 모두 균일한 두께로 증착될 수 있다.

[0018] 또한, 음극이 유기 공통층의 전면이나 양 측면에 균일한 두께로 증착함으로써 음극의 저항 값이 일정함으로써 열

화 현상이 발생되지 않는다.

[0019] 이와 같이, 열화 현상이 없는 유기 전계 발광 소자를 형성할 수 있으므로 그에 따른 소자의 수명, 휘도 등이 향상시킬 수 있다.

[0020] 그리고, 새도우 마스크를 오른쪽 방향 또는 왼쪽 방향으로 쉬프트시키면서 상기 유기 공통층의 각층의 적층 위치를 서로 다르게 형성함으로써 하나의 마스크를 이용하여 유기 공통층들을 형성할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 종래 유기 전계 발광 소자를 나타낸 단면도이다.
- 도 2는 본 발명에 따른 R,G,B 서브 화소 영역에 대한 등가 회로도이다.
- 도 3은 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 패널의 단면도이다.
- 도 4는 도 3에 도시된 유기 전계 발광 표시 패널의 유기 전계 발광 소자를 나타낸 확대 단면도이다.
- 도 5는 종래 유기 공통층의 열화 불량률과 본 발명에 따른 계단 형태의 유기 공통층의 열화 불량률을 비교한 그래프이다.
- 도 6a 내지 도 6h는 도 3에 도시된 실시예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.
- 도 7a 내지 도 7e는 도 6h에 도시된 유기 공통층을 형성하는 방법을 설명하기 위한 사시도들이다.
- 도 8은 본 발명의 제 2 실시예의 유기 전계 발광 표시 패널의 단면도이다.
- 도 9는 본 발명의 제 3 실시예의 유기 전계 발광 표시 패널의 단면도이다.
- 도 10은 본 발명의 제 4 실시예의 유기 전계 발광 표시 패널의 단면도이다.
- 도 11은 본 발명의 제 5 실시예에 따른 흑백 유기 전계 발광 표시 패널의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 상기와 같은 특징을 갖는 본 발명에 따른 유기 전계 발광 표시 패널 및 그의 제조 방법을 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.
- [0023] 이하, 본 발명의 바람직한 실시 예를 도 2 내지 도 11을 참조하여 상세히 설명하기로 한다.
- [0024] 도 2는 본 발명에 따른 R,G,B 서브 화소 영역에 대한 등가 회로도이고, 도 3은 본 발명의 제 1 실시예에 따른 도 2에 도시된 R,G,B 서브 화소 영역의 유기 전계 발광 표시 패널의 단면도이다. 또한, 도 4는 도 3에 도시된 유기 전계 발광 표시 패널의 유기 전계 발광 소자를 나타낸 확대 단면도이다.
- [0025] 도 2에 도시된 바와 같이 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널은 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL)의 교차로 형성된 다수의 화소 영역과, 다수의 화소 영역에 형성된 유기 전계 발광 소자와, 유기 전계 발광 소자를 구동하는 셀 구동부(200)를 포함한다.
- [0026] 다수의 화소 영역은 R 서브 화소 영역, G 서브 화소 영역, B 서브 화소 영역으로 구성되며, R,G,B 서브 화소 영역들이 매트릭스 형태로 배열되어 화상을 표시하게 된다.
- [0027] 셀 구동부(200)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위치 박막 트랜지스터(TS)와, 스위치 박막 트랜지스터(TS) 및 전원 라인(PL)과 유기 전계 발광 소자의 제1 전극(222) 사이에 접속된 구동 박막 트랜지스터(TD)와, 전원 라인(PL)과 스위치 박막 트랜지스터(TS)의 드레인 전극(110) 사이에 접속된 스토리지 커패시터(C)를 구비한다.
- [0028] 스위치 박막 트랜지스터(TS)의 게이트 전극은 게이트 라인(GL)과 접속되고 소스 전극은 데이터 라인(DL)과 접속되며 드레인 전극은 구동 박막 트랜지스터(TD)의 게이트 전극 및 스토리지 캐패시터(C)와 접속된다. 구동 박막 트랜지스터(TD)의 소스 전극은 전원 라인(PL)과 접속되고 드레인 전극은 OEL 셀의 양극 역할을 하는 화소 전극

과 접속된다. 스토리지 캐패시터(C)는 전원 라인(PL)과 구동 박막 트랜지스터(TD)의 게이트 전극 사이에 접속된다.

[0029] 스위치 박막 트랜지스터(TS)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(C) 및 구동 박막 트랜지스터(TD)의 게이트 전극으로 공급한다. 구동 박막 트랜지스터(TD)는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기 전계 발광 소자로 공급되는 전류(I)을 제어함으로써 유기 전계 발광 소자의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 유기 전계 발광 소자가 발광을 유지하게 한다.

[0030] 구동 박막 트랜지스터는 도 3에 도시된 바와 같이, 기관(101) 전면에 버퍼막(116)이 형성되고, 각 서브 픽셀 영역마다 액티브층(114)이 형성되며, 상기 액티브층(114)을 포함한 기관 전면에 게이트 절연막(112)이 형성된다.

[0031] 그리고 상기 각 액티브층(114)상의 게이트 절연막(112)위에 게이트 전극(106)이 형성된다. 따라서, 상기 게이트 전극(106) 하층의 액티브층(114)은 채널 영역(114C)이 되고, 상기 게이트 전극(106) 양층의 액티브층(114)에는 불순물 이온(N+)이 주입되어 소스 영역(114S) 및 드레인 영역(114D)가 형성된다.

[0032] 그리고, 상기 게이트 전극(106)을 포함한 기관 전면에 층간 절연막(126)이 형성되고, 상기 소스 영역(114S) 및 드레인 영역(114D)상의 상기 층간 절연막(126)에 소스 컨택홀(124S) 및 드레인 컨택홀(124D)이 형성되고, 상기 소스 컨택홀(124S) 및 드레인 컨택홀(124D)을 통해 상기 불순물 이온(n+)이 주입된 소스 영역(114S) 및 드레인 영역(114D)에 전기적으로 연결되도록 소스 전극(108) 및 드레인 전극(110)이 각각 형성된다.

[0033] 또한, 도면에는 도시되지 않았지만, 상기 액티브층(114)은 오프 전류를 감소시키기 위해 채널 영역(114C)과 소스 및 드레인 영역(114S, 114D) 사이에 n- 불순물이온이 주입된 엘디디(Light Dropped Drain; LDD) 영역을 더 구비될 수 있다. 이와 같이 구동 박막트랜지스터(TD)가 형성된다.

[0034] 또한, 상기 구동 박막 트랜지스터(TD)가 형성된 상기 기관(101) 전면에 보호막(119)이 형성된다. 상기 보호막(119)은 무기 절연 물질로 형성된 무기 보호막 또는 유기 절연 물질로 형성된 유기 보호막으로 형성되거나, 무기 보호막 및 유기 보호막의 두 층으로 형성될 수 있다.

[0035] 상기에서 설명한 구성은 본 발명의 각 실시예에 공통으로 적용된다.

[0036] 제 1 실시예

[0037] 본 발명의 제 1 실시예에 따른 유기 전계 발광 소자는, 도 3 및 도 4에 도시한 바와 같이, 각 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접속되어 상기 보호막(119)상에 제1 전극(132)이 형성되고, 상기 제1 전극(132)을 노출시키는 뱅크홀(135)을 갖는 뱅크 절연막(130)이 전면에 형성된다.

[0038] 그리고, 상기 제1 전극(132) 상에 버퍼막(136)과 다수의 층(150a 내지 150e)으로 형성된 유기 공통층(150)이 형성되고, 상기 유기 공통층(150) 위에 제2 전극(152)이 형성된다. 이러한, 유기 전계 발광 소자는 제1 전극(132)과 제2 전극(152) 사이에 전압을 인가되면, 제1 전극(132)으로부터 정공(hole)이 제2 전극(152)으로부터 전자(electron)가 주입되어 발광층(150c)에서 재결합하여 이로 인해 엑시톤(exciton)이 생성되며, 이 엑시톤이 기저상태로 떨어지면서 빛이 배면(Bottom)으로 방출하게 된다.

[0039] 제1 전극(132)은 양극(Anode)으로 TCO(Transparent Conductive Oxide; 이하, TCO), ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등과 같은 투명 도전 전극으로 형성된다. 이러한 제1 전극(132)은 투명 도전 전극으로 형성됨으로써 상기 발광층(150c)으로부터 생성된 광이 제1 전극(132)을 통해 배면 발광을 할 수 있다. 그리고, 제2 전극(152)은 음극(Cathode)으로 알루미늄(Al)과 같이 반사성 금속 재질로 형성된다.

[0040] 도 3에 도시된 바와 같이 본 발명은 배면 발광을 할 수 있지만, 제1 및 제2 전극(132, 152)의 재질에 따라 배면, 전면, 양면 발광을 할 수 있다.

[0041] 상기 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)으로 형성되며, 계단 형태로 형성된다. 구체적으로, 제1 공통층(150a)으로는 정공 주입층(Hole Injection Layer; HIL)이 형성되고, 제2 공통층(150b)으로 정공 수송층(Hole Transport Layer; HTL)이 형성되고, 제3 공통층(150c)으로는 R,G,B 발광층(Emitting Layer; EML)이 형성되고, 제4 공통층(150d)으로 전자 수송층(Electron Transport Layer; ETL)이 형성되고, 제5 공통층

(150e)으로 전자 주입층(Electron Injection Layer;EIL)이 형성된다. 이때, 제3 공통층(130c)은 R 서브 화소 영역에서 적색 발광층(Red Emitting Layer)으로 형성되어 적색(G)을 발광하며, G 서브 화소 영역에서 녹색 발광층(Green Emitting Layer)으로 형성되어 녹색(G)을 발광하며, B 서브 화소 영역에서 청색 발광층(Blue Emitting Layer)으로 형성되어 청색(B)을 발광한다.

[0042] 도 4에 도시된 바와 같이 제1 공통층(150a)은 버퍼막(136) 상에 적층되고, 제2 공통층의 일측 에지부(150b-1)는 제1 공통층의 일측 에지부(150a-1)보다 왼쪽으로 일정 간격 이격된 위치에 위치하며, 제3 공통층의 타측 에지부(150c-2)는 제1 공통층의 타측 에지부(150a-2)보다 오른쪽으로 일정 간격 이격된 위치에 위치하며, 제4 공통층의 일측 에지부(150d-1)는 제2 공통층의 일측 에지부(150b-1)보다 왼쪽으로 일정 간격 이격된 위치에 위치하며, 제5 공통층의 타측 에지부(150e-2)는 제3 공통층의 타측 에지부(150c-2)보다 오른쪽으로 일정 간격 이격된 위치에 위치한다.

[0043] 이때, 제2 공통층의 일측 에지부(150b-1)는 제1 공통층의 일측 에지부(150a-1)보다 왼쪽으로 10~50 μ m만큼 쉬프트된 위치에 위치하며, 바람직하게는 30 μ m만큼 이격된 위치에 위치한다. 그리고, 제3 공통층의 타측 에지부(150c-2)는 제1 공통층의 타측 에지부(150a-2)보다 오른쪽으로 10~50 μ m만큼 이격된 위치에 위치하며, 바람직하게는 30 μ m만큼 이격된 위치에 위치한다.

[0044] 또한, 상기 제4 공통층의 일측 에지부(150d-1)는 제2 공통층의 일측 에지부(150b-1)보다 왼쪽으로 10~50 μ m만큼 이격된 위치에 위치하며, 바람직하게는 30 μ m만큼 이격된 위치에 위치한다. 그리고, 제5 공통층의 타측 에지부(150e-2)는 제3 공통층의 타측 에지부(150c-2)보다 오른쪽으로 10~50 μ m만큼 이격된 위치에 위치하며, 바람직하게는 30 μ m만큼 이격된 위치에 위치한다.

[0045] 이와 같이, 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)의 적층 위치를 다르게 하여 양측면이 계단 형태로 형성된다. 유기 공통층(150)의 양측 에지부가 계단형태로 완만하게 형성됨으로써 제2 전극(152)이 증착할 경우에 제2 전극(152)이 유기 공통층(150) 상에 균일한 두께로 적층된다. 또한, 균일한 두께로 적층됨으로써 유기 공통층(150)과 제2 전극(152) 간의 열화 현상이 발생되지 않는다.

[0046] 도 5는 종래 유기 공통층의 열화 불량률과 본 발명에 따른 계단 형태의 유기 공통층(150)의 열화 불량률을 비교한 그래프이다. 도 1에 도시된 바와 같이 종래 공통층들(HIL,HTL,EML,ETL,EIL)을 동일 위치에 순차적으로 적층한 경우에는 열화 발생률이 평균 3.9%로 발생되었지만, 본 발명과 같이 제1 내지 제5 공통층들(150a 내지 150e)의 적층 위치를 다르게 하여 계단 형태로 형성한 경우에는 열화 발생률이 0%로 없어졌다.

[0047] 이를 설명하자면, 종래 공통층들(HIL,HTL,EML,ETL,EIL)을 동일 위치에 순차적으로 적층한 경우에는 음극(10)이 불균일한 두께로 증착된다. 즉, 도 1과 같이 적층된 공통층들(HIL,HTL,EML,ETL,EIL) 상에 음극(120)을 증착할 경우에 공통층들(HIL,HTL,EML,ETL,EIL)의 전면 상에는 균일한 두께로 증착되나, 공통층들(HIL,HTL,EML,ETL,EIL)의 측면에 증착될 경우에는 제대로 증착되지 못하고 얇게 증착된다. 따라서, 공통층들(HIL,HTL,EML,ETL,EIL) 전면 상에는 음극(10)이 균일한 두께로 형성되나, 공통층들(HIL,HTL,EML,ETL,EIL)의 측면에는 음극(10)이 얇게 증착됨으로써 음극(10)의 두께는 위치에 따라 달라진다. 위치에 따라 음극의 두께가 달라짐으로써 열화 현상이 발생된다. 다시 말하여, 공통층들(HIL,HTL,EML,ETL,EIL) 전면에 증착된 음극(10)의 두께보다 공통층들(HIL,HTL,EML,ETL,EIL) 측면에 증착된 음극의 두께가 얇게 됨으로써 측면에서 저항 값이 커져 그에 따른 열화 현상이 발생된다.

[0048] 하지만, 본 발명의 유기 공통층(150)은 다수의 공통층들(150a 내지 150e)의 적층 위치가 다른 계단 형태로 형성함으로써 측면 상에 얇게 증착되었던 음극(152)이 균일하게 증착된다. 이에 따라, 유기 공통층(150)의 전면 상에 증착된 음극(152)의 두께 및 유기 공통층(150)의 측면 상에 증착된 음극(152)의 두께가 균일하게 증착됨으로써 열화 현상이 발생되지 않는다.

[0049] 캡핑층(Capping Layer)(154)은 수분 및 산소 등의 유입을 방지하기 위해 적어도 두층으로 형성되며, 도 3에 도시된 바와 같이 무기막(154a) 및 유기막(154b)으로 형성될 수 있으며, 무기막 및 유기막을 다수의 층으로 형성할 수 있다.

[0050] 이와 같이 구성되는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 패널의 제조 방법을 설명하면 다음과 같다.

[0051] 도 6a 내지 도 6h는 도 3에 도시된 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.

- [0052] 도 6a에 도시한 바와 같이, 기판(101) 전면에 버퍼막(116)이 형성되고, 각 서브 화소 영역의 상기 버퍼막(116) 위에 액티브층(114)이 형성된다.
- [0053] 구체적으로, 버퍼막(116)은 기판(100) 상에 산화 실리콘(SiO₂) 등과 같은 무기 절연 물질이 CVD, PECVD(Plasam Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착되어 형성된다. 상기 액티브층(114)은 버퍼막(116) 상에 아몰퍼스-실리콘을 증착한 후 그 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 되는 다음, 그 폴리-실리콘을 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다. 레이저 결정화 이전에 아몰퍼스 실리콘 박막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(Dehydrogenation) 공정을 더 진행하기도 한다.
- [0054] 도 6b에 도시한 바와 같이, 상기 액티브층(114,214)이 형성된 버퍼막(116) 전면에 게이트 절연막(112)을 형성하고, 상기 게이트 절연막(112)위에 게이트 전극(106)을 형성하고, 상기 액티브층(114)의 채널 영역(114C)을 사이에 두고 마주보는 소스 영역(114S) 및 드레인 영역(114D)을 형성한다.
- [0055] 구체적으로, 상기 게이트 절연막(112)은 상기 액티브층(114)이 형성된 버퍼막(116) 상에 산화 실리콘(SiO₂) 등과 같은 무기 절연 물질을 PECVD 또는 CVD 등의 방법으로 전면 증착한다. 이어서, 상기 게이트 절연막(112) 위에 게이트 금속층이 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층을 형성한다. 상기 게이트 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 적층한다. 그 다음 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층을 패터닝하여 게이트 전극(106)을 형성한다.
- [0056] 그리고, 상기 게이트 전극(106)을 마스크로 이용하여 상기 게이트 전극(106)과 비중첩된 액티브층(114)에 n+ 불순물 이온을 도핑함으로써 n+ 불순물이 도핑된 소스 영역(114S) 및 드레인 영역(114D)을 형성한다.
- [0057] 도 6c에 도시한 바와 같이, 상기 게이트 전극(106)이 형성된 게이트 절연막(112) 상에 층간 절연막(126)을 형성하고, 상기 층간 절연막(126)을 관통하는 소스 및 드레인 콘택홀(124S,124D)을 형성한다.
- [0058] 구체적으로, 상기 층간 절연막(126)은 상기 게이트 전극(106)이 형성된 게이트 절연막(112) 상에 산화 실리콘, 질화 실리콘 등과 같은 무기 절연 물질을 PECVD 또는 CVD 등의 증착 방법으로 전면 증착된다. 이어서, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로, 상기 소스 영역(114S) 및 드레인 영역(114D)이 노출되도록, 상기 게이트 절연막(112), 층간 절연막(126)을 관통하는 소스 및 드레인 콘택홀(124S,124D)이 형성된다. 소스 및 드레인 콘택홀(124S,124D)은 소스 및 드레인 영역(114S,114D,214S,214D)을 노출시킨다.
- [0059] 도 6d에 도시한 바와 같이, 층간 절연막(126)이 형성된 기판(101) 상에 소스 및 드레인 전극(108,110)을 형성한다.
- [0060] 구체적으로, 층간 절연막(126) 상에 스퍼터링 등의 증착 방법으로 소스 및 드레인 금속층을 형성한 뒤, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스 및 드레인 금속층을 패터닝함으로써 소스 전극(108) 및 드레인 전극(110)을 형성한다. 소스 전극(108) 및 드레인 전극(110)은 소스 및 드레인 콘택홀(124S,124D) 각각을 통해 액티브층(114)의 소스 영역 및 드레인 영역(114S,114D)과 각각 접속된다.
- [0061] 도 6e에 도시한 바와 같이, 소스 및 드레인 전극(108,110)이 형성된 기판(101) 상에 화소 콘택홀(120)을 포함하는 보호막(119)을 형성한다.
- [0062] 구체적으로, 소스 및 드레인 전극(108,110)이 형성된 기판(101) 상에 PECVD 또는 CVD 방법으로 보호막(119)을 형성한다. 상기 보호막(119)으로는 무기 절연 물질 또는 유기 절연 물질로 형성될 수 있으며, 무기 절연 물질 및 유기 절연 물질로 이루어지도록 두 층으로 형성될 수 있다. 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(119)을 패터닝하여 보호막(119)을 관통하는 화소 콘택홀(120)을 형성한다. 이러한, 화소 콘택홀(120)은 드레인 전극(110)을 노출시킨다.
- [0063] 도 6f에 도시한 바와 같이, 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 직접 접촉된 유기 전계 발광 소자의 제1 전극(132)을 형성한다.
- [0064] 구체적으로, 보호막(119) 상에 스퍼터링 등의 증착 방법으로 TCO(Transparent Conductive Oxide; 이하, TCO)와, ITO(Indium Tin Oxide; 이하,ITO), IZO(Indium Zinc Oxide; 이하,IZO) 등과 같은 투명 도전 전극층을 형성한 뒤, 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전 전극층을 패터닝함으로써 제1 전극(132)을 형성한다.

- [0065] 도 6g에 도시한 바와 같이, 제1 전극(132)이 형성된 기판(101) 상에 बैं크홀(135)을 가지는 बैं크 절연막(130)을 형성한다.
- [0066] 구체적으로, 제1 전극(132)이 형성된 기판(101) 상에 스펀리스 또는 스펀 코팅 등의 코팅 방법을 통해 아크릴계 수지와 같은 유기 절연 물질을 전면 형성한다. 그런 다음, 제7 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연 물질을 패터닝하여 제1 전극(132)이 노출되도록 बैं크홀(135)을 형성한다.
- [0067] 도 6h에 도시한 바와 같이, 제1 전극(132) 상에 버퍼막(136), 다수의 공통층(150a 내지 150e)을 포함하는 유기 공통층(150), 제2 전극(152)을 형성한다.
- [0068] 구체적으로, बैं크홀(135) 내에 버퍼막(136)을 증착한 뒤, 새도우 마스크(180)를 이용하여 버퍼막(136) 상에 제1 내지 제5 공통층(150a 내지 150e)을 순차적으로 적층하여 유기 공통층(150)을 형성한다.
- [0069] 이를 구체적으로 설명하면 다음과 같다.
- [0070] 도 7a 내지 도 7e는 도 6h에 도시된 유기 공통층을 형성하는 방법을 설명하기 위한 사시도들이다.
- [0071] 도 7a에 도시한 바와 같이, 새도우 마스크(180)는 증착시 증착 물질이 통과할 수 있도록 각 화소 영역에 대응되는 크기의 다수의 개구부(184)와, 증착시 증착 물질을 차단하는 차단 영역(182)을 포함한다. 제1 내지 제5 공통층(150a 내지 150e)을 형성하는 방법을 설명하기로 한다.
- [0072] 우선, 도 7a에 도시한 바와 같이 새도우 마스크의 개구부(184)를 통해 제1 전극(132) 상에 정공 주입층(HIL)인 제1 공통층(150a)을 적층한다.
- [0073] 다음, 새도우 마스크(180)를 이용하여 제1 공통층(150a) 상에 정공 수송층(HTL)인 제2 공통층(150b)을 적층한다.
- [0074] 도 7b에 도시한 바와 같이, 새도우 마스크(180)를 제1 공통층(150a)을 기준으로 왼쪽 방향으로 10 μ m~50 μ m만큼 쉬프트시킨다. 왼쪽 방향으로 쉬프트된 상태의 새도우 마스크(180)의 개구부(184)를 통해 제1 공통층(150a) 상에 제2 공통층(150b)을 적층한다. 이에 따라, 제2 공통층(150b)은 제1 공통층(150a)을 기준으로 왼쪽 방향으로 쉬프트되어 제1 공통층(150a) 상에 적층된다.
- [0075] 도 7c에 도시한 바와 같이, 새도우 마스크(180)를 제1 공통층(150a)을 기준으로 오른쪽 방향으로 10 μ m~50 μ m만큼 쉬프트시킨다. 오른쪽 방향으로 쉬프트된 상태의 새도우 마스크(180)의 개구부(184)를 통해 제2 공통층(150b) 상에 R,G,B 발광층인 제3 공통층(150c)을 적층한다. 이에 따라, 제3 공통층(150c)은 제1 공통층(150a)을 기준으로 오른쪽 방향으로 쉬프트되어 제2 공통층(150b) 상에 적층된다.
- [0076] 도 7d에 도시한 바와 같이, 동일 새도우 마스크(180)를 제2 공통층(150b)을 기준으로 왼쪽 방향으로 10 μ m~50 μ m만큼 쉬프트시킨다. 왼쪽 방향으로 쉬프트된 상태의 새도우 마스크의 개구부(184)를 통해 제3 공통층(150c) 상에 제4 공통층(150d)을 적층한다. 이에 따라, 제4 공통층(150d)은 제2 공통층(150b)을 기준으로 왼쪽 방향으로 쉬프트되어 제3 공통층(150c) 상에 적층된다.
- [0077] 도 7e에 도시한 바와 같이, 상기 새도우 마스크(180)를 제3 공통층(150c)을 기준으로 오른쪽 방향으로 10 μ m~50 μ m만큼 쉬프트시킨다. 오른쪽 방향으로 쉬프트된 상태의 새도우 마스크의 개구부(184)를 통해 제4 공통층(150d) 상에 제5 공통층(150e)을 적층한다. 이에 따라, 제5 공통층(150e)은 제3 공통층(150c)을 기준으로 오른쪽 방향으로 쉬프트되어 제4 공통층(150d) 상에 적층된다.
- [0078] 이에 따라, 제1 공통층(150a)은 버퍼막(136) 상에 적층되고, 제2 공통층의 일측 에지부(150b-1)는 제1 공통층의 일측 에지부(150a-1)보다 왼쪽으로 일정 간격 이격된 위치에 위치하며, 제3 공통층의 타측 에지부(150c-2)는 제1 공통층의 타측 에지부(150a-2)보다 오른쪽으로 일정 간격 이격된 위치에 위치하며, 제4 공통층의 일측 에지부(150d-1)는 제2 공통층의 일측 에지부(150b-1)보다 왼쪽으로 일정 간격 이격된 위치에 위치하며, 제5 공통층의 타측 에지부(150e-2)는 제3 공통층의 타측 에지부(150c-2)보다 오른쪽으로 일정 간격 이격된 위치에 위치한다. 이와 같이, 유기 공통층(150)의 양 측면은 계단 형태로 형성된다.
- [0079] 마지막, 유기 공통층(150)이 형성된 기판(101) 상에 알루미늄(AL) 등과 같은 반사성이 높은 제2 전극(152) 및 캡핑층(154)을 전면 증착한다. 상기 캡핑층(154)은 제2 전극(152) 상에 실리콘 질화막, 실리콘 산화막, 금속 또는 금속 산화막 등의 무기막(154a)과, 아크릴레이트 등과 같은 유기막(154b)이 CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착되어 형성된다.

- [0080] 제 2 실시예
- [0081] 상기 제 1 실시예에서는 각 픽셀마다 제1 내지 제5 공통층이 왼쪽 및 오른쪽으로 쉬프트되어 형성되어 유기 공통층(150)의 양 측면이 계단 형태로 형성됨을 설명하였다. 그러나, 상기와 같은 유기 공통층이 각 픽셀마다 계단형태로 형성됨에 한정되지 않고 패널 전면에서 공통으로 유기 공통층이 계단 형태로 형성될 수 있다.
- [0082] 도 8은 본 발명의 제 2 실시예의 유기 전계 발광 표시 패널의 단면도이다.
- [0083] 본 발명의 제 2 실시예도, 도 3 및 도 4에 도시한 바와 같이, 각 픽셀 마다 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접촉되어 상기 보호막(119)상에 제1 전극(132)들이 형성되고, 상기 각 제1 전극(132)을 노출시키는뱅크홀(135)을 갖는 बैं크 절연막(130)이 전면에 형성된다.
- [0084] 그리고, 상기 각 제1 전극(132) 상에 공통으로 다수의 층(150a 내지 150e)으로 형성된 유기 공통층(150)이 형성되고, 상기 유기 공통층(150) 위에 제2 전극(152)이 형성된다.
- [0085] 즉, 상기 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)으로 형성되며, 계단 형태로 형성된다. 구체적으로, 제1 공통층(150a)으로는 정공 주입층(Hole Injection Layer;HIL)이 형성되고, 제2 공통층(150b)으로 정공 수송층(Hole Transport Layer;HTL)이 형성되고, 제3 공통층(150c)으로는 R,G,B 발광층(Emitting Layer;EML)이 형성되고, 제4 공통층(150d)으로 전자 수송층(Electron Transport Layer;ETL)이 형성되고, 제5 공통층(150e)으로 전자 주입층(Electron Injection Layer;EIL)이 형성된다.
- [0086] 이때, 상기 제 1 내지 제 2 및 제 4 내지 제 5 공통층(150a, 150b, 150d, 150e)는 패널 전면에서 각 픽셀 영역에서 공통으로 형성되고, 제3 공통층(150c)은 각 픽셀 영역마다 분리되어 R 서브 화소 영역에서 적색 발광층(Red Emitting Layer)으로 형성되어 적색(R)을 발광하며, G 서브 화소 영역에서 녹색 발광층(Green Emitting Layer)으로 형성되어 녹색(G)을 발광하며, B 서브 화소 영역에서 청색 발광층(Blue Emitting Layer)으로 형성되어 청색(B)을 발광한다.
- [0087] 제2 공통층(150b)의 일측 에지부는 제1 공통층(150a)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제3 공통층(150c)은 각 픽셀 영역마다 상기 제2 공통층(150b)위에 형성되고, 제4 공통층(150d)의 타측 에지부는 제1 공통층(150a)의 타측 에지부보다 왼쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제5 공통층(150e)의 일측 에지부는 제2 공통층(150b)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치한다.
- [0088] 이와 같이, 유기 공통층(150)은 제1, 제2, 제4 및 제5 공통층(150a, 150b, 150d, 150e)의 적층 위치를 다르게 하여 양측면이 계단 형태로 형성된다. 유기 공통층(150)의 양측 에지부가 계단형태로 완만하게 형성됨으로써 제2 전극(152)이 증착할 경우에 제2 전극(152)이 유기 공통층(150) 상에 균일한 두께로 적층된다. 또한, 균일한 두께로 적층됨으로써 유기 공통층(150)과 제2 전극(152) 간의 열화 현상이 발생되지 않는다.
- [0089] 상기 유기 공통층(150)의 형성 방법은, 도 6a 내지 6h 및 도 7a 내지 7e에서 설명한 방법과 동일하므로 생략한다.
- [0090] 단, 본 발명의 제 1 실시예에서는 새도우 마스크(180)의 개구부(184)가 각 픽셀 영역에 대응되는 위치에 형성되지만, 본 발명의 제 2 실시예에서는 각 픽셀 영역과 무관하게 패널 전면에서 공통으로 하나 형성된다.
- [0091] 제 3 실시예
- [0092] 한편, 본 발명의 제 2 실시예는 R, G, B 칼라 영상을 구현하기 위한 유기 전계 발광 표시 패널에 관한 것이나, 흑백 영상을 구현하기 위한 유기 전계 발광 표시 패널은 다르게 구성 및 제조될 수 있다.
- [0093] 도 9는 본 발명의 제 3 실시예에 따른 흑백 유기 전계 발광 표시 패널의 단면도이다.
- [0094] 본 발명의 제 3 실시예도, 도 3 및 도 4에 도시한 바와 같이, 각 픽셀 마다 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접촉되어 상기 보호막(119)상에 제1 전극(132)들이 형성되고, 상기 각 제1 전극(132)을 노출시키는뱅크홀(135)을 갖는 बैं크 절연막(130)이 전면에 형성된다.
- [0095] 그리고, 상기 각 제1 전극(132) 상에 공통으로 다수의 층(150a 내지 150e)으로 형성된 유기 공통층(150)이 형성되고, 상기 유기 공통층(150) 위에 제2 전극(152)이 형성된다.
- [0096] 즉, 상기 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)으로 형성되며, 계단 형태로 형성된다. 구체적으로, 제1 공통층(150a)으로는 정공 주입층(Hole Injection Layer;HIL)이 형성되고, 제2 공통층(150b)으로

정공 수송층(Hole Transport Layer;HTL)이 형성되고, 제3 공통층(150c)으로는 단색 발광층(Emitting Layer;EML)이 형성되고, 제4 공통층(150d)으로 전자 수송층(Electron Transport Layer;ETL)이 형성되고, 제5 공통층(150e)으로 전자 주입층(Electron Injection Layer;EIL)이 형성된다. 여기서, 상기 제3 공통층(150c)의 단색 발광층(Emitting Layer;EML)은 백색 발광층이 될 수 있으며, 상기 백색 발광층은 2층 이상의 적층 구조로 형성될 수 있다.

[0097] 이때, 상기 제 1 내지 제 5 공통층(150a, 150b, 150c, 150d, 150e)는 패널 전면에 각 픽셀 영역에 공통으로 형성된다.

[0098] 제2 공통층(150b)의 일측 에지부는 제1 공통층(150a)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제3 공통층(150c)은 제1 공통층(150a)의 타측 에지부와 제2 공통층(150b)의 일측 에지부 사이에 위치하며, 제4 공통층(150d)의 타측 에지부는 제1 공통층(150a)의 타측 에지부보다 왼쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제5 공통층(150e)의 일측 에지부는 제2 공통층(150b)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치한다.

[0099] 본 발명의 제 3 실시예에서는 발광층인 제3 공통층(150c)이 제1 공통층(150a)의 타측 에지부와 제2 공통층(150b)의 일측 에지부 사이에 위치하며, 유기 공통층(150)은 제1, 제2, 제4 및 제5 공통층(150a, 150b, 150d, 150e)의 적층 위치를 다르게 하여 양측면이 계단 형태로 형성된다. 유기 공통층(150)의 양측 에지부가 계단 형태로 완만하게 형성됨으로써 제2 전극(152)이 증착할 경우에 제2 전극(152)이 유기 공통층(150) 상에 균일한 두께로 적층된다. 또한, 균일한 두께로 적층됨으로써 유기 공통층(150)과 제2 전극(152) 간의 열화 현상이 발생되지 않는다.

[0100] 상기 유기 공통층(150)의 형성 방법은, 도 6a 내지 6h 및 도 7a 내지 7e에서 설명한 방법과 동일하므로 생략한다.

[0101] 단, 본 발명의 제 1 실시예에서는 새도우 마스크(180)의 개구부(184)가 각 픽셀 영역에 대응되는 위치에 형성되지만, 본 발명의 제 3 실시예에서는 각 픽셀 영역과 무관하게 패널 전면에 공통으로 하나 형성된다.

[0102] 제 4 실시예

[0103] 한편, 본 발명의 제 3 실시예는 발광층인 제3 공통층(150c)이 제1 공통층(150a)의 타측 에지부와 제2 공통층(150b)의 일측 에지부 사이에 위치하도록 형성한 것이나, 이에 한정되지 않는다. 즉, 상기 발광층인 제3 공통층(150c)도 일 방향으로 쉬프트되어 형성되어도 무방하다.

[0104] 도 10은 본 발명의 제 4 실시예에 따른 흑백 유기 전계 발광 표시 패널의 단면도이다.

[0105] 본 발명의 제 4 실시예도, 도 3 및 도 4에 도시한 바와 같이, 각 픽셀 마다 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접속되어 상기 보호막(119)상에 제1 전극(132)들이 형성되고, 상기 각 제1 전극(132)을 노출시키는 बैं크홀(135)을 갖는 बैं크 절연막(130)이 전면에 형성된다.

[0106] 그리고, 상기 각 제1 전극(132) 상에 공통으로 다수의 층(150a 내지 150e)으로 형성된 유기 공통층(150)이 형성되고, 상기 유기 공통층(150) 위에 제2 전극(152)이 형성된다.

[0107] 즉, 상기 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)으로 형성되며, 계단 형태로 형성된다. 구체적으로, 제1 공통층(150a)으로는 정공 주입층(Hole Injection Layer;HIL)이 형성되고, 제2 공통층(150b)으로 정공 수송층(Hole Transport Layer;HTL)이 형성되고, 제3 공통층(150c)으로는 단색 발광층(Emitting Layer;EML)이 형성되고, 제4 공통층(150d)으로 전자 수송층(Electron Transport Layer;ETL)이 형성되고, 제5 공통층(150e)으로 전자 주입층(Electron Injection Layer;EIL)이 형성된다. 여기서, 상기 제3 공통층(150c)의 단색 발광층(Emitting Layer;EML)은 백색 발광층이 될 수 있으며, 상기 백색 발광층은 2층 이상의 적층 구조로 형성될 수 있다.

[0108] 이때, 상기 제 1 내지 제 5 공통층(150a, 150b, 150c, 150d, 150e)는 패널 전면에 각 픽셀 영역에 공통으로 형성된다.

[0109] 제2 공통층(150b)의 일측 에지부는 제1 공통층(150a)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제3 공통층(150c)의 타측 에지부는 제1 공통층(150a)의 타측 에지부보다 왼쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제4 공통층(150d)의 일측 에지부는 제2 공통층(150b)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하

며, 제5 공통층(150e)의 타측 에지부는 제3 공통층(150c)의 타측 에지부보다 왼쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치한다.

- [0110] 이와 같이, 유기 공통층(150)은 제1 내지 제5 공통층(150a, 150b, 150c, 150d, 150e)의 적층 위치를 다르게 하여 양측면이 계단 형태로 형성된다. 유기 공통층(150)의 양측 에지부가 계단형태로 완만하게 형성됨으로써 제2 전극(152)이 증착할 경우에 제2 전극(152)이 유기 공통층(150) 상에 균일한 두께로 적층된다. 또한, 균일한 두께로 적층됨으로써 유기 공통층(150)과 제2 전극(152) 간의 열화 현상이 발생되지 않는다.
- [0111] 상기 유기 공통층(150)의 형성 방법은, 도 6a 내지 6h 및 도 7a 내지 7e에서 설명한 방법과 동일하므로 생략한다.
- [0112] 단, 본 발명의 제 1 실시예에서는 새도우 마스크(180)의 개구부(184)가 각 픽셀 영역에 대응되는 위치에 형성되지만, 본 발명의 제 4 실시예에서는 각 픽셀 영역과 무관하게 패널 전면에 공통으로 하나 형성된다.
- [0113] 제 5 실시예
- [0114] 한편, 본 발명의 제 1 내지 제 3 실시예는 각 공통층이 오른쪽 및 왼쪽 방향으로 교번하여 쉬프트됨을 설명하였으나, 이에 한정되지 않는다. 즉, 각 공통층이 일 방향으로 쉬프트되어 형성되어도 무방하다.
- [0115] 도 11은 본 발명의 제 5 실시예에 따른 흑백 유기 전계 발광 표시 패널의 단면도이다.
- [0116] 본 발명의 제 5 실시예도, 도 3 및 도 4에 도시한 바와 같이, 각 픽셀 마다 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접촉되어 상기 보호막(119)상에 제1 전극(132)들이 형성되고, 상기 각 제1 전극(132)을 노출시키는 बैं크홀(135)을 갖는 बैं크 절연막(130)이 전면에 형성된다.
- [0117] 그리고, 상기 각 제1 전극(132) 상에 공통으로 다수의 층(150a 내지 150e)으로 형성된 유기 공통층(150)이 형성되고, 상기 유기 공통층(150) 위에 제2 전극(152)이 형성된다.
- [0118] 즉, 상기 유기 공통층(150)은 제1 내지 제5 공통층(150a 내지 150e)으로 형성되며, 계단 형태로 형성된다. 구체적으로, 제1 공통층(150a)으로는 정공 주입층(Hole Injection Layer;HIL)이 형성되고, 제2 공통층(150b)으로 정공 수송층(Hole Transport Layer;HTL)이 형성되고, 제3 공통층(150c)으로는 단색 발광층(Emitting Layer;EML)이 형성되고, 제4 공통층(150d)으로 전자 수송층(Electron Transport Layer;ETL)이 형성되고, 제5 공통층(150e)으로 전자 주입층(Electron Injection Layer;EIL)이 형성된다. 여기서, 상기 제3 공통층(150c)의 단색 발광층(Emitting Layer;EML)은 백색 발광층이 될 수 있으며, 상기 백색 발광층은 2층 이상의 적층 구조로 형성될 수 있다.
- [0119] 이때, 상기 제 1 내지 제 5 공통층(150a, 150b, 150c, 150d, 150e)는 패널 전면에 각 픽셀 영역에 공통으로 형성된다.
- [0120] 제2 공통층(150b)의 일측 에지부는 제1 공통층(150a)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제3 공통층(150c)의 일측 에지부는 제2 공통층(150b)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제4 공통층(150d)의 일측 에지부는 제3 공통층(150c)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치하며, 제5 공통층(150e)의 일측 에지부는 제4 공통층(150d)의 일측 에지부보다 오른쪽으로 10~50 μ m만큼 (바람직하게는 30 μ m만큼) 쉬프트된 위치에 위치한다.
- [0121] 이와 같이, 유기 공통층(150)은 제1, 제2, 제4 및 제5 공통층(150a, 150b, 150d, 150e)의 적층 위치를 다르게 하여 양측면이 계단 형태로 형성된다. 유기 공통층(150)의 양측 에지부가 계단형태로 완만하게 형성됨으로써 제2 전극(152)이 증착할 경우에 제2 전극(152)이 유기 공통층(150) 상에 균일한 두께로 적층된다. 또한, 균일한 두께로 적층됨으로써 유기 공통층(150)과 제2 전극(152) 간의 열화 현상이 발생되지 않는다.
- [0122] 상기 유기 공통층(150)의 형성 방법은, 도 6a 내지 6h 및 도 7a 내지 7e에서 설명한 방법과 동일하므로 생략한다.
- [0123] 단, 본 발명의 제 1 실시예에서는 새도우 마스크(180)의 개구부(184)가 각 픽셀 영역에 대응되는 위치에 형성되지만, 본 발명의 제 5 실시예에서는 각 픽셀 영역과 무관하게 패널 전면에 공통으로 하나 형성된다.
- [0124] 기타 실시예
- [0125] 상기 도 11에서는 제1 내지 제5 공통층(150a-150e)이 순차적으로 오른쪽 방향으로 쉬프트됨을 도시하였으나, 이

에 한정되지 않고, 순차적으로 왼쪽 방향으로 쉬프트되어도 무방하다.

[0126] 또한, 본 발명의 제 1 내지 제 4 실시예에서, 각 공통층이 교번하여 순차적으로 오른쪽 및 왼쪽으로 쉬프트됨을 설명하였으나, 이에 한정되지 않고 비 순차적으로 쉬프트되어도 무방하고, 적어도 이웃하는 2개의 공통층이 같은 위치에 형성되어도 무방하다.

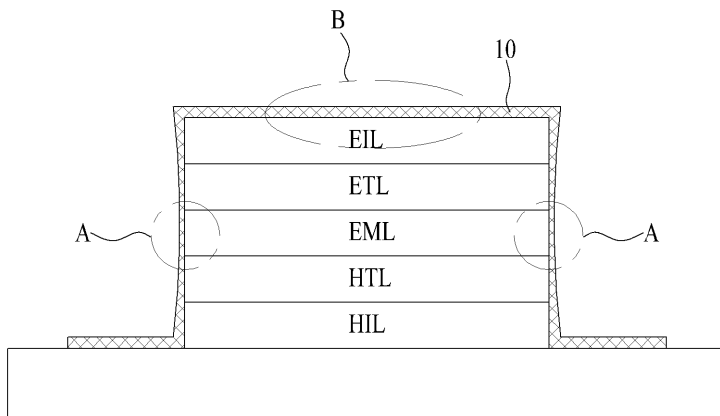
[0127] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

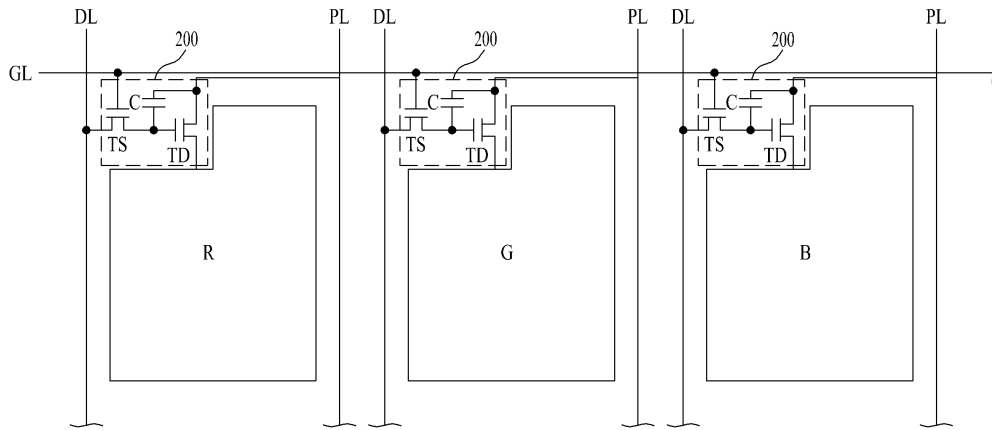
- | | | |
|--------|---------------|----------------|
| [0128] | 101 : 기관 | 108 : 소스 전극 |
| | 110: 드레인 전극 | 126 : 층간 절연막 |
| | 114: 액티브층 | 116 : 버퍼막 |
| | 120 : 화소 컨택홀 | 130 : बैं크 절연막 |
| | 132 : 제1 전극 | 136 : 버퍼막 |
| | 150 : 유기 공통층 | 150a : 정공 주입층 |
| | 150b : 정공 수송층 | 150c : 발광층 |
| | 150d : 전자 수송층 | 150e : 전자 주입층 |
| | 152 : 제2 전극 | 154 : 캡핑층 |

도면

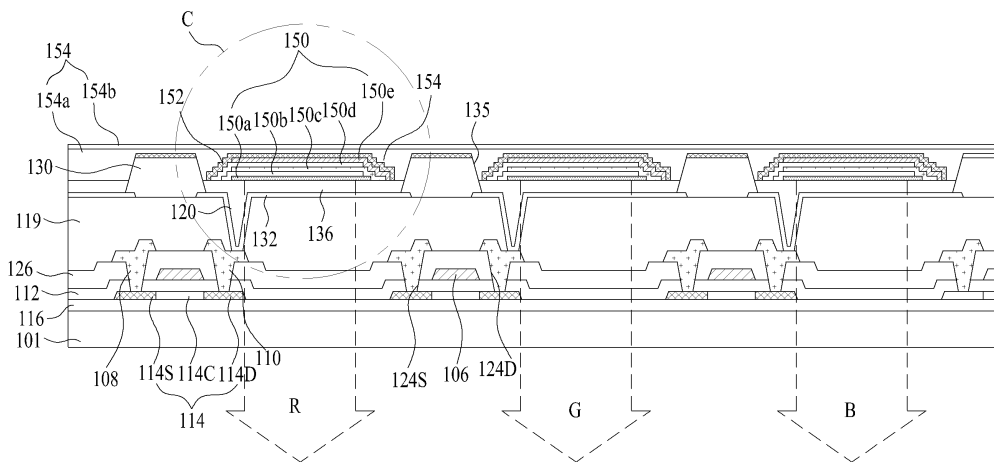
도면1



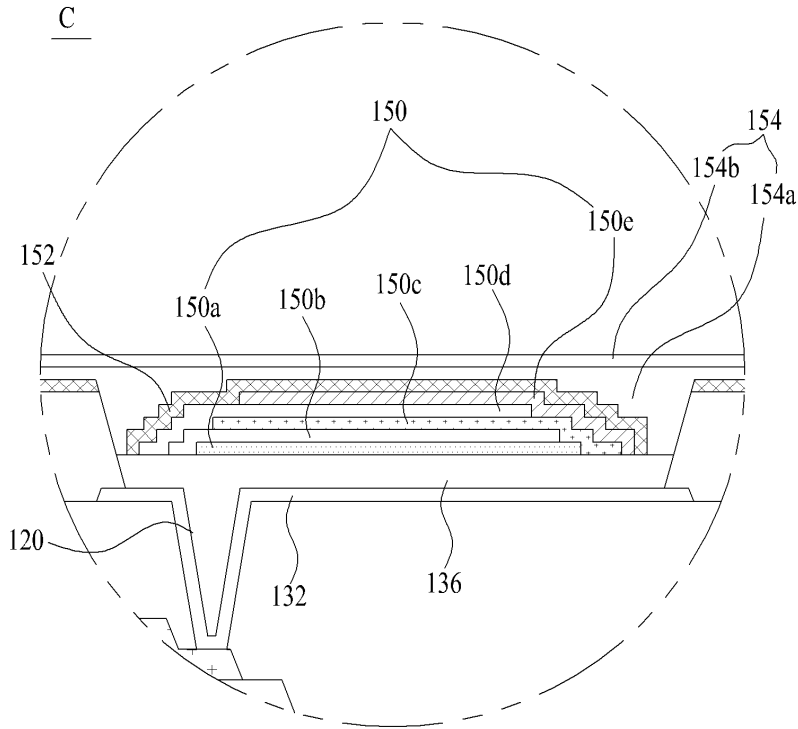
도면2



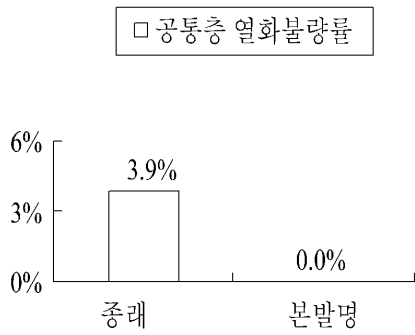
도면3



도면4



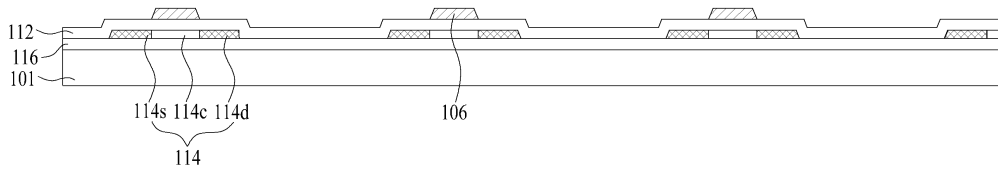
도면5



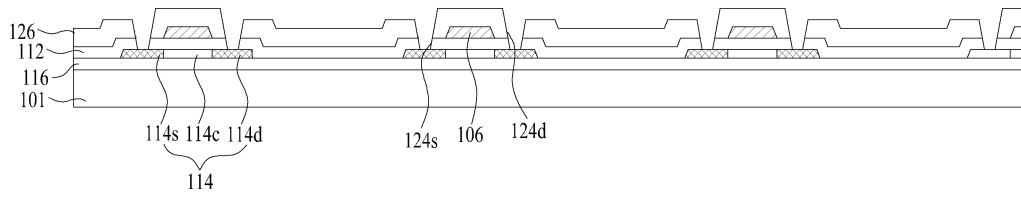
도면6a



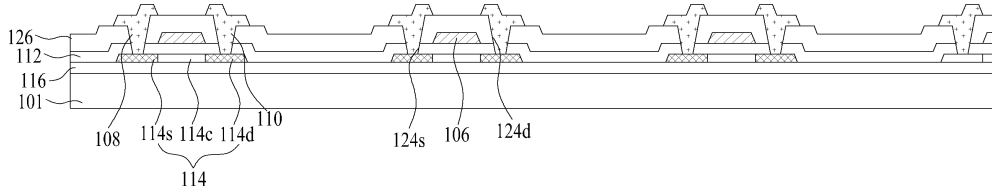
도면6b



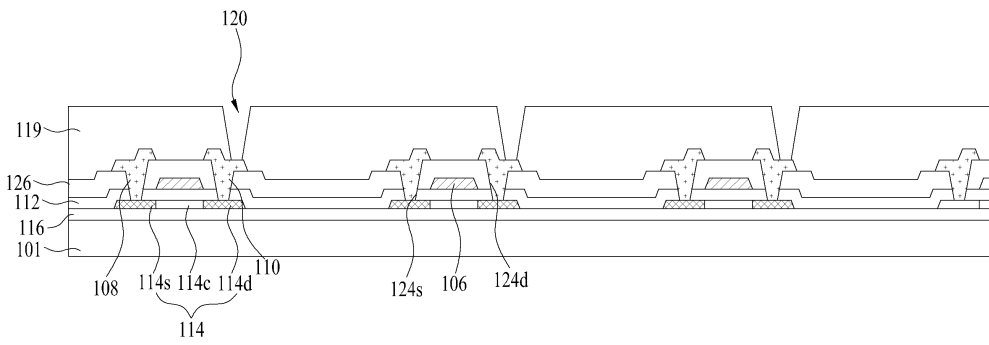
도면6c



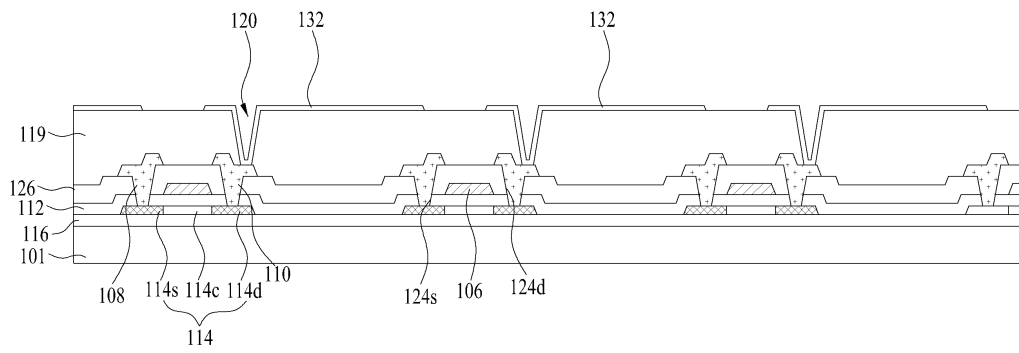
도면6d



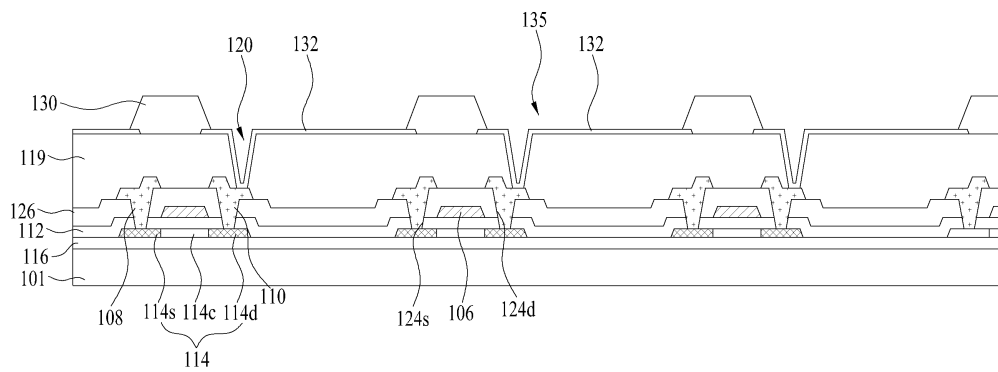
도면6e



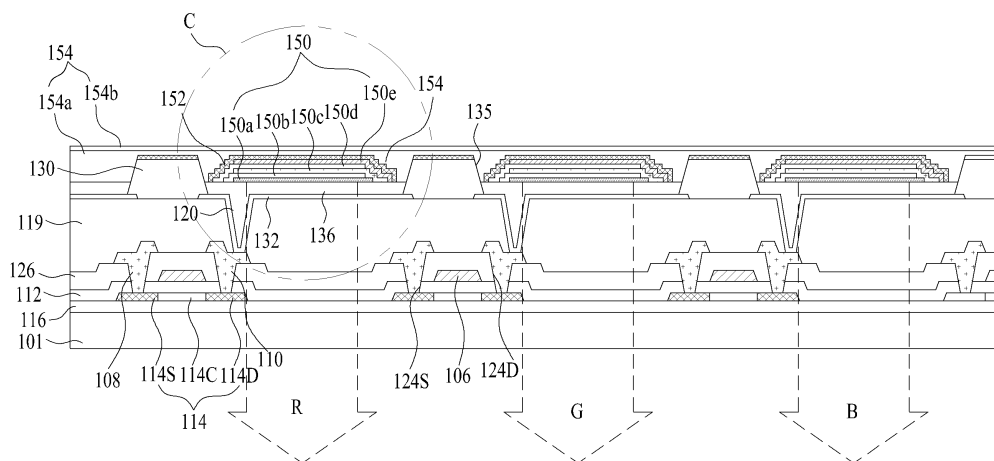
도면6f



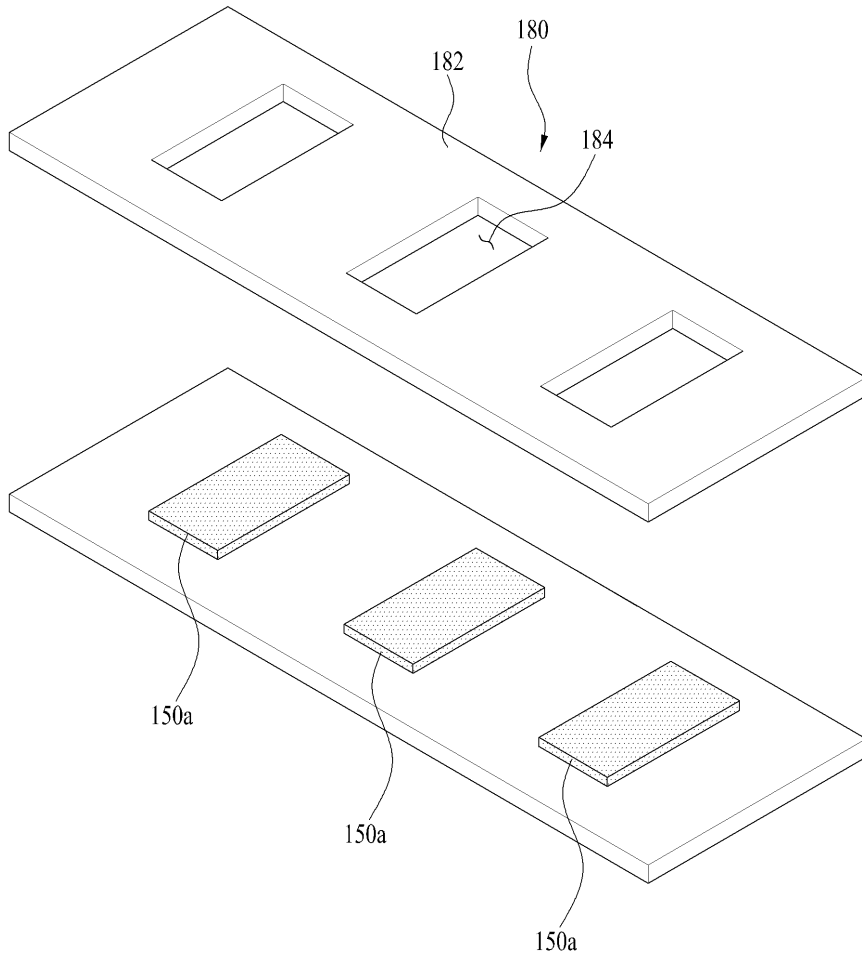
도면6g



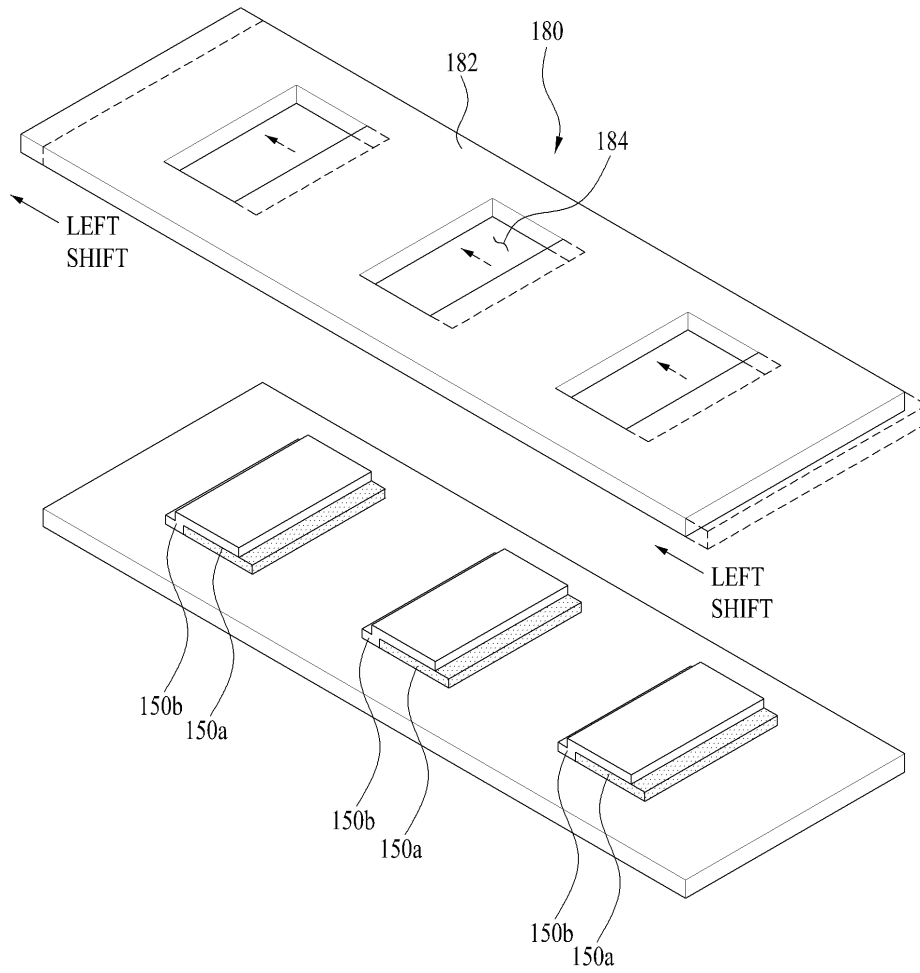
도면6h



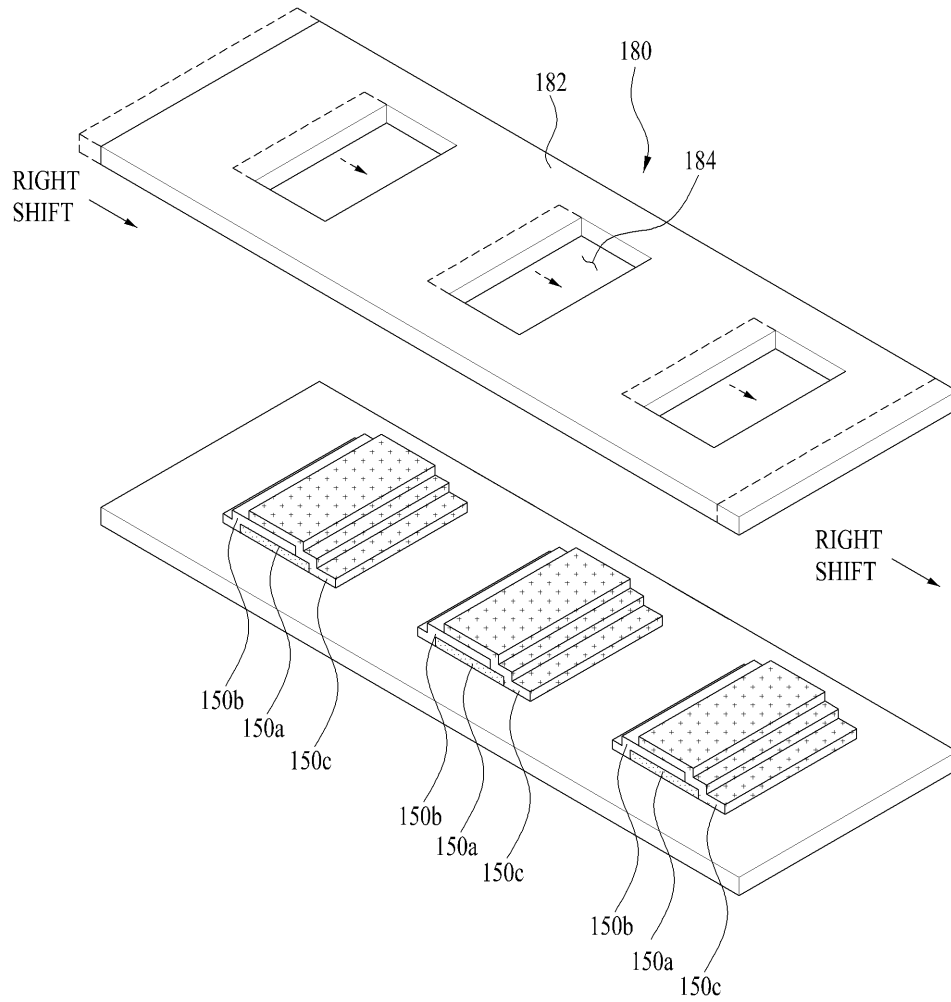
도면7a



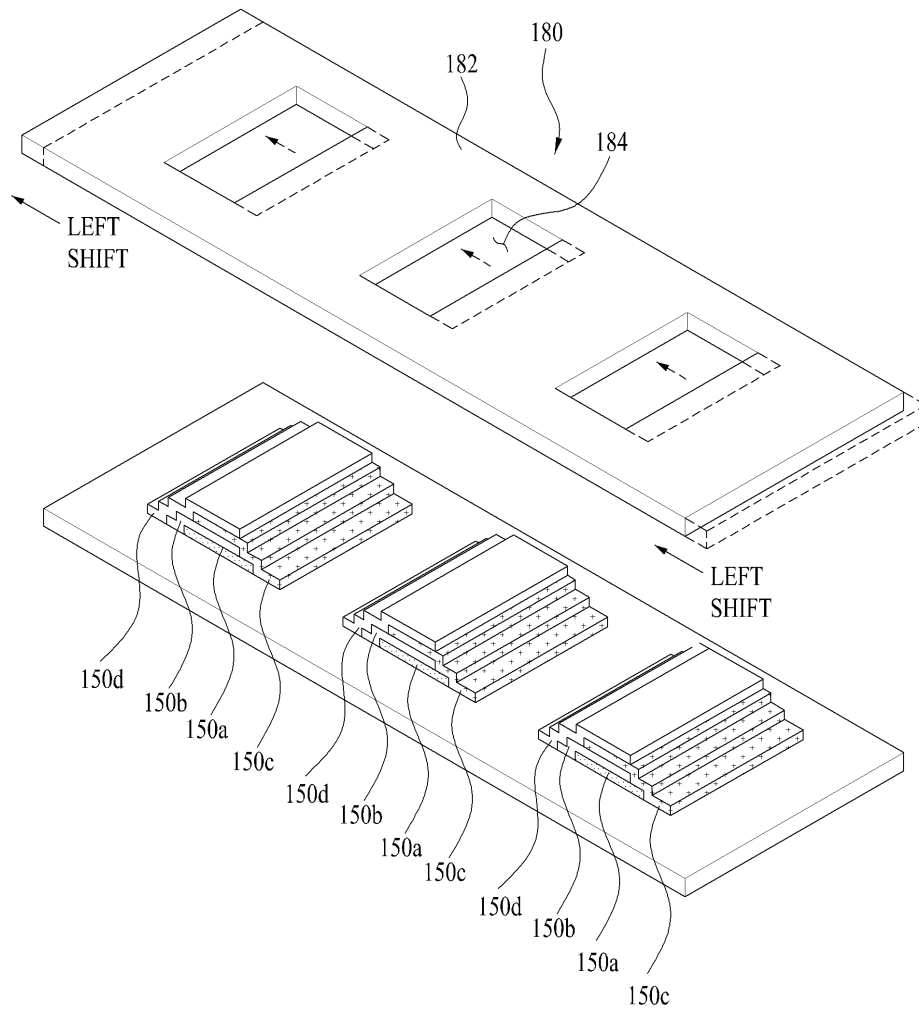
도면7b



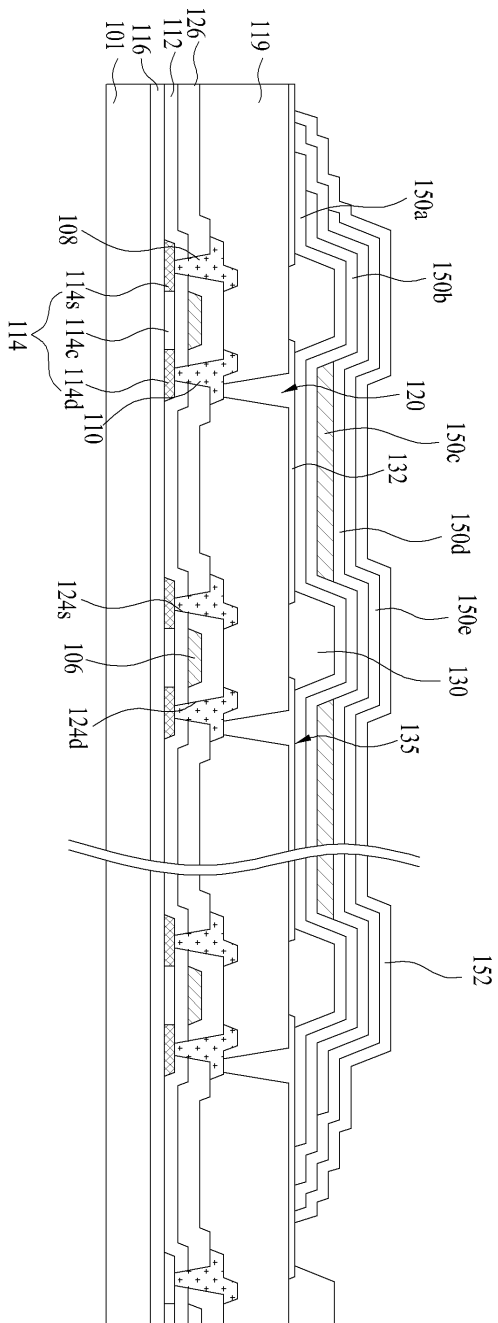
도면7c



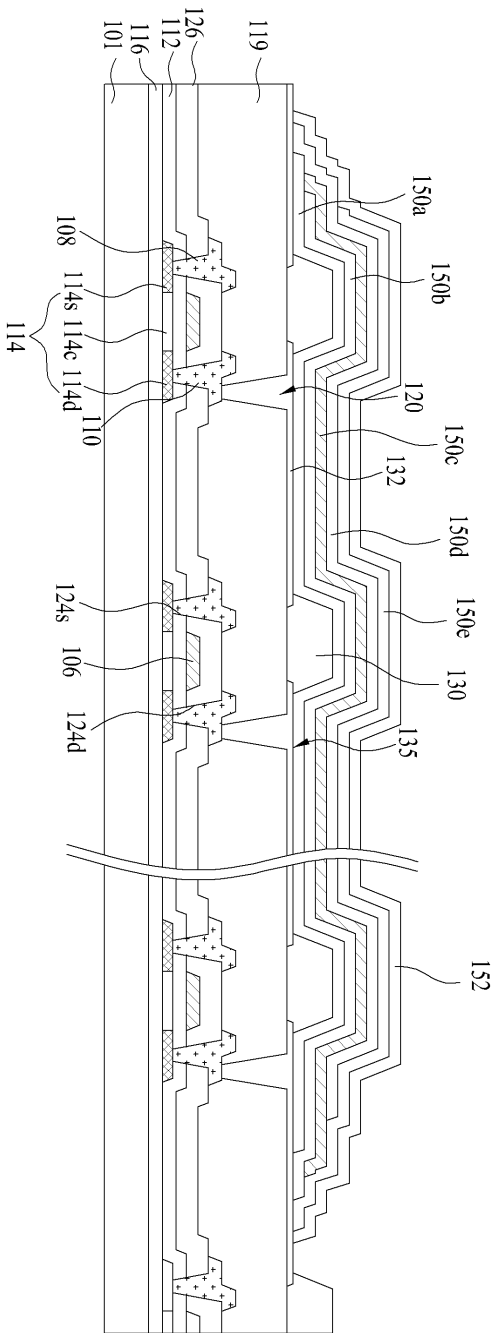
도면7d



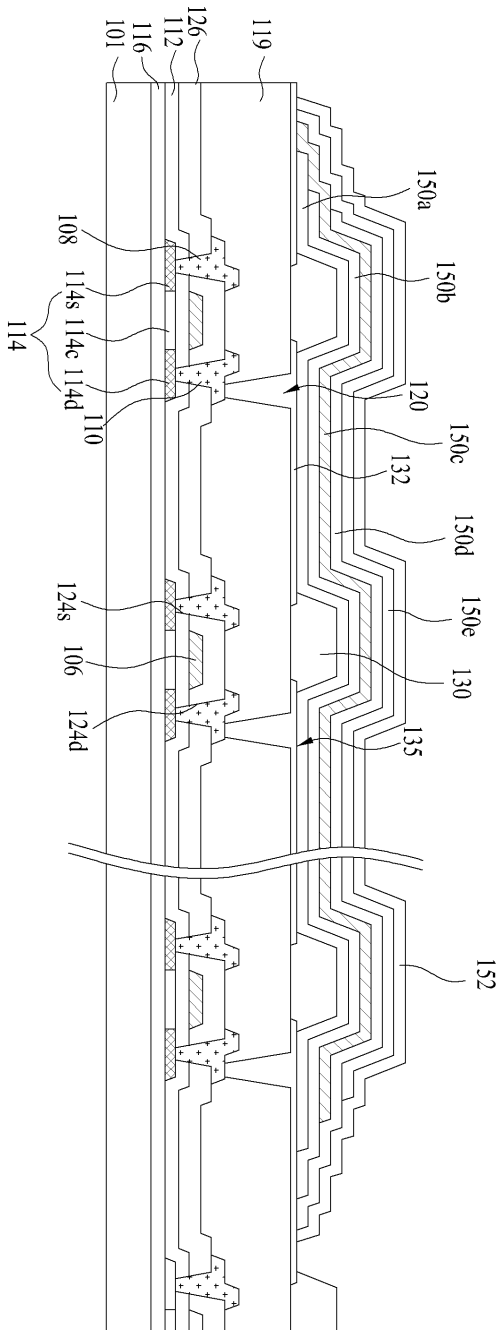
도면8



도면9



도면10



도면11

