

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6503334号  
(P6503334)

(45) 発行日 平成31年4月17日(2019.4.17)

(24) 登録日 平成31年3月29日(2019.3.29)

(51) Int.Cl.

F I

H O 1 L 21/60 (2006.01)

H O 1 L 23/12 (2006.01)

H O 5 K 3/34 (2006.01)

H O 1 L 21/60 3 1 1 S

H O 1 L 23/12 5 0 1 B

H O 1 L 23/12 Q

H O 5 K 3/34 5 0 1 E

H O 5 K 3/34 5 0 1 F

請求項の数 17 (全 11 頁)

(21) 出願番号 特願2016-500941 (P2016-500941)  
 (86) (22) 出願日 平成26年3月10日(2014.3.10)  
 (65) 公表番号 特表2016-519420 (P2016-519420A)  
 (43) 公表日 平成28年6月30日(2016.6.30)  
 (86) 国際出願番号 PCT/US2014/022334  
 (87) 国際公開番号 WO2014/164402  
 (87) 国際公開日 平成26年10月9日(2014.10.9)  
 審査請求日 平成29年3月7日(2017.3.7)  
 (31) 優先権主張番号 13/798,678  
 (32) 優先日 平成25年3月13日(2013.3.13)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390020248  
 日本テキサス・インスツルメンツ合同会社  
 東京都新宿区西新宿六丁目24番1号  
 (73) 特許権者 507107291  
 テキサス インスツルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国 テキサス州 75265  
 -5474 ダラス メール ステーショ  
 ン 3999 ピーオーボックス 655  
 474  
 (74) 上記1名の代理人 100098497  
 弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 銅ピラー取り付け基板

(57) 【特許請求の範囲】

【請求項1】

電子的アッセンブリであって、  
 銅ピラー取り付け基板であって、  
 誘電体層と、

前記誘電体層に重なるソルダレジスト層であって、その中に複数の開口を有し、且つ、  
 ソルダレジスト層高さを有する、前記ソルダレジスト層と、

前記誘電体層上に形成される複数の平行のトレースであって、各トレースが第1の端部  
 と第2の端部と前記第1及び第2の端部の間の中間部とを有し、前記第1及び第2の端部  
 が前記ソルダレジスト層により覆われ、前記中間部が前記ソルダレジスト層の前記開口内  
 に配置され、前記中間部の各々が、その上に少なくとも1つの導電性被覆層を有し、前記  
 ソルダレジスト層高さより大きい、前記誘電体層から前記少なくとも1つの導電性被覆層  
 の最頂のものまでの測定された高さを有する、前記複数の平行のトレースと、

を含む、前記銅ピラー取り付け基板と、

前記少なくとも1つの導電性被覆層に取り付けられるはんだと、  
 を含む、アッセンブリ。

【請求項2】

請求項1に記載のアッセンブリであって、

前記少なくとも1つの導電性被覆層が第1の導電性被覆層と第2の導電性被覆層とを含  
 む、アッセンブリ。

## 【請求項 3】

請求項 2 に記載のアッセンブリであって、  
前記第 1 の導電性被覆層が銅を含む、アッセンブリ。

## 【請求項 4】

請求項 2 に記載のアッセンブリであって、  
前記第 2 の導電性被覆層が錫を含む、アッセンブリ。

## 【請求項 5】

請求項 1 に記載のアッセンブリであって、  
前記トレースが銅を含む、アッセンブリ。

## 【請求項 6】

請求項 1 に記載のアッセンブリであって、  
前記ソルダレジスト層における前記開口が互い違いにされる、アッセンブリ。

## 【請求項 7】

請求項 1 に記載のアッセンブリであって、  
複数の銅ピラーを有するダイを更に含み、  
前記銅ピラーの各々が、前記複数のトレースの関連する 1 つのトレースの前記中間部に  
接続される前記はんだとしてのはんだティップ部を有し、前記銅ピラーの各々が、前記平  
行のトレースに垂直に測定された前記ソルダレジスト開口の関連する 1 つのソルダレジ  
スト開口の寸法より大きい、前記平行のトレースに垂直に測定された断面寸法を有し、  
前記複数の平行のトレースの隣接するトレースがトレース間隔距離により隔てられ、前  
記ソルダレジスト層開口が互い違いにされる、アッセンブリ。

## 【請求項 8】

請求項 7 に記載のアッセンブリであって、  
前記銅ピラーの各々の前記はんだティップ部が、前記複数のトレースの関連する 1 つの  
トレースの前記中間部上の前記少なくとも 1 つの導電性被覆層にボンディングされる、ア  
ッセンブリ。

## 【請求項 9】

請求項 8 に記載のアッセンブリであって、  
前記複数のトレースの各々の前記中間部上の前記少なくとも 1 つの導電性被覆層が、第  
1 の被覆層と、前記第 1 の被覆層の上の第 2 の被覆層とを含み、前記銅ピラーの前記は  
んだティップ部が前記第 2 の被覆層にボンディングされる、アッセンブリ。

## 【請求項 10】

請求項 9 に記載のアッセンブリであって、  
前記第 1 の被覆層が前記第 2 の被覆層より厚い、アッセンブリ。

## 【請求項 11】

請求項 7 に記載のアッセンブリであって、  
前記はんだティップ部の各々が円形の断面を有する、アッセンブリ。

## 【請求項 12】

請求項 1 に記載のアッセンブリであって、  
前記複数の平行のトレースが、前記トレースに垂直であり且つ前記第 1 の端部のうちの  
最外の第 1 の端部に交差する第 1 の線と、前記トレースに垂直であり且つ前記第 2 の端部  
のうちの最外の第 2 の端部に交差する第 2 の線とにより画定されるエリア内に配置され、  
前記複数のトレースが各々前記第 1 の線と前記第 2 の線との間の距離より短い長さを有す  
る、アッセンブリ。

## 【請求項 13】

請求項 12 に記載のアッセンブリであって、  
前記複数のトレースが各々前記第 1 の線と前記第 2 の線との間の前記距離の 2 分の 1 よ  
り短い長さを有する、アッセンブリ。

## 【請求項 14】

請求項 12 に記載のアッセンブリであって、

前記ソルダレジスト層が、少なくとも、前記第 1 の線まで、及び前記複数の平行のトレースの少なくとも最初のトレースから前記複数の平行のトレースの少なくとも最後のトレースまで延在する領域において前記第 2 の線まで延在する、アッセンブリ。

【請求項 1 5】

銅ピラー取り付け基板を形成する方法であって、  
誘電体層を備えた基板を提供することと、  
前記誘電体層上に複数の平行のトレースを形成することと、  
前記複数の平行のトレースの上にソルダレジスト層を付けることと、  
各トレースの中間部分を露出させる前記ソルダレジスト層における開口を形成することと、

10

前記トレースの各々の前記露出された中間部を、前記ソルダレジスト層の高さより高い高さまで延在する導電性材料で被覆することと、

前記導電性材料上にはんだを取り付けることと、  
を含む、方法。

【請求項 1 6】

請求項 1 5 に記載の方法であって、  
前記誘電体層上に前記複数の平行のトレースを形成することが、隣接するトレースの長さが重ならないように、平行のトレースの開始点と終点とを互い違いにすることを含む、方法。

【請求項 1 7】

20

請求項 1 5 に記載の方法であって、  
各トレースの中間部分を露出させる前記ソルダレジスト層において前記開口を形成することが、互い違いの開口を形成することを含む、方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

ここ 1 0 年の間、集積回路 ( I C ) ダイなどの半導体デバイスを、印刷回路基板、キャリア基板、インターポーザ、及びその他のダイなどの基板に相互接続するためのワイヤボンディングに対する一般的な代替策として、フリップチップ技術が登場してきている。

【背景技術】

30

【0 0 0 2】

「フリップチップ」は、「制御崩壊チップ接続」又はその頭字語「 C 4 」としても知られている。フリップチップ技術を用い、はんだボール / パンプがダイ / チップの 1 つの面上の電氣的コンタクトパッドに取り付けられる。フリップチップダイは、通常、ウエハレベルで、即ち、複数の同一のダイがまだ大きな「ウエハ」の一部である間に、処理される。はんだボールは、ウエハの頂部側のチップパッド上に堆積される。ウエハは、時折、「シンギュレートされ」又は「ダイシングされ」 ( 個別のダイに切られ ) 、この時点で、各々が頂部面表面上にはんだボールを有する、多数の個別のフリップチップダイを提供する。その後チップは、フリップチップが搭載される印刷回路基板又はキャリア基板などの基板の頂部表面上のマッチングコンタクトパッドにはんだボールを接続するために、「フリ

40

【発明の概要】

【0 0 0 3】

I C ダイが一層複雑になるにつれて、フリップチップ上のはんだパンプ / ボールの数が劇的に増大されてきている。従来ははんだボールは、通常、チップコンタクトパッドに取り付けられた比較的大きな円形のはんだボールによって提供されていたのに対し、最近でははんだボールの代わりに銅ピラー ( C u P ) が用いられてきている。 C u P は、フリップチップダイ上のコンタクトパッドの一端に取り付けられる伸長された銅ポスト部材である。 C u P は、ダイの面に垂直の方向でダイから外方に延びる。各 C u P は、概して、その末端部に取り付けられた弾丸又は半円形状のはんだピースを有する。 C u P は、このはん

50

だピースにより、リフロー過熱によるなど基板上の対応するコンタクトパッドにボンディングされる。CuPは、従来のはんだボール/バンプよりずっと密集して、即ち「一層高ピッチ」で、配置され得る。例えば、フリップチップはんだボールアレイのための典型的なピッチは150 μmであるが、フリップチップCuPアレイのための典型的なピッチは40 μmである。このような高CuP密度を有するダイへの基板の接続を促進する1つの方式は、フリップチップが搭載されるべき基板上に、従来のコンタクトパッドではなく、ボンド「トレース」(「フィンガー」と呼ぶこともある)を提供することである。トレースは、従来のようなトレース間の如何なる絶縁性材料もなく、近接する平行の関係に配置され得る、伸長されたコンタクトパッドである。

【図面の簡単な説明】

10

【0004】

【図1】銅ピラーを備えた従来のフリップチップダイの頂部等角図である。

【0005】

【図2】図1のフリップチップダイの一部の詳細断面図である。

【0006】

【図3】図1及び図2に示すタイプのフリップチップダイが接続され得る、従来の基板の一部の頂部平面図である。

【0007】

【図4】図1及び図2に示すタイプのフリップチップダイが接続され得る、別のタイプの基板の一部の頂部平面図である。

20

【0008】

【図5】図4に示すタイプの別の基板の断面図である。

【0009】

【図6】図1及び図2に示すタイプのフリップチップダイが接続され得る、別の基板の断面立面図である。

【0010】

【図7】図1及び図2に示すようなフリップチップダイに取り付けられた、図6に示すような基板の断面立面図である。

【0011】

【図8】銅ピラーの断面部分を除いた全フリップチップが切り取られた、図7に図示するような基板上に搭載されたフリップチップダイの頂部平面図である。

30

【0012】

【図9】CuP取り付け基板を形成する方法のフローチャートである。

【発明を実施するための形態】

【0013】

電子的アッセンブリが、誘電体層212と、誘電体層212上にあるソルダレジスト層230とを有するCuP取り付け基板210を含む。ソルダレジスト層212は、中に複数のソルダレジスト開口232を有する。複数の平行のトレース214、220、222が誘電体層212上に形成される。各トレースは、第1端部262、第2端部264、及び中間部266を有する。第1及び第2端部262、264は、ソルダレジスト層230により覆われる。中間部266は、ソルダレジスト層230における開口232内に配置される。中間部264の各々は、その上の少なくとも1つの導電性被覆層216、218を有する。誘電体層212の頂部表面213から最頂導電性被覆層218の頂部までの測定された各中間部264の高さは、少なくともソルダレジスト層230の厚みと同じくらい大きさである。

40

【0014】

図1により図示されるように、従来のフリップチップダイ10は、内部回路要素を含む半導体基板12を含む。この基板は、第1又はアクティブ面14と、第1の面14とは反対の第2又はイナクティブ面15とを有する。銅ピラーのアレイ16が、ダイ10のアクティブ面表面14から突出する。銅ピラーアレイ16は、第1の面14上で任意の所望の

50

構成で配置され得る、多数の個別の銅ピラー 18 を含む。

【 0 0 1 5 】

図 2 は、ダイ 10 の第 1 の面 14 から突出する一対の従来の銅ピラー 18 の典型的な構造を図示する。個別の銅ピラー 18 の各々は、概して円筒状の銅ポスト部 22 上に搭載される、概して弾丸又は半円形状のはんだティップ部 20 を含み得る。各銅ポスト部 22 は、シリコン基板 12 の頂部表面において形成されるコンタクトパッド 24 上に搭載される。コンタクトパッド 24 は、シリコン基板 12 内で内部回路要素（図示せず）に接続される。銅ポスト部 22 は、従来、当業界でよく知られている方式でアンダーバンプ金属層 26 によるなど、コンタクトパッド 24 に物理的及び電氣的に接続され得る。そのため、各銅ピラー 18 は、コンタクトパッド 24 及びアンダーバンプ金属層 26 を介して半導体基板 12 内で内部回路要素に電氣に接続される。ダイ 10 の頂部表面 14 上のパッシベーション層 17 が各銅ピラー 18 を囲む。

10

【 0 0 1 6 】

図 3 は、フリップチップダイ 10 の銅ピラー（CuP）18 の幾つかに接続されるように適合される基板 30 の一部の頂部平面図である。基板 30 は、印刷回路基板、IC パッケージキャリアボード、インターポーザ、又はその他の種類の電氣的接続基板であり得る。基板 30 は、頂部表面 32 を有し、複数の概して平行のトレース（本明細書では単に「トレース」と呼ぶこともある）34、36、38、40 が、頂部表面 32 上に、従来の又はその他の方法を用いて提供される。トレース 34、36、38、40 は、銅又は別の導電性金属で作られ得る。トレースは、銅ピラーのはんだティップとのボンディングを促進するために、錫又は銀などの他の材料で被覆され得る。トレース 34、36、38、40 は、すべて同じ幅のものであり得る空間 44、46、48 により隔てられる。トレース 34、36、38、40 も同じ幅のものであり得る。従来技術のトレース 34 などのための典型的な幅範囲は 15  $\mu\text{m}$  ~ 20  $\mu\text{m}$  である。トレース間の空間 44、46、48 は、40  $\mu\text{m}$  ~ 80  $\mu\text{m}$  の典型的な幅範囲を有し得る。トレースの幅の、トレース間の空間の幅に対する比は、典型的に約 2.5 : 4 である。関連する CuP 18 のはんだティップ部 20 が個別のトレース 34、36、38、40 に接続される位置は、52、54、56、58 において破線の円及び十字線で図示されている。トレース 34、36 などの対向する長手方向端部は、それぞれ、ソルダレジストのストリップ 62、64 で覆われる。ソルダレジストは、はんだ又はその他の導電性材料から導電性パッド及びトレースをシールドするために用いられる非導電性の材料である。ソルダレジストは、当業界では「はんだマスク」と呼ぶこともある。トレース端部にわたって提供されるソルダレジストストリップの典型的な幅（トレースが延在する方向に平行な方向）範囲は、約 70  $\mu\text{m}$  ~ 170  $\mu\text{m}$  である。

20

30

【 0 0 1 7 】

図 4 は、図 3 の基板 30 のように、フリップチップダイ 10 の銅ピラー（CuP）18 の幾つかに接続されるように適合される基板 31 の一部の頂部平面図である。基板 31 の構造は、各トレースの上の小さなソルダレジスト開口を除くトレースをソルダレジストの層が完全に覆うことを除き、基板 30 のものに類似する。半導体基板 31 は、その頂部表面 33 上に形成される、平行の離間されたトレース又は「トレース」35、37、39、41 を有する。ソルダレジスト 63 の層が、ソルダレジスト開口 51、53、55、57 が提供される、各トレース 35、37、39、41 の中間部の上方の小さな開口 51、53、55、57 を除いて、トレースの両端間のトレースの全てを覆う。これらの開口は、各トレースの幅よりいくらか大きく、互い違い（千鳥状）の関係に提供される。開口 51、53、55、57 はまた、CuP 52、54、56、58 の直径より幅広く、これらは、開口 51、53、55、57 により露出される対応するトレースの部分にボンディングされる。

40

【 0 0 1 8 】

図 5 は、図 4 に示す基板 31 のものと実質的に同じ構造を有する基板 110 の断面立面図である。基板 110 は誘電体層 112 を有する。誘電体層 112 の頂部表面 111 上に

50

第1のトレース114が形成される。トレース114は、銅トレースであり得、又は金などの別の適切な導体から形成され得る。図5に示すように、はんだと容易にボンディングし得る導体被覆116、例えば錫又は銀、がトレース114の一部の頂部及び側面を覆う。被覆116が付けられるトレース114の部分は、ソルダレジスト開口132内に配置される。第2のトレース118が、トレース112の1つの側部に隣接して配置され、第3のトレース122が、第1のトレース112の他の側部に近接して配置される。ソルダレジスト層130が、第1のトレース114の中間部115の上に配置されるソルダレジスト開口132など、各トレースの中間部の上方のソルダレジスト開口のエリアを除いて、トレース114、118、122の全てを覆う。ソルダレジスト開口は、図4に示すソルダレジスト開口51、53、55、57のように互い違いである。そのため、図5において、トレース114の上の開口132に隣接する位置の上におけるトレース118及び122の上に開口はない。ソルダレジスト130は、ソルダレジスト開口132にあるトレース114の中間部115に隣接するトレース118及び122の頂部及び側部両方を覆う。開口132におけるソルダレジスト層130の高さ「 $s_1$ 」は、基板表面111から第1のトレース114上の導電性被覆116の頂部まで測定された高さ「 $t_1$ 」より大きい。はんだティップ142を有するCuP140が、トレース114の中間部115の直上に配置され、それを被覆116と接触させるよう下方に移動させることにより、及びその後、はんだティップ142及び被覆116をリフローすることにより、トレース114にボンディングされ得る。CuPのティップの被覆されたトレースへのボンディングは当業界で既知であり、そのため、本明細書に更に記載することはない。

#### 【0019】

出願人は、上記で図4及び図5を参照して説明したものなどのフリップチップダイ搭載基板に関連付けられる幾つかの問題を見出している。問題の1つは、このような基板に対する製造上公差が非常に小さく、これらの公差から逸脱すると、幾つかの異なる方式においてフリップチップ/基板アセンブリが作用しなくなり得るということである。例えば、ソルダレジスト層130が誘電体層112a上で図5に示す位置から左に小さな距離シフトされる場合、トレース118の一部が露出され得、リフローの間ソルダレジスト開口132に入り得るCuP140からの如何なるはんだ142も、トレース114及び118を短絡させ得る。左への同じシフトが、トレース114とトレース122と間の開口132の部分を減少させ得、そのため、トレース122の周りのソルダレジストによりCuP140がトレース114のティップとの接触関係へ自由に動かないようにされ得る。CuP140が下降するにつれて、それは、トレース122の周りのソルダレジストの一部をそぎ落とし得、ソルダレジストのそぎ落とされた部分が被覆層116上に落ち、はんだティップ142と被覆層116との間のボンドと干渉する。ソルダレジスト開口132が小さすぎると、同様の問題が生じ、ソルダレジスト開口132のエリアにおけるトレース122の被覆層116上に落ちるソルダレジスト残留物となる。また、ソルダレジストの開口サイズを小さくすることは、CuPティップ142とトレース114との間の良好なコンタクトを成さないリスクを増大させる。このような問題が生じることを避けるため、ソルダレジスト開口132のサイズは増大され得る。しかし、ソルダレジスト開口132のサイズを増大すると、異なる欠陥モード、いわゆる「ソルダレジストアンダーカット」となり得る。アンダーカットは、118及び122など隣接するCuトレース上を覆うソルダレジストの幅が低減するとき、しばしば起こる。ソルダレジスト開口が大き過ぎず小さ過ぎないようにソルダレジスト開口をつくるプロセスを最適化するには非常にコストがかかる。上述のような問題を予防するために、下記の構造及びプロセスが用いられ得る。

#### 【0020】

図6は、頂部表面213を備えた誘電体層212を有する半導体基板210の側部立面図である。表面213上に第1のトレース214が形成される。トレース214は、銅、金、又はその他の適切な導体であり得る。第1のトレース214は、ソルダレジスト層230のソルダレジスト開口232内に配置される長さの中間部215を有する。第1の導電性被覆層216が第1のトレース214の中間部215を覆う。この層216は、下記

で更に詳細に説明するようにリフロー過熱の間それが融解しない、十分に高い融解温度を有する銅などの導電性材料から形成される。第2の被覆218が、その中間部215における第1のトレース214上の第1の被覆216の上に付けられ得る。被覆層216、218はいずれも導電性被覆層である。第1の被覆層216は、トレース214に類似する組成を有し得る。例えば、トレース及び第1の被覆層216はいずれも銅であり得る。一実施例において第1の被覆層216は、第2の被覆層218より厚い。第1の被覆層216は、トレース214に良好に付着し、リフロー温度で溶融しない材料から選択され得る。第2の被覆層218は、第1の被覆層に良好に付着し、はんだに良好に接着し、リフロー温度で溶融する、導電性材料から選択され得る。例えば、第2の層は、錫又は銀又は適切な合金であり得る。被覆216、218は、従来の手段によるソルダレジスト開口232の形成後、中間部215に付けられ得る。第1のトレース214の1つの側部に平行に及び隣接して第2のトレース220が配置される。第1のトレース214の他方の側部に平行に及び隣接して第3のトレース222が配置される。組み合わせられた第2及び第3の層216、218の厚み「 $t_2$ 」は、開口232におけるソルダレジスト層230の高さ「 $s_1$ 」より大きい。そのため、銅ピラー240が下降するにつれて、それは、たとえ銅ピラー240がトレース214上で正確に中央になくても、ソルダレジスト層230ではなく、まずトレース214の第2の層216との接触を成す。これは、第2の層216の頂部が銅ピラー240の付近で基板210上の最も高い表面であるためである。その結果、CuP240のはんだティップ242が、ソルダレジスト層230に接触する如何なる機会をも有する前に第2の層216との接触を成す。従って、図7に図示するように、被覆層218とはんだティップ242と間のボンド250が、図7に図示するように、ソルダレジスト層230からの如何なるデブリもなく形成される。トレース214のコンタクト表面をソルダレジスト層230の上方に上げることにより、別のプラスの効果も達成される。ソルダレジスト開口232は、もはやCuP240がソルダレジスト開口にフィットする必要がないため、CuP240のサイズに対してサイズが低減され得る。そのため、ソルダレジスタアンダーカットが避けられる。またCuPの240の直径は、ソルダレジスト開口のサイズに対して増大され得る。CuPの直径を増大させると、各CuPが対応するトレースとより容易に係合され得る。言い換えると、他の問題を生じさせることなく各CuPに一層広いフットプリントが与えられ得るため、CuPと対応するトレースとの間の整合は、図6及び図7に示す構造では図3～図5に示す構造の場合ほど正確である必要はない。例えば、図6及び図7に示すように、CuPは、210などの基板に機能的に接続可能である対応するソルダレジスト開口232より幅広いフットプリントでつくられ得、この基板は、ソルダレジスト層230の高さ $s_1$ より大きい対応するソルダレジスト開口232における全体的なトレース高さ $t_2$ （被覆を含む）を有する。CuPには、たとえその断面形状が、例えば楕円又は矩形又はその他の幾何学形状など、円以外であっても、一層広いフットプリントが与えられ得ることも理解されたい。そのため、欠陥アッセンブリが低減され得、また、図6及び図7において図示及び説明されるような構造により製品歩留まり率が改善され得る。

#### 【0021】

図8は、フリップチップダイ、及び図6及び図7に図示するものと同じであり得る断面構成を有する基板アッセンブリタイプの頂部平面図である。この実施例において、トレース214、220、222などは、各々第1端部262及び第2端部264を有する。例えば214、220など、隣接するトレースの第1端部262と第2端部264とは互い違いにされる。その結果、例えば、220、222など、1つおきのトレースの第1端部262は同じ想像線AAで終端し、他のトレース214などの第1端部264は線AAの実質的に内側に配置される。トレースの第2端部264及び想像線BBに対して同じ関係がある。ソルダレジスト層230の端部は、線AA及びBBに沿っていてもよく、又はそれらの外にあってよい。平行のトレースの任意のアレイにおける如何なるトレースも全て、同じ想像線で開始し、同じ想像線で終わるという、トレースの従来技術の位置決めに対するこの位置決め利点は、図8の基板210上のトレースの総長が実質的に

10

20

30

40

50

低減される点である。また、隣接するトレースの内側に位置する端部 2 6 2 又は 2 6 4 が、図 8 に示すように、隣接するトレース間に重なりがないように終端する場合、隣接するトレース間の短絡の可能性が実質的に低減される。(本明細書において用いられるように語句「隣接するトレース」とは、たとえトレース自体が部分的に同一広がりをも有さない (coextensive) 長さであるときでも、隣接する軸を有するトレースを指す。) その結果、トレース間の横方向距離が低減され得、一層密度の高い設計が可能となり、そのため、一層高ピッチの関連する C u P フリップチップダイの利用が可能となる。またトレース長さがより短いことで、C u マイグレーションの可能性、及び、寄生容量などの何らかの望ましくない電気的影響の可能性が低減され得る。また、一層大きなソルダレジスト開口の利用も可能となり、そのため、従来技術のものより一層容易に製造し得る基板設計の利用が

10

#### 【 0 0 2 2 】

図 9 は、銅ピラー取り付け基板を形成する方法のブロック図である。この方法は、3 0 2 で図示するように、誘電体層を備えた基板を提供することを含む。この方法はまた、3 0 4 で図示するように、誘電体層上に複数の平行のトレースを形成することを含む。この方法は更に、3 0 6 で図示するように、複数の平行のトレースの上にソルダレジスト層を付けることを含み、また、3 0 8 で図示するように、ソルダレジスト層に各トレースの中間部分を露出させる開口を形成することを含む。この方法は更に、3 1 0 で図示するように、トレースの各々の露出された中間部を、ソルダレジスト層の高さより高い高さまで延在する導電性材料で被覆することを含む。

20

#### 【 0 0 2 3 】

当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

#### 【 図 1 】

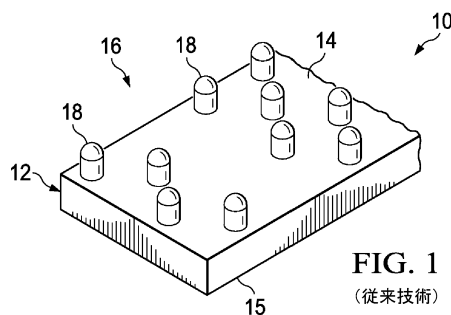


FIG. 1  
(従来技術)

#### 【 図 3 】

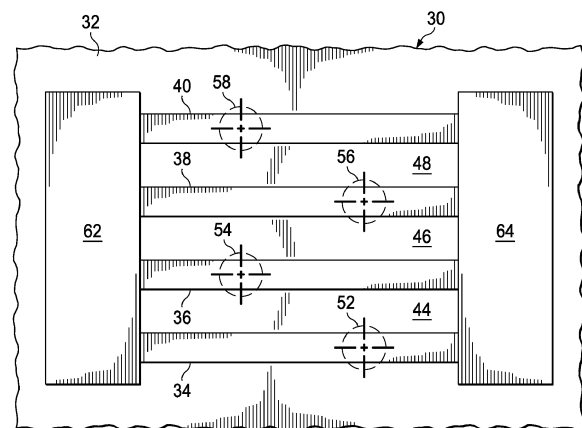


FIG. 3  
(従来技術)

#### 【 図 2 】

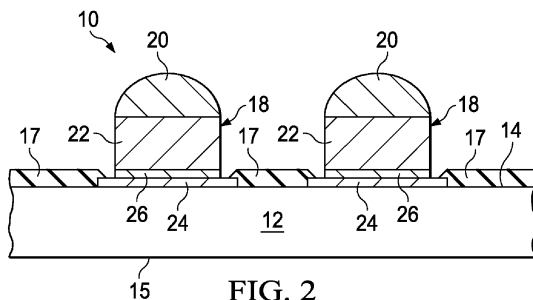
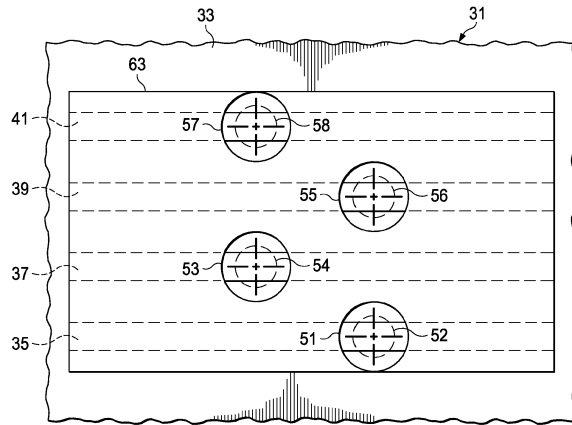


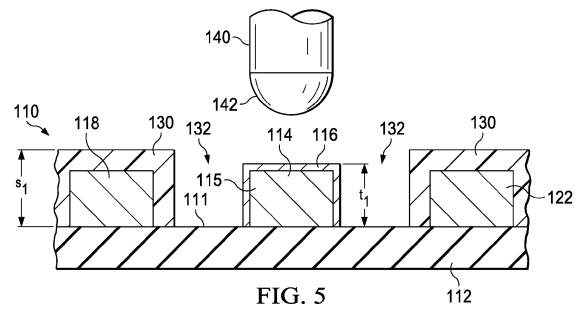
FIG. 2  
(従来技術)



【図 4】

FIG. 4  
(従来技術)

【図 5】

FIG. 5  
(従来技術)

【図 6】

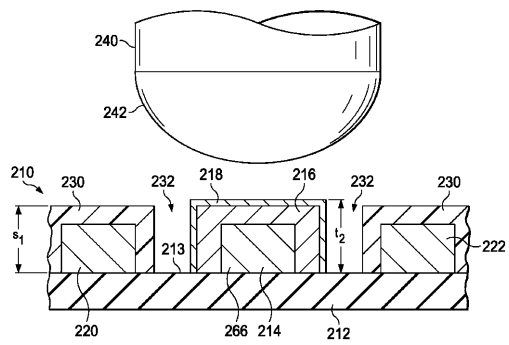


FIG. 6

【図 7】

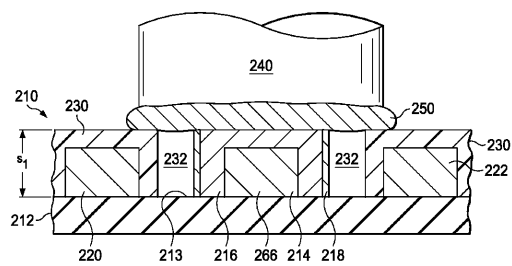


FIG. 7

【図 8】

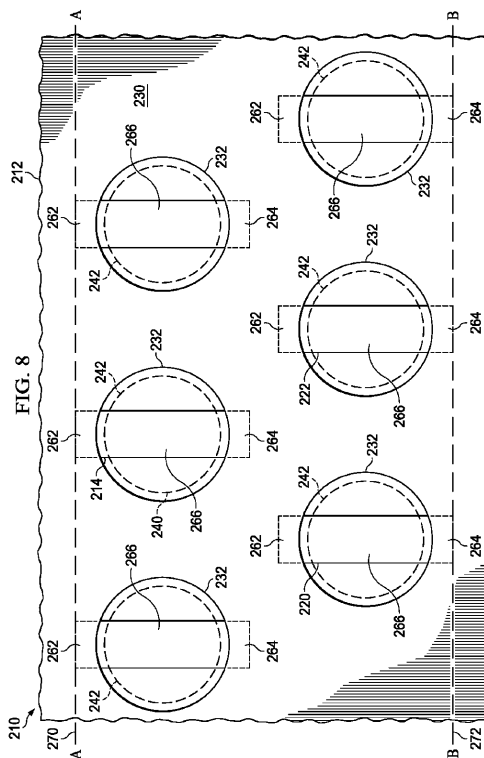


FIG. 8

【図 9】

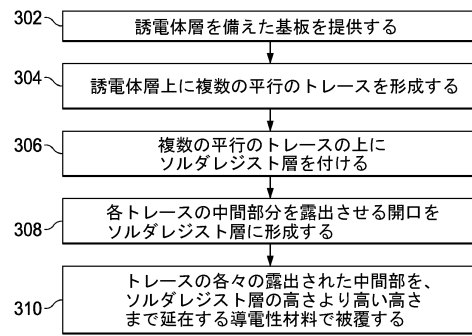


FIG. 9

---

フロントページの続き

(72)発明者 ニマ シャヒディ

アメリカ合衆国 75206 テキサス州 ダラス, エイピーティー 203, イースト モ  
ッキンバード レーン 5331

審査官 小川 将之

(56)参考文献 特開平11-191672(JP, A)

特開2008-098402(JP, A)

国際公開第2010/103934(WO, A1)

特開2009-177118(JP, A)

特開2009-212208(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60