

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6418783号
(P6418783)

(45) 発行日 平成30年11月7日(2018.11.7)

(24) 登録日 平成30年10月19日(2018.10.19)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/8242 (2006.01)
 HO 1 L 27/108 (2006.01)
 HO 1 L 27/115 (2017.01)
 HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 1 8 E
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 8 C
 HO 1 L 27/108 3 2 1
 HO 1 L 27/115

請求項の数 6 (全 40 頁) 最終頁に続く

(21) 出願番号 特願2014-104067 (P2014-104067)
 (22) 出願日 平成26年5月20日(2014.5.20)
 (65) 公開番号 特開2015-5740 (P2015-5740A)
 (43) 公開日 平成27年1月8日(2015.1.8)
 審査請求日 平成29年5月15日(2017.5.15)
 (31) 優先権主張番号 特願2013-106337 (P2013-106337)
 (32) 優先日 平成25年5月20日(2013.5.20)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 坂倉 真之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須澤 英臣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 高橋 宣博

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の酸化物半導体層及び第2の酸化物半導体層を有する積層と、
 前記積層の上面と接するソース電極及びドレイン電極と、
 前記積層の上面の一部、前記積層の側面の一部、前記ソース電極の一部、及び前記ドレイン電極の一部を覆うように設けられた第3の酸化物半導体層と、
 前記第3の酸化物半導体層上に設けられたゲート絶縁膜と、
 前記ゲート絶縁膜上に設けられたゲート電極と、を有し、
 前記第2の酸化物半導体層は、前記第1の酸化物半導体層上に設けられ、
 前記第3の酸化物半導体層は、前記積層と接する第1の層と、前記第1の層上の第2の層と、を有し、
 前記第1の層は、ナノ結晶を有し、
 前記第2の層は、c軸配向した結晶を有することを特徴とする半導体装置。

【請求項2】

第1の酸化物半導体層及び第2の酸化物半導体層を有する積層と、
 前記積層の上面と接するソース電極及びドレイン電極と、
 前記積層の上面の一部、前記積層の側面の一部、前記ソース電極の一部、及び前記ドレイン電極の一部を覆うように設けられた第3の酸化物半導体層と、
 前記第3の酸化物半導体層上に設けられたゲート絶縁膜と、
 前記ゲート絶縁膜上に設けられたゲート電極と、を有し、

前記第 2 の酸化物半導体層は、前記第 1 の酸化物半導体層上に設けられ、
前記第 3 の酸化物半導体層は、前記積層と接する第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
前記第 1 の層の結晶性は、前記第 2 の層の結晶性よりも低いことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記第 1 の酸化物半導体層及び前記第 2 の酸化物半導体層は、c 軸配向した結晶を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、
前記積層と前記第 3 の酸化物半導体層が接する領域において、前記第 2 の酸化物半導体層の表面は曲面を有していることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記第 1 の酸化物半導体層及び前記第 3 の酸化物半導体層は、前記第 2 の酸化物半導体層よりも伝導帯下端のエネルギーが 0.05 eV 以上 2 eV 以下の範囲で真空準位に近いことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、
前記第 1 の酸化物半導体層乃至前記第 3 の酸化物半導体層は、In、M (M は Al、Ti、Ga、Y、Zr、La、Ce、Nd または Hf)、及び Zn を有し、
前記第 1 の酸化物半導体層及び前記第 3 の酸化物半導体層は、In に対する M の原子数比が前記第 2 の酸化物半導体層よりも大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ (薄膜トランジスタ (TFT) ともいう) を構成する技術が注目されている。当該トランジスタは集積回路 (IC) や画像表示装置 (表示装置) のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、トランジスタの活性層として、インジウム (In)、ガリウム (Ga)、および亜鉛 (Zn) を含む非晶質酸化物半導体を用いたトランジスタが特許文献 1 に開示されて

10

20

30

40

50

いる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

集積化回路の高密度化においてトランジスタの微細化は必須技術である。一方、トランジスタの微細化によって、トランジスタの電気特性が悪化することや、ばらつきが生じやすくなることが知られている。すなわち、トランジスタの微細化によって集積化回路の歩留まりは低下しやすくなる。

10

【0008】

したがって、本発明の一態様は、微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供することを目的の一つとする。または、微細化に伴う歩留まりの低下を抑えることのできる構造を有する半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、オン電流の悪化を低減した半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

20

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

本発明の一態様は、積層された酸化物半導体層を有する半導体装置に関する。

30

【0011】

本発明の一態様は、絶縁表面上に第1の酸化物半導体層、第2の酸化物半導体層の順で形成された積層と、当該積層の側面の一部、上面の一部、当該側面と対向する側面の一部を覆うように形成された第3の酸化物半導体層と、を有し、第3の酸化物半導体層は、積層と接する第1の層、および当該第1の層上の第2の層を有し、第1の層は微結晶層で形成され、第2の層は第1の層の表面に対してc軸が垂直方向に配向する結晶層で形成されていることを特徴とする半導体装置である。

【0012】

また、本発明の他の一態様は、絶縁表面上に第1の酸化物半導体層、第2の酸化物半導体層の順で形成された積層と、当該積層の一部と接するソース電極層およびドレイン電極層と、絶縁表面、積層、ソース電極層およびドレイン電極層のそれぞれの一部と接するように形成された第3の酸化物半導体層と、第3の酸化物半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極層と、ソース電極層、ドレイン電極層、およびゲート電極層上に形成された絶縁層と、を有し、第3の酸化物半導体層は、積層と接する第1の層、および当該第1の層上の第2の層を有し、第1の層は微結晶層で形成され、第2の層は第1の層の表面に対してc軸が垂直方向に配向する結晶層で形成されていることを特徴とする半導体装置である。

40

【0013】

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

50

【0014】

上記第1の酸化物半導体層は、絶縁表面に対して垂直方向にc軸配向する結晶層を有し、上記第2の酸化物半導体層は第1の酸化物半導体層の上面に対して垂直方向にc軸配向する結晶層を有することが好ましい。

【0015】

また、上記積層と第3の酸化物半導体層が接する領域において、第2の酸化物半導体層の表面は曲面を有していることが好ましい。

【0016】

また、第1の酸化物半導体層および第3の酸化物半導体層は、第2の酸化物半導体層よりも伝導帯下端的エネルギーが0.05 eV以上2 eV以下の範囲で真空準位に近いことが好ましい。

10

【0017】

また、第1の酸化物半導体層乃至第3の酸化物半導体層は、In-M-Zn酸化物層(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)であり、第1の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。

【発明の効果】

【0018】

本発明の一態様を用いることにより、微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供することができる。または、微細化に伴う歩留まりの低下を抑えることのできる構造を有する半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、オン電流の悪化を低減した半導体装置を提供することができる。または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、電源が遮断されてもデータが保持される半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

20

【0019】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

30

【図面の簡単な説明】

【0020】

【図1】トランジスタの上面図および断面図。

【図2】トランジスタの断面図。

【図3】酸化物半導体層のバンド構造を説明する図。

【図4】酸化物半導体層の積層の一部における結晶構造を説明する図。

【図5】トランジスタの拡大断面図。

【図6】トランジスタの断面図。

【図7】トランジスタの作製方法を説明する図。

40

【図8】トランジスタの作製方法を説明する図。

【図9】半導体装置の断面図および回路図。

【図10】半導体装置の回路図。

【図11】半導体装置の回路図および断面図。

【図12】半導体装置の回路図。

【図13】半導体装置を適用することができる電子機器を説明する図。

【図14】酸化物半導体層の積層状態を観察するためのサンプルの断面図。

【図15】酸化物半導体層の断面TEM写真。

【発明を実施するための形態】

【0021】

50

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0022】

なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

10

【0023】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

20

【0024】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

30

【0025】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0026】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

40

【0027】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース

50

(又は第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合には、以下のように表現することが出来る。

【0028】

例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0029】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板(例えば単結晶基板またはシリコン基板)、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、またはアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

【0030】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

【0031】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一

例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

【0032】

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

10

【0033】

図1（A）、（B）、（C）は、本発明の一態様のトランジスタの上面図および断面図である。図1（A）は上面図であり、図1（A）に示す一点鎖線A1 - A2の断面が図1（B）に相当する。また、図1（C）は、図1（A）に示す一点鎖線A3 - A4の断面図である。なお、図1（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A1 - A2方向をチャンネル長方向、一点鎖線A3 - A4方向をチャンネル幅方向と呼称する場合がある。

【0034】

図1（A）、（B）、（C）および図2に示すトランジスタ100は、基板110上に形成された下地絶縁膜120と、当該下地絶縁膜上に形成された、第1の酸化物半導体層131、第2の酸化物半導体層132の順で形成された積層と、当該積層の一部と接するように形成されたソース電極層140およびドレイン電極層150と、下地絶縁膜120、当該積層、ソース電極層140およびドレイン電極層150のそれぞれの一部と接する第3の酸化物半導体層133と、当該第3の酸化物半導体層上に形成されたゲート絶縁膜160、当該ゲート絶縁膜上に形成されたゲート電極層170と、ソース電極層140、ドレイン電極層150およびゲート電極層170上に形成された絶縁層180を有する。

20

【0035】

ここで、第1の酸化物半導体層131は下地絶縁膜120の表面に対して垂直方向にc軸配向する結晶層を有し、第2の酸化物半導体層132は第1の酸化物半導体層131の上面に対して垂直方向にc軸配向する結晶層を有することが好ましい。

30

【0036】

また、第3の酸化物半導体層133は、上記積層と接する第1の層と、当該第1の層上の第2の層を有するように形成される。当該第1の層は微結晶層であり、当該第2の層は当該第1の層の表面に対してc軸が垂直方向に配向する結晶層で形成されている。

【0037】

また、絶縁層180上に酸化物で形成された絶縁層185が形成されていてもよい。当該絶縁層185は必要に応じて設ければよく、さらにその上部に他の絶縁層を形成してもよい。また、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133を総称して酸化物半導体層130と呼称する。

【0038】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

40

【0039】

また、本発明の一態様のトランジスタは、酸化物半導体層（第1の酸化物半導体層131および第2の酸化物半導体層132）と重なるソース電極層140またはドレイン電極層150において、図1（A）の上面図に示す酸化物半導体層の一端部からソース電極層140またはドレイン電極層150の一端部までの距離（W）を50nm以下、好ましくは25nm以下とする。Wを小さくすることで、下地絶縁膜120に含まれる酸素のソ

50

ース電極層 140 またはドレイン電極層 150 の構成材料である金属材料への拡散量を抑えることができる。したがって、下地絶縁膜 120 に含まれる酸素、特に過剰に含まれている酸素の不必要な放出を抑えることができ、酸化物半導体層に対して下地絶縁膜 120 から効率よく酸素を供給することができる。

【0040】

次に本発明の一態様のトランジスタ 100 の構成要素について詳細を説明する。

【0041】

基板 110 は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ 100 のゲート電極層 170、ソース電極層 140、およびドレイン電極層 150 の少なくとも一つは、上記の他のデバイスと電気的に接続されていてもよい。

10

【0042】

下地絶縁膜 120 は、基板 110 からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 130 に酸素を供給する役割を担うことができる。したがって、下地絶縁膜 120 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板 110 が他のデバイスが形成された基板である場合、下地絶縁膜 120 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

【0043】

20

また、トランジスタ 100 のチャネルが形成される領域において酸化物半導体層 130 は、基板 110 側から第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、第 3 の酸化物半導体層 133 が積層された構造を有している。また、図 1 (C) のチャネル幅方向の断面図に示すように、チャネル形成領域において第 3 の酸化物半導体層 133 は、第 1 の酸化物半導体層 131 および第 2 の酸化物半導体層 132 からなる積層の側面、上面、当該側面と対向する側面を覆うように形成される。したがって、チャネル形成領域において第 2 の酸化物半導体層 132 は、第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 で取り囲まれている構造となっている。

【0044】

ここで、一例としては、第 2 の酸化物半導体層 132 には、第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 よりも電子親和力 (真空準位から伝導帯下端までのエネルギー) が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差 (イオン化ポテンシャル) から、伝導帯下端と価電子帯上端とのエネルギー差 (エネルギーギャップ) を差し引いた値として求めることができる。

30

【0045】

第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 は、第 2 の酸化物半導体層 132 を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが第 2 の酸化物半導体層 132 よりも、0.05 eV、0.07 eV、0.1 eV、0.15 eV のいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

40

【0046】

このような構造において、ゲート電極層 170 に電界を印加すると、酸化物半導体層 130 のうち、伝導帯下端のエネルギーが最も小さい第 2 の酸化物半導体層 132 にチャネルが形成される。すなわち、第 2 の酸化物半導体層 132 とゲート絶縁膜 160 との間に第 3 の酸化物半導体層 133 が形成されていることによって、トランジスタのチャネルがゲート絶縁膜と接しない構造となる。

【0047】

また、第 1 の酸化物半導体層 131 は、第 2 の酸化物半導体層 132 を構成する金属元素を一種以上含んで構成されるため、第 2 の酸化物半導体層 132 と下地絶縁膜 120 が接した場合の界面と比較して、第 2 の酸化物半導体層 132 と第 1 の酸化物半導体層 131

50

の界面に界面準位を形成しにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、第1の酸化物半導体層131を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0048】

また、第3の酸化物半導体層133は、第2の酸化物半導体層132を構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体層132とゲート絶縁膜160が接した場合の界面と比較して、第2の酸化物半導体層132と第3の酸化物半導体層133との界面ではキャリアの散乱が起こりにくくなる。したがって、第3の酸化物半導体層133を設けることにより、トランジスタの電界効果移動度を高くすることができる。

10

【0049】

第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133が、少なくともインジウム、亜鉛およびM (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物層であるとき、第1の酸化物半導体層131および第3の酸化物半導体層133におけるInまたはZnに対するMの原子数比は、第2の酸化物半導体層132のそれよりも高くすることが好ましい。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。MはInまたはZnよりも酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、第1の酸化物半導体層131および第3の酸化物半導体層133は、第2の酸化物半導体層132よりも酸素欠損が生じにくいということができる。

20

【0050】

なお、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133が、少なくともインジウム、亜鉛およびM (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物層であるとき、第1の酸化物半導体層131を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、第2の酸化物半導体層132を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]、第3の酸化物半導体層133を $\text{In}:\text{M}:\text{Zn} = x_3:y_3:z_3$ [原子数比]とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなることが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、第2の酸化物半導体層132において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

30

【0051】

なお、本明細書において酸化物半導体層の組成を説明する原子数比には、母材料の原子数比を示す意味も含まれる。酸化物半導体材料をターゲットとしてスパッタ法で成膜を行った場合、スパッタガス種やその比率、ターゲットの密度、および成膜条件によって、成膜される酸化物半導体層の組成が母材料のターゲットとは異なってしまうことがある。したがって、本明細書では酸化物半導体層の組成を説明する原子数比には、母材料の原子数比を含めることとする。例えば、成膜方法にスパッタ法を用いた場合に、原子数比が1:1:1のIn-Ga-Zn酸化物膜とは、原子数比が1:1:1のIn-Ga-Zn酸化物材料をターゲットに用いて成膜したIn-Ga-Zn酸化物膜と言い換えることができる。

40

【0052】

第1の酸化物半導体層131および第3の酸化物半導体層133におけるZnおよびOを除いた場合のInとMの原子数比率は、好ましくはInが50 atomic %未満、Mが50 atomic %以上、さらに好ましくはInが25 atomic %未満、Mが75 atomic %以上とする。また、第2の酸化物半導体層132におけるZnおよびOを除いた場合のInとMの原子数比率は、好ましくはInが25 atomic %以上、Mが7

50

5 a t o m i c % 未満、さらに好ましくは I n が 3 4 a t o m i c % 以上、M が 6 6 a t o m i c % 未満とする。

【 0 0 5 3 】

第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 の厚さは、1 n m 以上 1 0 0 n m 以下、好ましくは 3 n m 以上 5 0 n m 以下とする。また、第 2 の酸化物半導体層 1 3 2 の厚さは、1 n m 以上 2 0 0 n m 以下、好ましくは 3 n m 以上 1 0 0 n m 以下、さらに好ましくは 3 n m 以上 5 0 n m 以下とする。

【 0 0 5 4 】

第 1 の酸化物半導体層 1 3 1、第 2 の酸化物半導体層 1 3 2、および第 3 の酸化物半導体層 1 3 3 には、例えば、インジウム、亜鉛およびガリウムを含んだ酸化物半導体を用いることができる。特に、第 2 の酸化物半導体層 1 3 2 にインジウムを含ませると、キャリア移動度が高くなるため好ましい。

10

【 0 0 5 5 】

したがって、酸化物半導体層 1 3 0 を第 1 の酸化物半導体層 1 3 1、第 2 の酸化物半導体層 1 3 2、第 3 の酸化物半導体層 1 3 3 の積層構造とすることで、第 2 の酸化物半導体層 1 3 2 にチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【 0 0 5 6 】

第 1 の酸化物半導体層 1 3 1、第 2 の酸化物半導体層 1 3 2、第 3 の酸化物半導体層 1 3 3 のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、第 1 の酸化物半導体層 1 3 1、第 2 の酸化物半導体層 1 3 2、第 3 の酸化物半導体層 1 3 3 の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、第 1 の酸化物半導体層 1 3 1、第 2 の酸化物半導体層 1 3 2、第 3 の酸化物半導体層 1 3 3 は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

20

【 0 0 5 7 】

主成分を共通として積層された酸化物半導体層 1 3 0 は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造）が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

30

【 0 0 5 8 】

例えば、第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 には I n : G a : Z n = 1 : 3 : 2、1 : 3 : 3、1 : 3 : 4、1 : 3 : 6、1 : 6 : 4 または 1 : 9 : 6（原子数比）、第 2 の酸化物半導体層 1 3 2 には I n : G a : Z n = 1 : 1 : 1、5 : 5 : 6、または 3 : 1 : 2（原子数比）などの I n - G a - Z n 酸化物などを用いることができる。

【 0 0 5 9 】

酸化物半導体層 1 3 0 における第 2 の酸化物半導体層 1 3 2 はウェル（井戸）となり、酸化物半導体層 1 3 0 を用いたトランジスタにおいて、チャネルは第 2 の酸化物半導体層 1 3 2 に形成される。なお、酸化物半導体層 1 3 0 は伝導帯下端のエネルギーが連続的に変化しているため、U 字型井戸（U S h a p e W e l l）とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

40

【 0 0 6 0 】

また、第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 があることにより、第 2 の酸化物半導体層 1 3 2 と当該トラップ準位とを遠ざけることができる。

【 0 0 6 1 】

50

ただし、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの差が小さい場合、第2の酸化物半導体層132の電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0062】

したがって、トランジスタのしきい値電圧の変動を低減するには、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの間に一定以上の差を設けることが必要となる。それぞれの当該エネルギー差は、0.1 eV以上が好ましく、0.15 eV以上がより好ましい。

10

【0063】

また、第1の酸化物半導体層131、第2の酸化物半導体層132および第3の酸化物半導体層133には、c軸に配向した結晶層が含まれることが好ましい。当該結晶層が含まれる膜を用いることでトランジスタに安定した電気特性を付与することができる。

【0064】

なお、酸化物半導体層130にIn-Ga-Zn酸化物を用いる場合は、Inのゲート絶縁膜への拡散を防ぐために、第3の酸化物半導体層133は第2の酸化物半導体層132よりもInが少ない組成とすることが好ましい。

【0065】

20

本発明の一態様のトランジスタは、上述した埋め込みチャンネルであることに加え、図2に示すように第3の酸化物半導体層133が第1の酸化物半導体層131と第2の酸化物半導体層132の積層および下地絶縁膜120に接する微結晶層133aと、当該微結晶層の表面に対してc軸が垂直方向に配向する結晶層133bを有する構成となっている。

【0066】

当該構造における酸化物半導体層（図2のB1-B2方向に相当）のバンド構造の詳細を図3に示す。ここで、E_{vac}は真空準位のエネルギー、E_{c1}およびE_{c2}は酸化シリコン膜の伝導帯下端のエネルギー、E_{s1}は第1の酸化物半導体層131の伝導帯下端のエネルギー、E_{s2}は第2の酸化物半導体層132の伝導帯下端のエネルギー、E_{s3}は第3の酸化物半導体層133の伝導帯下端のエネルギーである。

30

【0067】

E_{s1}-E_{s2}間、およびE_{s3}-E_{s2}間ではエネルギーが急激に変化することなく、その変化の始めおよび終わりでは、徐々に傾きが変わるように変化する。

【0068】

これは、第1の酸化物半導体層131と第2の酸化物半導体層132の界面、および第3の酸化物半導体層133と第2の酸化物半導体層132の界面において、組成物が相互拡散し、第1の酸化物半導体層131と第2の酸化物半導体層132との間の組成、または第3の酸化物半導体層133と第2の酸化物半導体層132との間の組成となる領域を形成するためである。

【0069】

40

このため、図3に示すように、第2の酸化物半導体層132に形成されるチャンネルは、第3の酸化物半導体層133と第2の酸化物半導体層132との界面から膜の中心方向に少し離れた位置と、第1の酸化物半導体層131と第2の酸化物半導体層132の界面から膜の中心方向に少し離れた位置との間の領域132bに形成される。したがって、当該いずれかの界面に欠陥や不純物が存在していたとしても、キャリアのトラップや再結合を抑えることができる。

【0070】

また、第3の酸化物半導体層133において、第1の酸化物半導体層131と第2の酸化物半導体層132の積層に接する領域は微結晶層133aであり、当該微結晶層はその上部に形成される結晶層133bよりも密度が小さいことなどから、第2の酸化物半導体層

50

132の組成物が第3の酸化物半導体層133側へ拡散しやすくなる。したがって、第3の酸化物半導体層133と第2の酸化物半導体層132との間の組成となる領域が増加する。そのため、第2の酸化物半導体層132に形成されるチャンネルは、第3の酸化物半導体層133と第2の酸化物半導体層132との界面から膜の中心方向にさらに離れた位置に形成され、上述した界面に欠陥や不純物がある場合の不具合をより効果的に抑えることができる。

【0071】

また、第1の酸化物半導体層131、第2の酸化物半導体層132がc軸に配向した結晶層で形成されている場合、微結晶層133aは当該結晶層よりも密度が小さいため、比較的酸素を拡散しやすいといえる。したがって、微結晶層133aをパスとして、下地絶縁膜120からチャンネルとなる第2の酸化物半導体層132に効率よく酸素供給をすることができ、酸素欠損に酸素を補填することができる。

10

【0072】

また、第3の酸化物半導体層133における結晶層133bは、微結晶層133aの表面に対して垂直方向にc軸配向する。そのため、第2の酸化物半導体層132の表面を曲面を有するように形成することでc軸配向した結晶で第2の酸化物半導体層132のチャンネル領域を密に覆うことができる。

【0073】

図4(A)はトランジスタのチャンネル幅方向において、曲面を有するように形成された第2の酸化物半導体層132、当該第2の酸化物半導体層を覆う微結晶層133a、当該微結晶層上に形成される結晶層133bの積層の一部における結晶構造を模式化した断面図である。ここで、第2の酸化物半導体層132は第1の酸化物半導体層131(図示せず)の表面に対して垂直方向にc軸に配向した結晶層とする。

20

【0074】

図示するように第2の酸化物半導体層132の表面を曲面を有するように形成することで、微結晶層133aを介して当該曲面の表面に対して垂直方向にc軸配向した密な結晶層133bを有する第3の酸化物半導体層133を形成することができる。したがって、第3の酸化物半導体層133による第2の酸化物半導体層132からの酸素脱離を抑える効果、または下地絶縁膜120から放出される酸素を閉じ込める効果を高めることができ、第2の酸化物半導体層132の酸素欠損に効率よく酸素補填を行うことができる。

30

【0075】

なお、第2の酸化物半導体層132の表面を曲面を有するように形成しない場合は、図4(B)に示すように第3の酸化物半導体層133において、第2の酸化物半導体層132の上部に形成される結晶層133bと側部に形成される結晶層133bとが交わる領域に結晶が疎の領域233が形成される。そのため、第2の酸化物半導体層132が有する酸素、および下地絶縁膜120から第2の酸化物半導体層132に供給される酸素が領域233を通じて放出されやすくなる。したがって、第2の酸化物半導体層132の酸素欠損に効率よく酸素補填を行うことができなくなる。

【0076】

なお、酸化物半導体層をチャンネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にするのが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

40

【0077】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、第1の酸化物半導体層131、第2の酸化物半導体層132および第3の

50

酸化物半導体層 133 の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0078】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していることが好ましい。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする部分を有していることが好ましい。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする部分を有していることが好ましい。

10

【0079】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

20

【0080】

また、上述のように高純度化された酸化物半導体層をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V、5 V、または、10 V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数 $\mu\text{A}/\mu\text{m}$ 乃至数 $\text{nA}/\mu\text{m}$ にまで低減することが可能となる。

30

【0081】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることもある。このような観点からも、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

40

【0082】

ソース電極層 140 およびドレイン電極層 150 には、酸素と結合し易い導電材料を用いることが好ましい。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどを用いることができる。上記材料において、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。なお、酸素と結合しやすい導電材料には、酸素が拡散しやすい材料も含まれる。

【0083】

酸素と結合しやすい導電材料と酸化物半導体層を接触させると、酸化物半導体層中の酸素が、酸素と結合しやすい導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には加熱工程があることから、上記現象により

50

、酸化物半導体層のソース電極層またはドレイン電極層と接触した近傍の領域に酸素欠損が発生し、膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0084】

上記n型化した領域は、図5のトランジスタの拡大断面図(チャネル長方向の断面の一部、ソース電極層140近傍)に示される。第1の酸化物半導体層131中および第2の酸化物半導体層132中に点線で示される境界135は、真性半導体領域とn型半導体領域の境界である。第1の酸化物半導体層131および第2の酸化物半導体層132において、ソース電極層140に接触した近傍の領域がn型化した領域となる。なお、境界135は模式的に示したものであり、実際には明瞭ではない場合がある。また、図5では、境界135の一部が第2の酸化物半導体層132中で横方向に延びているように位置している状態を示したが、第1の酸化物半導体層131および第2の酸化物半導体層132のソース電極層140と下地絶縁膜120で挟まれた領域の膜厚方向全体がn型化することもある。

10

【0085】

なお、チャネル長が極短いトランジスタを形成する場合、上記酸素欠損の発生によってn型化した領域がトランジスタのチャネル長方向に延在してしまうことがある。この場合、トランジスタの電気特性には、しきい値電圧のシフトやゲート電圧でオンオフの制御ができない状態(導通状態)が現れる。そのため、チャネル長が極短いトランジスタを形成する場合は、ソース電極層およびドレイン電極層に酸素と結合しやすい導電材料を用いることが必ずしも好ましいとはいえない。

20

【0086】

このような場合にはソース電極層140およびドレイン電極層150には、上述した材料よりも酸素と結合しにくい導電材料を用いることもできる。当該導電材料としては、例えば、窒化タンタル、窒化チタン、金、白金、パラジウムまたはルテニウムを含む材料などを用いることができる。なお、当該導電材料が第2の酸化物半導体層132と接触する場合は、ソース電極層140およびドレイン電極層150を、当該導電材料と前述した酸素と結合しやすい導電材料を積層する構成としてもよい。

【0087】

ゲート絶縁膜160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜160は上記材料の積層であってもよい。

30

【0088】

ゲート電極層170には、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電膜を用いることができる。また、当該ゲート電極層は、上記材料の積層であってもよい。また、当該ゲート電極層には、窒素を含んだ導電膜を用いてもよい。

40

【0089】

ゲート絶縁膜160、およびゲート電極層170上には絶縁層180が形成されていることが好ましい。当該絶縁層には、酸化アルミニウムを用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層130への混入防止、酸化物半導体層130を構成する主成分材料である酸素の酸化物半導体層からの放出防止、下地絶縁膜120からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

50

【0090】

また、絶縁層180上には絶縁層185が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

【0091】

ここで、絶縁層185は過剰酸素を有することが好ましい。過剰酸素を含む絶縁層とは、加熱処理などによって酸素を放出することができる絶縁層をいう。例えば、表面温度が100以上700以下、好ましくは100以上500以下の加熱処理で行われる昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。当該絶縁層から放出される酸素はゲート絶縁膜160を経由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に酸素欠損が形成された場合においても酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0092】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャネル幅の縮小に直接起因するオン電流の低下は著しい。

【0093】

しかしながら、本発明の一態様のトランジスタでは、前述したように、第2の酸化物半導体層132のチャネルが形成される領域を覆うように第3の酸化物半導体層133が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタの電界効果移動度を高くすることができる。

【0094】

また、本発明の一態様のトランジスタは、図2のチャネル幅方向の断面図に示すような、チャネル幅方向における第2の酸化物半導体層132の上面の長さ(W_T)が当該酸化物半導体層の膜厚と同じ程度にまで縮小された構造において、特に電気特性を向上させることができる。

【0095】

例えば、図2に示すようなトランジスタにおいて、 W_T が上記のように小さい場合、ゲート電極層170から第2の酸化物半導体層132の側面に印加される電界は第2の酸化物半導体層132の全体に及ぶため、第2の酸化物半導体層132の側面にも上面に形成されるチャネルと同等のチャネルが形成される。

【0096】

W_T が小さいトランジスタの場合、チャネル幅は W_T とチャネル幅方向における第2の酸化物半導体層132の側面の長さ(W_{S1} 、 W_{S2})の和($W_T + W_{S1} + W_{S2}$)と定義することができる。当該トランジスタには当該チャネル幅に応じたオン電流が流れる。また、 W_T が極めて小さい場合は第2の酸化物半導体層132全体に電流が流れるようになる。

【0097】

すなわち、本発明の一態様を用いた W_T が小さいトランジスタでは、キャリアの散乱を抑える効果とチャネル幅を拡大する効果を併せ持つことから、従来のトランジスタよりもオン電流を高くすることができる。

【0098】

なお、 $W_{S1} = W_{S2} = W_S$ とするとき、トランジスタのオン電流を効率よく向上させるには $0.3 W_S < W_T < 3 W_S$ (W_T は $0.3 W_S$ 以上 $3 W_S$ 以下)とする。また、好ましくは $W_T / W_S = 0.5$ 以上 1.5 以下とし、より好ましくは $W_T / W_S = 0.7$ 以上 1.3 以下とする。 $W_T / W_S > 3$ の場合は、 S 値やオフ電流が増加することがある。

【 0 0 9 9 】

したがって、本発明の一態様のトランジスタは、トランジスタが微細化された場合においても十分に高いオン電流を得ることができる。

【 0 1 0 0 】

また、本発明の一態様のトランジスタは、第2の酸化物半導体層132を第1の酸化物半導体層131上に形成することで界面準位を形成しにくくする効果や、第2の酸化物半導体層132を三層構造の中間層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、第2の酸化物半導体層132は第1の酸化物半導体層131と第3の酸化物半導体層133で取り囲まれた構造となり、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値を小さくすることができる。したがって、 I_{cut} （ゲート電圧 V_G が0V時の電流）を下げることができ、半導体装置の消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。

10

【 0 1 0 1 】

また、本発明の一態様のトランジスタは、図6に示すように、酸化物半導体層130と基板110との間に導電膜172を備えていてもよい。当該導電膜を第2のゲート電極として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、ゲート電極層170と導電膜172を同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、ゲート電極層170とは異なる定電位を導電膜172に供給すればよい。

20

【 0 1 0 2 】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【 0 1 0 3 】

（実施の形態2）

本実施の形態では、実施の形態1で説明した図1に示すトランジスタ100の作製方法について、図7および図8を用いて説明する。

【 0 1 0 4 】

基板110には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI（Silicon On Insulator）基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

30

【 0 1 0 5 】

下地絶縁膜120は、プラズマCVD法またはスパッタ法等により、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、または上記材料を混合した膜を用いて形成することができる。また、上記材料の積層であってもよく、少なくとも酸化物半導体層130と接する上層は酸化物半導体層130への酸素の供給源となりえる過剰な酸素を含む材料で形成することが好ましい。

40

【 0 1 0 6 】

また、下地絶縁膜120にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、下地絶縁膜120から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

【 0 1 0 7 】

なお、基板110の表面が絶縁体であり、後に設ける酸化物半導体層130への不純物拡散の影響が無い場合は、下地絶縁膜120を設けない構成とすることができる。

50

【0108】

次に、下地絶縁膜120上に第1の酸化物半導体層131となる第1の酸化物半導体膜331および第2の酸化物半導体層132となる第2の酸化物半導体膜332をスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜する(図7(A)参照)。

【0109】

次に、第1の酸化物半導体膜331および第2の酸化物半導体膜332を選択的にエッチングすることで第1の酸化物半導体層131および第2の酸化物半導体層132を形成する(図7(B)参照)。このとき、図示するように下地絶縁膜120を若干過度にエッチングしてもよい。下地絶縁膜120を過度にエッチングすることで、後に形成するゲート電極で第2の酸化物半導体層132を覆いやすくすることができる。また、トランジスタのチャネル幅方向における断面においては、第2の酸化物半導体層132の上面から側面にかけて曲率を有するような形状とする。

10

【0110】

なお、第1の酸化物半導体膜331および第2の酸化物半導体膜332を選択的にエッチングする際に、フォトレジストのみでなく金属膜等のハードマスクを用いてもよい。また、当該金属膜上に有機樹脂を形成してもよい。例えば、当該金属膜として、5nm程度のタングステン膜などを用いることができる。

【0111】

また、上記エッチングの方法としては、第1の酸化物半導体膜331および第2の酸化物半導体膜332のエッチングレートの差が小さいドライエッチング法を用いることが好ましい。

20

【0112】

第1の酸化物半導体層131および第2の酸化物半導体層132の積層において連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置(例えばスパッタ装置)を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気(5×10^{-7} Pa以上 1×10^{-4} Pa以下程度まで)でできること、かつ、成膜される基板を100℃以上、好ましくは500℃以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。

30

【0113】

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が-40℃以下、好ましくは-80℃以下、より好ましくは-100℃以下にまで高純度化したガスを用いることで酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。

【0114】

第1の酸化物半導体層131、第2の酸化物半導体層132、および後の工程で形成される第3の酸化物半導体層133には、実施の形態1で説明した材料を用いることができる。例えば、第1の酸化物半導体層131にIn:Ga:Zn=1:3:6、1:3:4、1:3:3または1:3:2[原子数比]のIn-Ga-Zn酸化物、第2の酸化物半導体層132にIn:Ga:Zn=1:1:1、または5:5:6[原子数比]のIn-Ga-Zn酸化物、第3の酸化物半導体層133にIn:Ga:Zn=1:3:6、1:3:4、1:3:3または1:3:2[原子数比]のIn-Ga-Zn酸化物を用いることができる。

40

【0115】

また、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133として用いることのできる酸化物半導体は、少なくともインジウム(In

50

）もしくは亜鉛（Zn）を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0116】

スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、またはジルコニウム（Zr）等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）等がある。

10

【0117】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

20

【0118】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

【0119】

また、 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ 、且つ、 m は整数でない）で表記される材料を用いてもよい。なお、Mは、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ 、且つ、 n は整数）で表記される材料を用いてもよい。

30

【0120】

ただし、実施の形態1に詳細を記したように、第1の酸化物半導体層131および第3の酸化物半導体層133は、第2の酸化物半導体層132よりも電子親和力が小さくなるように材料を選択する。

【0121】

なお、酸化物半導体層の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。

40

【0122】

第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133としてIn-Ga-Zn酸化物を用いる場合、In、Ga、Znの原子数比としては、例えば、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{Ga}:\text{Zn} = 5:5:6$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:3$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:4$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:6$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:4:3$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:5:4$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:6:6$ 、 $\text{In}:\text{Ga}:\text{Zn} = 2:1:3$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:6:4$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:9:6$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:4$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:$

50

1 : 2 のいずれかの材料を用い、第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 の電子親和力が第 2 の酸化物半導体層 1 3 2 よりも小さくなるようにすればよい。

【 0 1 2 3 】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05 とすればよい。他の酸化物でも同様である。

【 0 1 2 4 】

また、第 2 の酸化物半導体層 1 3 2 は、第 1 の酸化物半導体層 1 3 1 および第 3 の酸化物半導体層 1 3 3 よりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、In の含有率を多くすることにより、より多くの s 軌道が重なるため、In が Ga よりも多い組成となる酸化物は In が Ga と同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、第 2 の酸化物半導体層 1 3 2 にインジウムの含有量が多い酸化物を用いることで、高い移動度のトランジスタを実現することができる。

【 0 1 2 5 】

以下では、酸化物半導体膜の構造について説明する。

【 0 1 2 6 】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【 0 1 2 7 】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【 0 1 2 8 】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【 0 1 2 9 】

まずは、C A A C - O S 膜について説明する。

【 0 1 3 0 】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。したがって、C A A C - O S 膜に含まれる結晶部は、一辺が 10 nm 未満、 5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。

【 0 1 3 1 】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 1 3 2 】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【 0 1 3 3 】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察（平面 T E M 観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 1 3 4 】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【 0 1 3 5 】

C A A C - O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n ）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【 0 1 3 6 】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（110）面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（c 軸）として試料を回転させながら分析（ θ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して θ スキャンした場合でも、明瞭なピークが現れない。

20

【 0 1 3 7 】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【 0 1 3 8 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【 0 1 3 9 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 4 0 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

40

【 0 1 4 1 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる

50

要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0142】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0143】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0144】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0145】

次に、微結晶酸化物半導体膜について説明する。

【0146】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（nc: nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0147】

nc-OS膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0148】

nc - OS 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc - OS 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc - OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc - OS 膜は、CAAC - OS 膜と比べて欠陥準位密度が高くなる。

【0149】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC - OS 膜のうち、二種以上を有する積層膜であってもよい。

【0150】

CAAC - OS 膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを用い、スパッタ法によって成膜することができる。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタ粒子は帯電しているためプラズマ中で凝集せず、結晶状態を維持したまま基板に到達し、CAAC - OS 膜を成膜することができる。

【0151】

第2の酸化物半導体層132がIn - M - Zn酸化物層(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、第2の酸化物半導体層132を成膜するために用いるスパッタ用ターゲットにおいて、金属元素の原子数比をIn : M : Zn = a_1 : b_1 : c_1 とすると、 a_1 / b_1 は、1 / 3 以上6 以下、さらには1 以上6 以下であって、 c_1 / b_1 は、1 / 3 以上6 以下、さらには1 以上6 以下であることが好ましい。なお、 c_1 / b_1 を1 以上6 以下とすることで、第2の酸化物半導体層132としてCAAC - OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In : M : Zn = 1 : 1 : 1、In : M : Zn = 3 : 1 : 2、In : M : Zn = 5 : 5 : 6 等がある。

【0152】

第1の酸化物半導体層131および第3の酸化物半導体層133がIn - M - Zn酸化物層(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、第1の酸化物半導体層131および第3の酸化物半導体層133を成膜するために用いるスパッタ用ターゲットにおいて、金属元素の原子数比をIn : M : Zn = a_2 : b_2 : c_2 とすると、 $a_2 / b_2 < a_1 / b_1$ であって、 c_2 / b_2 は、1 / 3 以上6 以下、さらには1 以上6 以下であることが好ましい。なお、 c_2 / b_2 を1 以上6 以下とすることで、第1の酸化物半導体層131および第3の酸化物半導体層133としてCAAC - OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In : M : Zn = 1 : 3 : 2、In : M : Zn = 1 : 3 : 3、In : M : Zn = 1 : 3 : 4、In : M : Zn = 1 : 3 : 6 等がある。

【0153】

第2の酸化物半導体層132の形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、第2の酸化物半導体層132の結晶性を高め、さらに下地絶縁膜120、第1の酸化物半導体層131から水素や水などの不純物を除去することができる。なお、第2の酸化物半導体層132を形成するエッチングの前に第1の加熱工程を行ってもよい。

【0154】

次に、第1の酸化物半導体層131および第2の酸化物半導体層132上にソース電極層140およびドレイン電極層150となる第1の導電膜を形成する。第1の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタ法などにより100 nmのチタン膜を形成する。または、CVD法によりタンゲステン膜を形成してもよい。

【0155】

次に、第１の導電膜を第２の酸化物半導体層１３２上で分断するようにエッチングし、ソース電極層１４０およびドレイン電極層１５０を形成する（図７（Ｃ）参照）。このとき、第１の導電膜の過度のエッチングによって、第２の酸化物半導体層１３２の一部がエッチングされた形状となってもよい。

【０１５６】

次に、第１の酸化物半導体層１３１、第２の酸化物半導体層１３２、ソース電極層１４０およびドレイン電極層１５０上に、第３の酸化物半導体層１３３となる第３の酸化物半導体膜３３３を形成する。このとき、第３の酸化物半導体膜３３３の第２の酸化物半導体層１３２との界面近傍は微結晶層とし、当該微結晶層上はｃ軸配向した結晶層とする。

【０１５７】

なお、第３の酸化物半導体膜３３３の形成後に第２の加熱処理を行ってもよい。第２の加熱処理は、第１の加熱処理と同様の条件で行うことができる。第２の加熱処理により、第３の酸化物半導体膜３３３から水素や水などの不純物を除去することができる。また、第１の酸化物半導体層１３１および第２の酸化物半導体層１３２から、さらに水素や水などの不純物を除去することができる。

【０１５８】

次に、第３の酸化物半導体膜３３３上にゲート絶縁膜１６０となる絶縁膜３６０を形成する。絶縁膜３６０には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。なお、絶縁膜３６０は、上記材料の積層であってもよい。絶縁膜３６０は、スパッタ法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法またはＰＬＤ法などを用いて形成することができる。

【０１５９】

次に、絶縁膜３６０上にゲート電極層１７０となる第２の導電膜３７０を形成する（図８（Ａ）参照）。第２の導電膜３７０としては、Ａｌ、Ｔｉ、Ｃｒ、Ｃｏ、Ｎｉ、Ｃｕ、Ｙ、Ｚｒ、Ｍｏ、Ｒｕ、Ａｇ、Ｔａ、Ｗ、またはこれらを主成分とする合金材料を用いることができる。第２の導電膜３７０は、スパッタ法やＣＶＤ法などにより形成することができる。また、第２の導電膜３７０としては、窒素を含んだ導電膜を用いてもよく、上記材料を含む導電膜と窒素を含んだ導電膜の積層を用いてもよい。

【０１６０】

次に、ゲート電極層１７０を形成するためのレジストマスクを用いて、第２の導電膜３７０を選択的にエッチングし、ゲート電極層１７０を形成する。

【０１６１】

続いて、上記レジストマスクまたはゲート電極層１７０をマスクとして絶縁膜３６０を選択的にエッチングし、ゲート絶縁膜１６０を形成する。

【０１６２】

続いて、上記レジストマスクまたはゲート電極層１７０をマスクとして第３の酸化物半導体膜３３３をエッチングし、第３の酸化物半導体層１３３を形成する（図８（Ｂ）参照）。

【０１６３】

上記、第２の導電膜３７０、絶縁膜３６０、および第３の酸化物半導体膜３３３のエッチングは各層毎に行ってもよいし、連続で行ってもよい。また、エッチング方法はドライエッチング、ウェットエッチングのどちらを用いてもよく、各層毎に適切なエッチング方法を選択してもよい。

【０１６４】

次に、ソース電極層１４０、ドレイン電極層１５０、およびゲート電極層１７０上に絶縁層１８０および絶縁層１８５を形成する（図８（Ｃ）参照）。絶縁層１８０および絶縁層１８５は、下地絶縁膜１２０と同様の材料、方法を用いて形成することができる。なお、絶縁層１８０には酸化アルミニウムを用いることが特に好ましい。

10

20

30

40

50

【 0 1 6 5 】

また、絶縁層 1 8 0 にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層 1 8 0 から酸化物半導体層 1 3 0 への酸素の供給をさらに容易にすることができる。

【 0 1 6 6 】

次に、第 3 の加熱処理を行ってもよい。第 3 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 3 の加熱処理により、下地絶縁膜 1 2 0、ゲート絶縁膜 1 6 0、絶縁層 1 8 0 から過剰酸素が放出されやすくなり、酸化物半導体層 1 3 0 の酸素欠損を低減することができる。

10

【 0 1 6 7 】

以上の工程で、図 1 に示すトランジスタ 1 0 0 を作製することができる。

【 0 1 6 8 】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【 0 1 6 9 】

(実施の形態 3)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

20

【 0 1 7 0 】

図 9 (A) に半導体装置の断面図、図 9 (B) に半導体装置の回路図をそれぞれ示す。

【 0 1 7 1 】

図 9 (A) および図 9 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 3 2 0 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、実施の形態 1 で説明したトランジスタ 1 0 0 を用いることができる。

【 0 1 7 2 】

また、容量素子 3 4 0 0 は、一方の電極をトランジスタ 3 3 0 0 のソース電極層またはドレイン電極層、他方の電極をトランジスタ 3 3 0 0 のゲート電極層、誘電体をトランジスタ 3 3 0 0 のゲート絶縁膜 1 6 0 および第 3 の酸化物半導体層 1 3 3 と同じ材料を用いる構造とすることで、トランジスタ 3 3 0 0 と同時に形成することができる。

30

【 0 1 7 3 】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なるエネルギーギャップを持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を実施の形態 1 で説明した酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い電気特性により長時間の電荷保持を可能とする。

【 0 1 7 4 】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態 1 に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

40

【 0 1 7 5 】

図 9 (A) におけるトランジスタ 3 2 0 0 は、半導体材料（例えば、結晶性シリコンなど）を含む基板 3 0 0 0 に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、不純物領域に接する金属間化合物領域と、チャネル形成領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極層と、を有する。

50

なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

【0176】

基板3000上にはトランジスタ3200を囲むように素子分離絶縁層3100が設けられており、トランジスタ3200を覆うように絶縁層3150が設けられている。なお、素子分離絶縁層3100は、LOCOS(Local Oxidation of Silicon)や、STI(Shallow Trench Isolation)などの素子分離技術を用いて形成することができる。

10

【0177】

例えば、結晶性シリコン基板を用いた場合、トランジスタ3200は高速動作が可能となる。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0178】

絶縁層3150上にはトランジスタ3300が設けられ、そのソース電極層またはドレイン電極層と電氣的に接続する配線は、容量素子3400の一方の電極として作用する。また、当該配線は、トランジスタ3200のゲート電極層と電氣的に接続される。

20

【0179】

図9(A)に示すトランジスタ3300は、酸化物半導体層にチャネルが形成されるトップゲート型トランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0180】

また、トランジスタ3300と重畳するように絶縁層3150を介して電極3250が設けられている。当該電極を第2のゲート電極として適切な電位を供給することで、トランジスタ3300のしきい値電圧を制御することができる。また、トランジスタ3300の長期信頼性を高めることができる。また、当該電極をトランジスタ3300のゲート電極と同電位として動作させることでオン電流を増加させることができる。なお、電極3250を設けない構成とすることもできる。

30

【0181】

図9(A)に示すように、トランジスタ3200を形成する基板上にトランジスタ3300および容量素子3400を形成することができるため、半導体装置の集積度を高めることができる。

【0182】

図9(A)に対応する回路構成の一例を図9(B)に示す。

【0183】

図9(B)において、第1の配線3001はトランジスタ3200のソース電極層と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極層と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極層またはドレイン電極層の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極層と電氣的に接続されている。そして、トランジスタ3200のゲート電極層、およびトランジスタ3300のソース電極層またはドレイン電極層の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。なお、電極3250に相当する要素は図示していない。

40

【0184】

図9(B)に示す半導体装置では、トランジスタ3200のゲート電極層の電位が保持可

50

能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0185】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極層、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極層には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極層に与えられた電荷が保持される（保持）。

10

【0186】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極層の電荷は長時間にわたって保持される。

【0187】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極層に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_H} は、トランジスタ3200のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

20

30

【0188】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

【0189】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

40

【0190】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、

50

ゲート絶縁膜の劣化といった問題が生じにくい。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0191】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

【0192】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【0193】

(実施の形態4)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態3に示した構成と異なる半導体装置の説明を行う。

【0194】

図10は、半導体装置の回路構成の一例である。当該半導体装置において、第1の配線4500とトランジスタ4300のソース電極層とは電気的に接続され、第2の配線4600とトランジスタ4300のゲート電極層とは電気的に接続され、トランジスタ4300のドレイン電極層と容量素子4400の第1の端子とは電気的に接続されている。なお、当該半導体装置に含まれるトランジスタ4300としては、実施の形態1で説明したトランジスタ100を用いることができる。なお、第1の配線4500はビット線、第2の配線4600はワード線としての機能を有することができる。

【0195】

当該半導体装置(メモリセル4250)は、図9に示すトランジスタ3300および容量素子3400と同様の接続形態とすることができる。したがって、容量素子4400は、実施の形態3で説明した容量素子3400と同様に、トランジスタ4300の作製工程にて同時に作製することができる。

【0196】

次に、図10に示す半導体装置(メモリセル4250)に、情報の書き込みおよび保持を行う場合について説明する。

【0197】

まず、第2の配線4600にトランジスタ4300がオン状態となる電位を供給し、トランジスタ4300をオン状態とする。これにより、第1の配線4500の電位が、容量素子4400の第1の端子に与えられる(書き込み)。その後、第2の配線4600の電位を、トランジスタ4300がオフ状態となる電位として、トランジスタ4300をオフ状態とすることにより、容量素子4400の第1の端子の電位が保持される(保持)。

【0198】

酸化物半導体を用いたトランジスタ4300は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ4300をオフ状態とすることで、容量素子4400の第1の端子の電位(あるいは、容量素子4400に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0199】

次に、情報の読み出しについて説明する。トランジスタ4300がオン状態となると、浮遊状態である第1の配線4500と容量素子4400とが導通し、第1の配線4500と容量素子4400の間で電荷が再分配される。その結果、第1の配線4500の電位が変化する。第1の配線4500の電位の変化量は、容量素子4400の第1の端子の電位(あるいは容量素子4400に蓄積された電荷)によって、異なる値をとる。

【0200】

例えば、容量素子4400の第1の端子の電位をV、容量素子4400の容量をC、第1

10

20

30

40

50

の配線 4 5 0 0 が有する容量成分を C_B 、電荷が再分配される前の第 1 の配線 4 5 0 0 の電位を V_{B0} とすると、電荷が再分配された後の第 1 の配線 4 5 0 0 の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセル 4 2 5 0 の状態として、容量素子 4 4 0 0 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合の第 1 の配線 4 5 0 0 の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 1 の配線 4 5 0 0 の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることわかる。

【0201】

そして、第 1 の配線 4 5 0 0 の電位を所定の電位と比較することで、情報を読み出すことができる。

10

【0202】

このように、図 1 0 に示す半導体装置 (メモリセル 4 2 5 0) は、トランジスタ 4 3 0 0 のオフ電流が極めて小さいという特徴から、容量素子 4 4 0 0 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0203】

図 1 0 に示したメモリセル 4 2 5 0 は、メモリセル 4 2 5 0 を駆動させるための駆動回路が形成された基板を積層することが好ましい。メモリセル 4 2 5 0 と駆動回路を積層することで、半導体装置の小型化を図ることができる。なお、積層するメモリセル 4 2 5 0 および駆動回路の数は限定しない。

20

【0204】

駆動回路に含まれるトランジスタは、トランジスタ 4 3 0 0 とは異なる半導体材料を用いることが好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることがより好ましい。このような半導体材料を用いたトランジスタは、酸化物半導体を用いたトランジスタよりも高速動作が可能であり、メモリセル 4 2 5 0 の駆動回路の構成に用いることが適している。

【0205】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

30

【0206】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【0207】

(実施の形態 5)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について、図面を参照して説明する。

【0208】

図 1 1 (A) に半導体装置の回路図を、図 1 1 (C)、(D) に半導体装置の断面図をそれぞれ示す。図 1 1 (C)、(D) はそれぞれ、左側にトランジスタ 2 1 0 0 のチャンネル長方向の断面図を示し、右側にチャンネル幅方向の断面図を示している。また回路図には、酸化物半導体が適用されたトランジスタであることを明示するために、「OS」の記載を付している。

40

【0209】

図 1 1 (C)、(D) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 2 2 0 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 2 1 0 0 を有する。ここでは、第 2 の半導体材料を用いたトランジスタ 2 1 0 0 として、実施の形態 1 で例示したトランジスタ 1 0 0 を適用した例について説明する。

50

【0210】

ここで、第1の半導体材料と第2の半導体材料は異なるエネルギーギャップを持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等など）とし、第2の半導体材料を実施の形態1で説明した酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0211】

ここでは、トランジスタ2200がpチャネル型のトランジスタであるものとして説明するが、nチャネル型のトランジスタを用いて異なる回路を構成できることは言うまでもない。また、酸化物半導体を用いた実施の形態1に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

10

【0212】

図11(A)、(C)、(D)に示す構成は、pチャネル型のトランジスタとnチャネル型のトランジスタを直列に接続し、且つ、それぞれのゲートを接続した、いわゆるCMOS回路の構成例について示している。

【0213】

本発明の一態様の酸化物半導体が適用されたトランジスタは、オン電流が高められているため、回路の高速動作が可能となる。

20

【0214】

図11(C)に示す構成では、トランジスタ2200の上部に、絶縁層2201を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には複数の配線2202が設けられている。また各種絶縁層に埋め込まれた複数のプラグ2203により、上部と下部にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100を覆う絶縁層2204と、絶縁層2204上に配線2205と、トランジスタの一对の電極と同一の導電膜を加工して形成された配線2206と、が設けられている。

【0215】

このように、2つのトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

30

【0216】

図11(C)では、トランジスタ2100のソースまたはドレインの一方と、トランジスタ2200のソースまたはドレインの一方が配線2202やプラグ2203によって電氣的に接続されている。また、トランジスタ2100のゲートは、配線2205、配線2206、プラグ2203および配線2202などを経由して、トランジスタ2200のゲートと電氣的に接続されている。

【0217】

図11(D)に示す構成では、トランジスタ2100のゲート絶縁膜にプラグ2203を埋め込むための開口部が設けられ、トランジスタ2100のゲートとプラグ2203とが接する構成となっている。このような構成とすることで回路の集積化が容易であるのに加え、図11(C)に示す構成と比較して経由する配線やプラグの数や長さを低減できるため、回路をより高速に動作させることができる。

40

【0218】

ここで、図11(C)、(D)に示す構成において、トランジスタ2100やトランジスタ2200の電極の接続構成を異ならせることにより、様々な回路を構成することができる。例えば図11(B)に示すように、それぞれのトランジスタのソースとドレインを接続した回路構成とすることにより、いわゆるアナログスイッチとして機能させることができる。

【0219】

50

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【0220】

(実施の形態6)

本実施の形態では、本発明の一態様のトランジスタを用いた対象物の情報を読み取るイメージセンサ機能を有する半導体装置について説明する。

【0221】

図12に、イメージセンサ機能を有する半導体装置の等価回路の一例を示す。

【0222】

フォトダイオード610は、一方の電極がフォトダイオードリセット信号線661に、他方の電極がトランジスタ640のゲートに電氣的に接続されている。トランジスタ640は、ソースまたはドレインの一方がフォトセンサ基準信号線672に、ソースまたはドレインの他方がトランジスタ650のソースまたはドレインの一方に電氣的に接続されている。トランジスタ650は、ゲートがゲート信号線662に、ソースまたはドレインの他方がフォトセンサ出力信号線671に電氣的に接続されている。

【0223】

フォトダイオード610には、例えば、p型の導電性を有する半導体層と、高抵抗な(i型の導電性を有する)半導体層と、n型の導電性を有する半導体層を積層するpin型のフォトダイオードを適用することができる。

【0224】

フォトダイオード610に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際に、バックライトなどの光源を用いることもできる。

【0225】

なお、トランジスタ640およびトランジスタ650には、実施の形態1に示した、酸化物半導体にチャネルが形成されるトランジスタ100を用いることができる。図12では、トランジスタ640およびトランジスタ650が、酸化物半導体を含むことを明確に判明できるよう、トランジスタの記号に「OS」と付記している。トランジスタ640およびトランジスタ650は、オン電流が高く、電氣的特性変動が抑制された電氣的に安定なトランジスタである。該トランジスタを含むことで、図12で示すイメージセンサ機能を有する半導体装置として信頼性の高い半導体装置を提供することができる。

【0226】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【0227】

(実施の形態7)

実施の形態1および2で説明したトランジスタは、表示装置、記憶装置、CPU、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF-ID(Radio Frequency Identification)、インバータ、イメージセンサなどの半導体装置に応用することができる。本実施の形態では、上記半導体装置を有する電子機器の例について説明する。

【0228】

上記半導体装置を有する電子機器としては、テレビ、モニタ等の表示装置、照明装置、パーソナルコンピュータ、ワードプロセッサ、画像再生装置、ポータブルオーディオプレーヤ、ラジオ、テープレコーダ、ステレオ、電話、コードレス電話、携帯電話、自動車電話、トランシーバ、無線機、ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、ICチップ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い機、食器乾燥機、衣類乾燥機、布団乾燥機、電気冷蔵

10

20

30

40

50

庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置、X線診断装置等の医療機器、などが挙げられる。また、煙感知器、熱感知器、ガス警報装置、防犯警報装置などの警報装置も挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、燃料を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の一部の具体例を図13に示す。

10

【0229】

図13（A）に示すテレビジョン装置8000は、筐体8001に表示部8002が組み込まれており、表示部8002により映像を表示し、スピーカ部8003から音声を出力することが可能である。本発明の一態様のトランジスタを有する記憶装置は、表示部8002を動作するための駆動回路に用いることが可能である。

【0230】

また、テレビジョン装置8000は、情報通信を行うためのCPU8004や、メモリを備えていてもよい。CPU8004やメモリに、本発明の一態様のトランジスタを有するCPU、記憶装置を用いることができる。

20

【0231】

図13（A）に示す警報装置8100は、住宅用火災警報器であり、煙または熱の検出部8102と、マイクロコンピュータ8101を用いた電子機器の一例である。マイクロコンピュータ8101は、本発明の一態様のトランジスタを有する記憶装置、CPUを含む。

【0232】

また、図13（A）に示す室内機8200および室外機8204を有するエアコンディショナーは、先の実施の形態に示したトランジスタ、記憶装置、またはCPU等を含む電子機器の一例である。具体的に、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図13（A）においては、CPU8203が、室内機8200に設けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。または、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。本発明の一態様のトランジスタをエアコンディショナーのCPUに用いることによって省電力化を図ることができる。

30

【0233】

また、図13（A）に示す電気冷凍冷蔵庫8300は、先の実施の形態に示したトランジスタ、記憶装置、またはCPU等を含む電子機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、CPU8304等を有する。図13（A）では、CPU8304が、筐体8301の内部に設けられている。本発明の一態様のトランジスタを電気冷凍冷蔵庫8300のCPU8304に用いることによって省電力化を図れる。

40

【0234】

図13（B）、（C）には、電子機器の一例である電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、回路9702により出力が調整されて、駆動装置9703に供給される。回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。本発明の一態様のトランジスタを電気自動車9700のCPUに用いることによって省電力化を図れる。

【0235】

駆動装置9703は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、

50

を組み合わせ構成される。処理装置 9704 は、電気自動車 9700 の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、回路 9702 に制御信号を出力する。回路 9702 は、処理装置 9704 の制御信号により、二次電池 9701 から供給される電気エネルギーを調整して駆動装置 9703 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【0236】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【実施例】

【0237】

本実施例では、実施の形態 1 で説明した酸化物半導体層の積層状態を観察した結果について詳細を説明する。

【0238】

図 14 は本実施例で用いたサンプルの構造を示す断面図である。当該サンプルは、基板 410 上の下地絶縁膜 420、当該下地絶縁膜上の第 1 の酸化物半導体層 431 および第 2 の酸化物半導体層 432 からなる積層、および当該積層上に形成された第 3 の酸化物半導体層 433 を有する。なお、第 1 の酸化物半導体層 431、第 2 の酸化物半導体層 432、および第 3 の酸化物半導体層 433 は、実施の形態 1 で示した第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133 にそれぞれ相当する。

【0239】

次に、図 14 に示すサンプルの作製方法を説明する。

【0240】

まず、基板 410 としてシリコンウェハを用い、当該シリコンウェハを熱酸化することにより下地絶縁膜 420 となるシリコン酸化膜を形成した。

【0241】

次に、下地絶縁膜 420 上に $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ （原子数比）の第 1 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ （原子数比）の第 2 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜をスパッタ法により連続成膜した。なお、第 1 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜および第 2 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜の膜厚は、それぞれ 20 nm、15 nm とした。

【0242】

第 1 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜の成膜条件は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ （原子数比）の 8 インチ $\text{In} - \text{Ga} - \text{Zn}$ 酸化物をターゲットとし、スパッタガスをアルゴン：酸素 = 2 : 1（流量比）、成膜圧力を 0.4 Pa、投入電力を 0.5 kW（DC）、ターゲット - 基板間距離を 60 mm、基板温度 200 とした。

【0243】

また、第 2 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜の成膜条件は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ （原子数比）の 8 インチ $\text{In} - \text{Ga} - \text{Zn}$ 酸化物をターゲットとし、スパッタガスをアルゴン：酸素 = 2 : 1（流量比）、成膜圧力を 0.4 Pa、投入電力を 0.5 kW（DC）、ターゲット - 基板間距離を 60 mm、基板温度 300 とした。

【0244】

次に、第 1 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜および第 2 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜を 450、窒素雰囲気中で 1 時間の熱処理を行い、さらに 450、酸素雰囲気中で 1 時間の熱処理を行った。

【0245】

次に、第 2 の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物膜上に 5 nm のタングステン膜および 20 nm の有機樹脂を形成し、電子ビーム露光でレジストマスクを形成した。

【0246】

そして、当該レジストマスクをマスクとして、有機樹脂およびタングステン膜を選択的に

10

20

30

40

50

エッチングした。エッチング方法は誘導結合方式のドライエッチング装置を用い、２段階でエッチングを行った。

【０２４７】

１段階目のエッチングには、エッチングガスを１００％の四フッ化炭素、圧力を０．６７Ｐａ、投入電力を２０００Ｗ、バイアス電力を５０Ｗ、基板温度を－１０℃、エッチング時間を１２秒の条件を用いた。また、２段階目のエッチングには、エッチングガスを四フッ化炭素：酸素＝３：２（流量比）、圧力を２．０Ｐａ、投入電力を１０００Ｗ、基板バイアス電力を２５Ｗ、基板温度を－１０℃、エッチング時間を８秒の条件を用いた。

【０２４８】

次に、有機樹脂およびタンゲステン膜をマスクとして、第１のＩｎ－Ｇａ－Ｚｎ酸化物膜および第２のＩｎ－Ｇａ－Ｚｎ酸化物膜を選択的にエッチングし、第１の酸化物半導体層４３１および第２の酸化物半導体層４３２の積層を形成した。エッチングには誘導結合方式のドライエッチング装置を用い、エッチングガスをメタン：アルゴン＝１：２（流量比）、圧力を１．０Ｐａ、投入電力を６００Ｗ、基板バイアス電力を１００Ｗ、基板温度を７０℃、エッチング時間を８２秒の条件を用いた。

10

【０２４９】

次に、有機樹脂およびタンゲステン膜のエッチングを行った。エッチングには誘導結合方式のドライエッチング装置を用い、エッチングガスを四フッ化炭素：酸素＝３：２（流量比）、圧力を２．０Ｐａ、投入電力を１０００Ｗ、基板バイアス電力を２５Ｗ、基板温度を－１０℃、エッチング時間を６秒の条件を用いた。

20

【０２５０】

そして、第１の酸化物半導体層４３１および第２の酸化物半導体層４３２の積層上に１０ｎｍの第３の酸化物半導体層４３３をスパッタ法を用いて形成した。

【０２５１】

第３の酸化物半導体層４３３の成膜条件は、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４（原子数比）の８インチＩｎ－Ｇａ－Ｚｎ酸化物をターゲットとし、スパッタガスをアルゴン：酸素＝２：１（流量比）、成膜圧力を０．４Ｐａ、投入電力を０．５ｋＷ（ＤＣ）、ターゲット－基板間距離を６０ｍｍ、基板温度２００℃とした。

【０２５２】

図１４において点線で囲まれた領域の断面ＴＥＭ写真を図１５（Ａ）に示す。第１の酸化物半導体層４３１の下地絶縁膜４２０側における数ｎｍの領域では結晶格子が確認されないが、その上部では格子縞が確認された。また、第２の酸化物半導体層４３２では、第１の酸化物半導体層４３１と同様の格子縞が確認された。すなわち、第１の酸化物半導体層４３１の大部分および第２の酸化物半導体層４３２の全体は結晶層であり、格子縞の向きから、成膜面に対して垂直方向にｃ軸配向しているＣＡＡＣ－ＯＳ膜であることがわかった。

30

【０２５３】

また、第３の酸化物半導体層４３３の第１の酸化物半導体層４３１または第２の酸化物半導体層４３２側における数ｎｍの領域では結晶格子が確認されないが、その上部では格子縞が確認された。すなわち、第３の酸化物半導体層４３３は微結晶層４３３ａと結晶層４３３ｂであることが確認できた。

40

【０２５４】

結晶層４３３ｂにみられる格子縞は、第２の酸化物半導体層４３２の上部と、第１の酸化物半導体層４３１または第２の酸化物半導体層４３２の側部ではその向きが異なっており、成膜面に対して垂直方向にｃ軸配向しているＣＡＡＣ－ＯＳ膜であることがわかった。

【０２５５】

また、図１５（Ａ）の点線枠の拡大図である図１５（Ｂ）で明らかであるように、第２の酸化物半導体層４３２の端部の曲面を有する領域上には、微結晶層４３３ａを介して当該曲面に対して垂直方向にｃ軸配向する結晶層４３３ｂの格子縞が確認された。

【０２５６】

50

以上の本実施例の結果により、本発明の一態様である酸化物半導体層の積層構成を作製できることが確認された。

【 0 2 5 7 】

なお、本実施例は、本明細書で示す実施の形態と適宜組み合わせることができる。

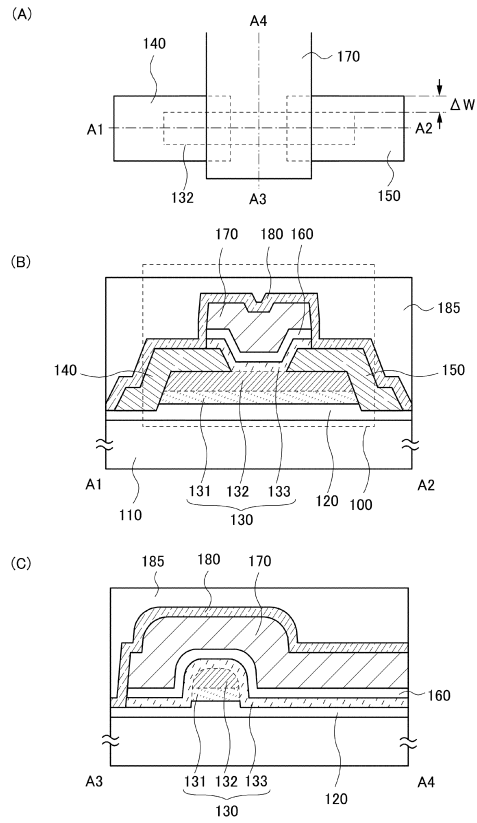
【 符号の説明 】

【 0 2 5 8 】

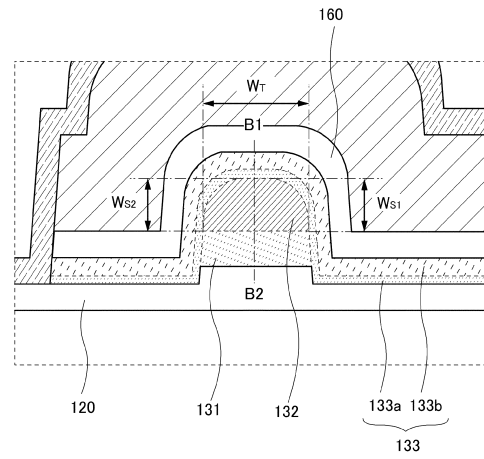
1 0 0	トランジスタ	
1 1 0	基板	
1 2 0	下地絶縁膜	
1 3 0	酸化物半導体層	10
1 3 1	第 1 の酸化物半導体層	
1 3 2	第 2 の酸化物半導体層	
1 3 2 b	領域	
1 3 3	第 3 の酸化物半導体層	
1 3 3 a	微結晶層	
1 3 3 b	結晶層	
1 3 5	境界	
1 4 0	ソース電極層	
1 5 0	ドレイン電極層	
1 6 0	ゲート絶縁膜	20
1 7 0	ゲート電極層	
1 7 2	導電膜	
1 8 0	絶縁層	
1 8 5	絶縁層	
2 3 3	領域	
3 3 1	第 1 の酸化物半導体膜	
3 3 2	第 2 の酸化物半導体膜	
3 3 3	第 3 の酸化物半導体膜	
3 6 0	絶縁膜	
3 7 0	第 2 の導電膜	30
4 1 0	基板	
4 2 0	下地絶縁膜	
4 3 1	第 1 の酸化物半導体層	
4 3 2	第 2 の酸化物半導体層	
4 3 3	第 3 の酸化物半導体層	
4 3 3 a	微結晶層	
4 3 3 b	結晶層	
6 1 0	フォトダイオード	
6 4 0	トランジスタ	
6 5 0	トランジスタ	40
6 6 1	フォトダイオードリセット信号線	
6 6 2	ゲート信号線	
6 7 1	フォトセンサ出力信号線	
6 7 2	フォトセンサ基準信号線	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁層	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁層	50

2 2 0 5	配線	
2 2 0 6	配線	
3 0 0 0	基板	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 1 0 0	素子分離絶縁層	
3 1 5 0	絶縁層	10
3 2 0 0	トランジスタ	
3 2 5 0	電極	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 2 5 0	メモリセル	
4 3 0 0	トランジスタ	
4 4 0 0	容量素子	
4 5 0 0	配線	
4 6 0 0	配線	
8 0 0 0	テレビジョン装置	20
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 0 0 4	C P U	
8 1 0 0	警報装置	
8 1 0 1	マイクロコンピュータ	
8 1 0 2	検出部	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	30
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	回路	40
9 7 0 3	駆動装置	
9 7 0 4	処理装置	

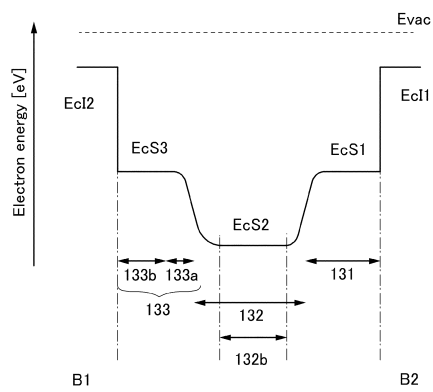
【図 1】



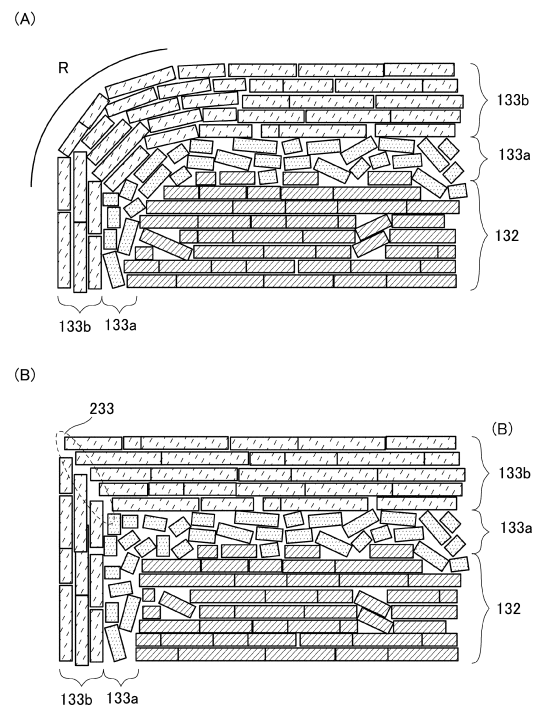
【図 2】



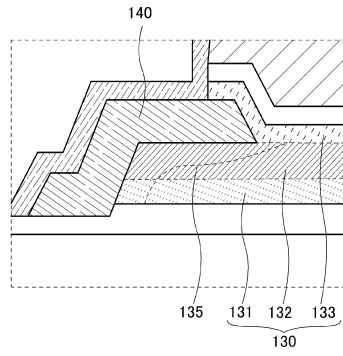
【図 3】



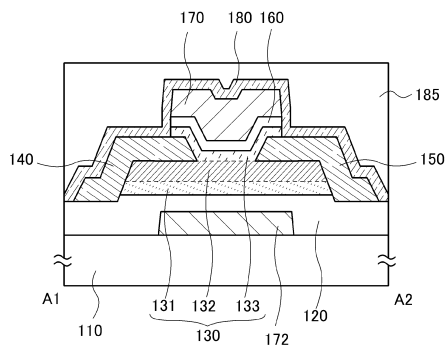
【図 4】



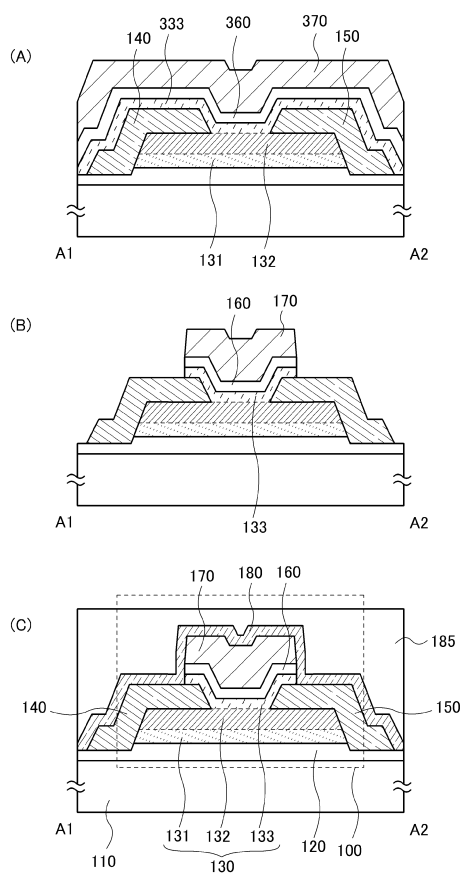
【図 5】



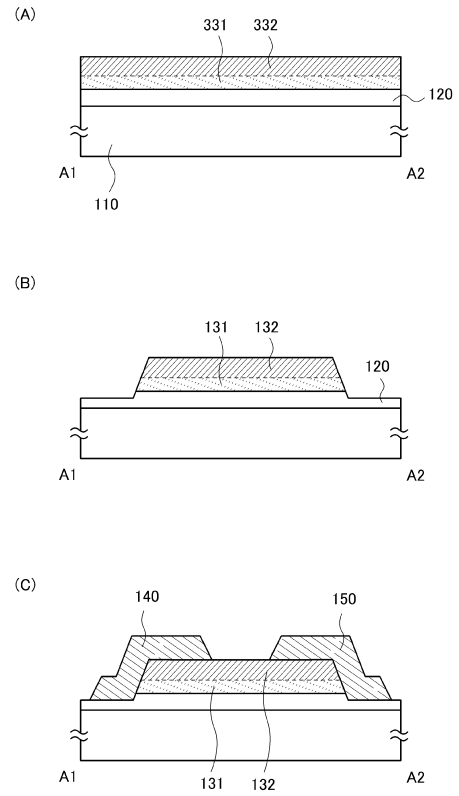
【図 6】



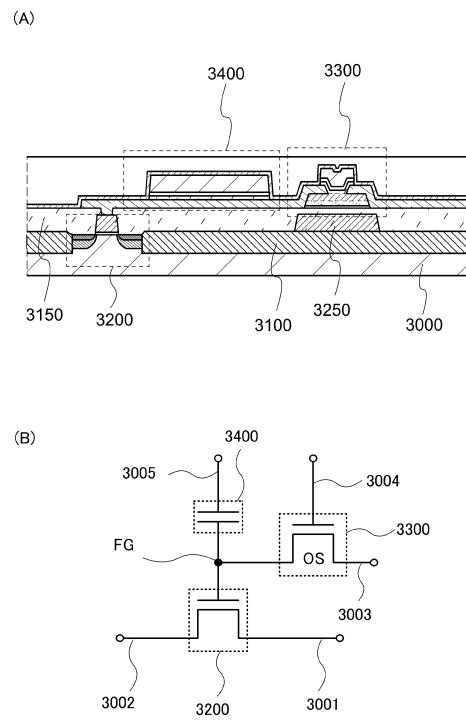
【図 8】



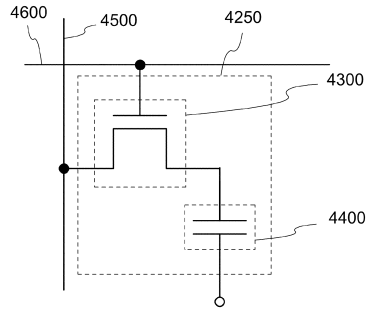
【図 7】



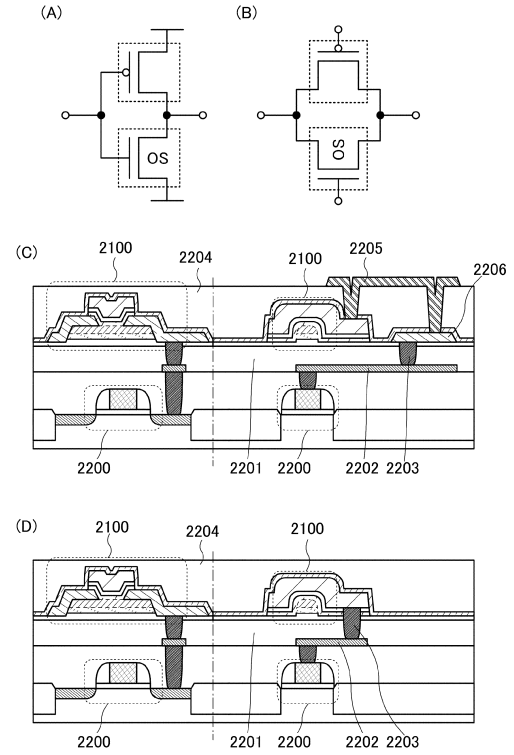
【図 9】



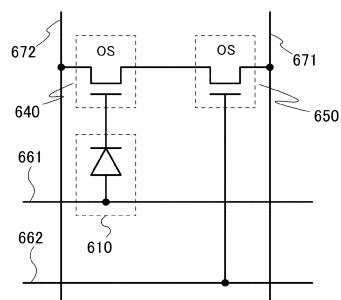
【図 10】



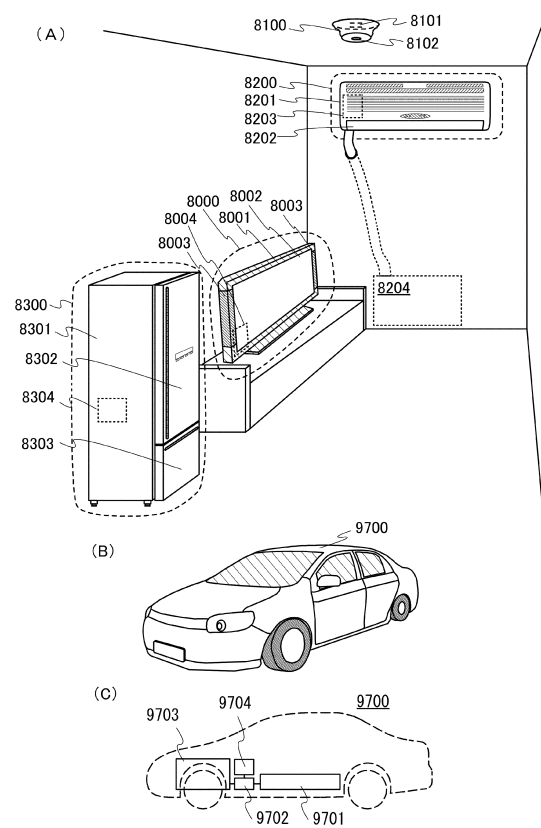
【図 11】



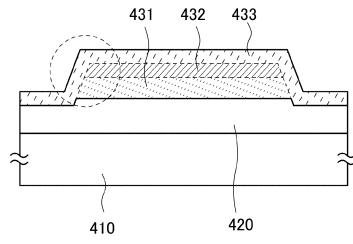
【図 12】



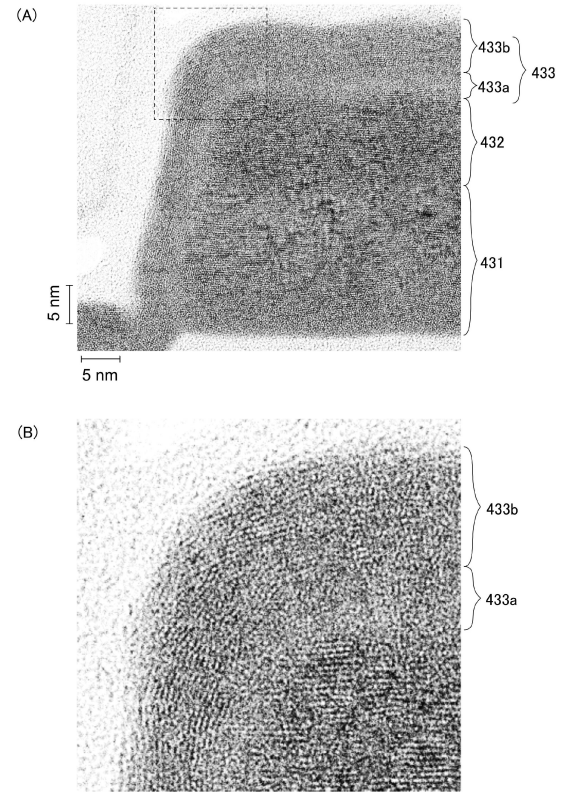
【図 13】



【図 14】



【図 15】



 フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/108</i>	<i>6 7 1 C</i>
<i>H 0 1 L</i>	<i>27/146</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/108</i>	<i>6 7 1 Z</i>
			<i>H 0 1 L</i>	<i>27/146</i>	<i>C</i>

(56)参考文献 特開 2 0 1 3 - 0 3 8 4 0 1 (J P , A)
 特開 2 0 1 1 - 1 1 9 7 1 8 (J P , A)
 特開 2 0 1 2 - 2 3 5 0 9 8 (J P , A)
 特開 2 0 1 1 - 1 2 4 3 6 0 (J P , A)
 特開 2 0 1 1 - 0 8 6 9 2 3 (J P , A)
 特開 2 0 1 2 - 1 7 8 4 9 3 (J P , A)
 特開 2 0 1 2 - 1 3 4 4 7 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L *2 9 / 7 8 6*
H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 1 / 8 2 4 2*
H 0 1 L *2 7 / 1 0 8*
H 0 1 L *2 7 / 1 1 5*
H 0 1 L *2 7 / 1 4 6*
H 0 1 L *2 9 / 7 8 8*
H 0 1 L *2 9 / 7 9 2*