



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년09월28일  
 (11) 등록번호 10-0983998  
 (24) 등록일자 2010년09월17일

(51) Int. Cl.  
 H04N 5/04 (2006.01) H04N 5/05 (2006.01)  
 H04N 5/08 (2006.01)  
 (21) 출원번호 10-2008-0110304  
 (22) 출원일자 2008년11월07일  
 심사청구일자 2008년11월07일  
 (65) 공개번호 10-2009-0048348  
 (43) 공개일자 2009년05월13일  
 (30) 우선권주장  
 JP-P-2007-291044 2007년11월08일 일본(JP)  
 (56) 선행기술조사문헌  
 JP08328529 A  
 JP10312182 A  
 KR1020060041917 A  
 전체 청구항 수 : 총 20 항

(73) 특허권자  
 르네사스 일렉트로닉스 가부시키키가이샤  
 일본 가나가와켄 가와사끼시 나카하라쿠 시모누마  
 베 1753  
 (72) 발명자  
 츠치다 도시유키  
 일본 가나가와켄 가와사끼시 나카하라쿠 시모누마  
 베 1753반치 엔이쎄 일렉트로닉스 가부시키키가이샤  
 나이  
 고마츠 요시카즈  
 일본 가나가와켄 가와사끼시 나카하라쿠 시모누마  
 베 1753반치 엔이쎄 일렉트로닉스 가부시키키가이샤  
 나이  
 (74) 대리인  
 특허법인코리아나

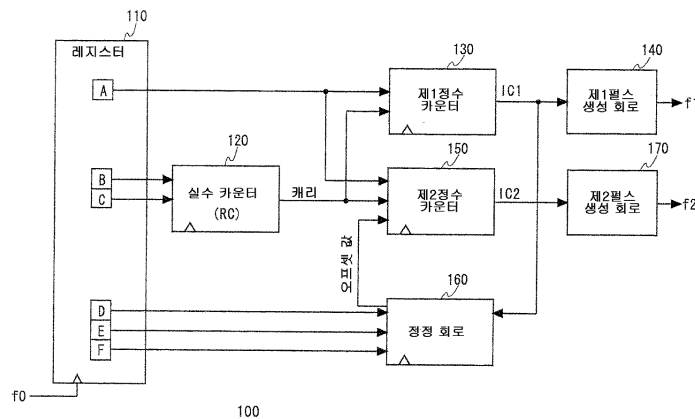
심사관 : 강석제

**(54) 신호 처리 장치**

**(57) 요약**

실수 카운터는, 카운트 값 RC 가 0 이상이면, 양의 정수 C 를 감소하고, 카운트 값 RC 가 음수이면 캐리를 출력한다. 제 1 클럭 f1 을 생성하는 제 1 정수 카운터는 (카운트 값 IC1 + 캐리 + 양의 정수 A) 를 계산한다. 제 2 클럭 f2 (f2=f1\*G) 를 생성하는 제 2 정수 카운터는 각각의 입력 클럭에서 (카운트 값 IC2 + 캐리 + 양의 정수 A + 오프셋 값) 을 계산한다. 정정 회로는, 제 1 클럭 f1 과 제 2 클럭 f2 의 동기화 사이클 길이를 갖는 각각의 사이클 D 에 대해, 제 2 정수 카운터가 제 1 정수 카운터 보다 "최대 카운트 값\*(f2/f1-1)\*D" 배만 큼 더 카운트하도록 오프셋 값을 출력한다.

**대표도**



**특허청구의 범위**

**청구항 1**

소정의 양의 정수 A, B 및 C, k 개의 오프셋 값  $F_i$  ( $i= 1$  내지  $k$ ), 및 각각의 오프셋 값  $F_i$  의 가산 횟수  $E_i$ 를 저장하는 저장부;

각각의 입력 클럭에서, 카운트 값이 0 이상이면, 상기 양의 정수 C 를 감소하고, 상기 카운트 값이 음수이면, 상기 양의 정수 B 와 상기 양의 정수 C 의 차 (B-C) 를 감소하고 캐리 (Carry) 를 출력하는 정수 가산 링 카운터인 실수 카운터;

각각의 입력 클럭에서, 카운트 값 IC1, 상기 실수 카운터로부터 출력된 상기 캐리 및 상기 저장부에 저장된 상기 양의 정수 A 를 가산하는 정수 가산 링 카운터인 제 1 정수 카운터;

상기 카운트 값 IC1 에 따라 상기 제 1 정수 카운터가 초기 상태로 리턴하는 주기에 대응하는 1 사이클을 갖는 제 1 클럭을 생성하는 제 1 펄스 생성 회로;

상기 제 1 클럭의 사이클 D (양의 정수) 와 동일한 길이를 갖는 정정 주기 각각에서 상기 저장부에 저장된 상기 오프셋 값  $F_i$  를 반복적으로 출력하고, 상기 오프셋 값  $F_i$  중에서, 상기 정정 주기에서의 출력 횟수가 각각의 정정 주기에서 상기 입력 클럭에 동기화되는 가산 횟수  $E_i$  이하인 오프셋 값을 출력하는 정정 회로;

각각의 입력 클럭에서, 카운트 값 IC2, 상기 실수 카운터로부터 출력되는 상기 캐리, 상기 양의 정수 A 및 상기 정정 회로로부터 출력되는 상기 오프셋 값을 가산하는 정수 가산 링 카운터인 제 2 정수 카운터; 및

상기 카운트 값 IC2 에 따라 상기 제 2 정수 카운터가 초기 상태로 리턴하는 주기에 대응하는 1 사이클을 갖는 제 2 클럭을 생성하는 제 2 펄스 생성 회로를 포함하며,

상기 제 2 클럭의 주파수는 상기 제 1 클럭의 주파수의 G ( $G>0$ ) 배이고,

상기 양의 정수 D 는 상기 제 1 클럭 및 상기 제 2 클럭의 동기화 사이클 길이를 나타내는, 상기 제 1 클럭의 사이클의 수이고,

상기 양의 정수 A, B 및 C 는 하기 식 (1) 을 충족시키도록 설정되고,

상기 오프셋 값  $F_i$  및 상기 가산 횟수  $E_i$  는 하기 식 (2) 및 하기 식 (3) 을 충족시키도록 설정되고,

식 (1) 은

$$f_1 = f_0 * (A+(C/B))/(\text{상기 제 1 정수 카운터의 해상도}) \text{ 이고,}$$

여기서,  $f_0$  은 상기 입력 클럭의 주파수,

$f_1$  은 상기 제 1 클럭의 주파수, 및

A, B 및 C 는 양의 정수이고,

식 (2) 는

$$(G-1) * D = M \text{ 이고,}$$

여기서 D 는 상기 제 1 클럭의 사이클의 수에 의해 표현되는 상기 제 1 클럭과 상기 제 2 클럭의 동기화 사이클 길이 (양의 정수), 및

M 은 정수이고,

식 (3) 은

$$\sum_{i=1}^k (E_i * F_i) = (\text{최대 카운트 값}) * (G-1) * D$$

이고,

여기서, D 는 동기화 사이클 주기 (양의 정수)

$F_i$  는 오프셋 값 (정수)

$E_i$  는 오프셋 값  $F_i$  의 가산 횟수 (양의 정수), 및

$K$  는 오프셋 값  $F_i$  의 수 (양의 정수) 인, 신호 처리 장치.

**청구항 2**

제 1 항에 있어서,

상기 양의 정수  $D$  는 식 (2) 를 만족시키는  $D$  중 최소값인, 신호 처리 장치.

**청구항 3**

제 1 항에 있어서,

상기  $G$  는 실수이고,

상기 저장부는, 상기 최대 카운트 값과 상기 양의 정수  $D$  의 비율 (quotient) 보다 작은 정수 중 최대값인 오프셋 값  $F_1$ , 및 상기 비율보다 큰 정수 중 최소값인 오프셋  $F_2$  를 저장하고,

상기 오프셋 값  $F_1$  의 가산 횟수  $E_1$  과 상기 오프셋 값  $F_2$  의 가산 횟수  $E_2$  의 합은 상기 양의 정수  $D$  와 동일한, 신호 처리 장치.

**청구항 4**

제 2 항에 있어서,

상기  $G$  는 실수이고,

상기 저장부는, 상기 최대 카운트 값과 상기 양의 정수  $D$  의 비율보다 작은 정수 중 최대값인 오프셋 값  $F_1$ , 및 상기 비율보다 큰 정수 중 최소값인 오프셋  $F_2$  를 저장하고,

상기 오프셋 값  $F_1$  의 가산 횟수  $E_1$  과 상기 오프셋 값  $F_2$  의 가산 횟수  $E_2$  의 합은 상기 양의 정수  $D$  와 동일한, 신호 처리 장치.

**청구항 5**

제 1 항에 있어서,

상기  $G$  는 실수이고,

상기 저장부는, 상기 최대 카운트 값과 상기 양의 정수  $D$  의 비율보다 작은 정수 중 최대값인 오프셋 값  $F_1$ , 및 상기 오프셋 값  $F_1$  의 가산 횟수  $E_i$  를 저장하고,

상기 정정 회로는, 상기 정정 주기에서 상기 오프셋 값  $F_1$  의 출력 횟수가 상기 가산 횟수  $E_1$  이하인 경우 상기 오프셋 값  $F_1$  을 출력하고, 상기 각각의 정정 주기에서 상기 오프셋 값  $F_1$  의 출력 횟수가 상기 가산 횟수  $E_1$  보다 큰 경우 "오프셋 값  $F_1+1$ " 을 출력하는, 신호 처리 장치.

**청구항 6**

제 2 항에 있어서,

상기  $G$  는 실수이고,

상기 저장부는, 상기 최대 카운트 값과 상기 양의 정수  $D$  의 비율보다 작은 정수 중 최대값인 오프셋 값  $F_1$ , 및 상기 오프셋 값  $F_1$  의 가산 횟수  $E_i$  를 저장하고,

상기 정정 회로는, 상기 정정 주기에서 상기 오프셋 값  $F_1$  의 출력 횟수가 상기 가산 횟수  $E_1$  이하인 경우 상기 오프셋 값  $F_1$  을 출력하고, 상기 각각의 정정 주기에서 상기 오프셋 값  $F_1$  의 출력 횟수가 상기 가산 횟수  $E_1$  보다 큰 경우 "오프셋 값  $F_1+1$ " 을 출력하는, 신호 처리 장치.

**청구항 7**

제 1 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

#### **청구항 8**

제 2 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

#### **청구항 9**

제 3 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

#### **청구항 10**

제 4 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

#### **청구항 11**

제 5 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

#### **청구항 12**

제 6 항에 있어서,

기준 클럭을 생성하는 기준 클럭 생성 회로;

시스템 회로; 및

상기 기준 클럭 생성 회로에 의해 생성된 상기 기준 클럭을 이용하여 상기 시스템 회로에 의해 이용될 시스템 클럭을 생성하는 제 1 PLL 회로를 더 포함하며,

상기 입력 클럭은 상기 제 1 PLL 회로에 의해 생성된 상기 시스템 클럭인, 신호 처리 장치.

### 청구항 13

제 1 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

### 청구항 14

제 2 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

### 청구항 15

제 3 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

### 청구항 16

제 4 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

### 청구항 17

제 5 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

### 청구항 18

제 6 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

**청구항 19**

제 7 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

**청구항 20**

제 8 항에 있어서,

비디오 신호를 처리하는 비디오 신호 처리 회로;

상기 제 1 클럭 및 상기 제 2 클럭 중 하나를 선택적으로 출력하는 선택기; 및

상기 선택기로부터 출력된 클럭을 이용하여 상기 비디오 신호 처리 회로에 의해 이용될 도트 클럭을 생성하는 제 2 PLL 회로를 더 포함하는, 신호 처리 장치.

**명세서**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 신호 처리에 관한 것이고, 더 상세하게는, 복수의 동기화 클럭을 생성하는데 필요한 신호 처리 기술에 관한 것이다.

**배경 기술**

[0002] 방송 및 통신 시스템에 적용되는 MPEG (Moving Picture Experts Group) 시스템, 저장 매체 등에서, STC (System Time Clock) 를 호출하는 클럭은, 서로 동기화된 비디오 및 음향을 재생하는데 필요하기 때문에 이용된다. 예를 들어, MPEG-2 시스템에서, STC 의 주파수는 27 MHz 로 정의된다. 따라서, MPEG-2 시스템에 부합하는 수신 장치 및 재생 장치는 27 MHz STC 에 동기화하여 비디오 신호 처리 및 오디오 신호 처리를 수행한다. 동기화를 달성하기 위한 기술로서, 수신단은 기준 클럭에 기초하여 비디오 신호 처리를 위한 클럭 및 오디오 신호 처리를 위한 클럭을 생성하여, 그 클럭들을 각각 비디오 신호 처리 회로 및 오디오 신호 처리 회로에 공급한다 (일본 미심사 특허 출원 공보 제 2003-87229 호 참조).

[0003] 한편, 실제 방송에서는, 다양한 종류의 표준들이 조합되어 동작된다. 예를 들어, 미국의 디지털 방송 시스템인 ATSC (Advanced Television Systems Committee) 에서는, MPEG-2 TS (Transport Stream), MPEG-2 비디오, AC-3 (오디오 코드 넘버 3) 가 각각 멀티플렉싱 시스템, 비디오 압축 시스템 및 오디오 압축 시스템으로서 이용된다. 또한, 종래의 NTSC (National Television Standards Committee) 으로부터 HDTV (High Definition Television) 시스템까지의 다수의 비디오 시스템들이 비디오 시스템으로서 정의되며, NTSC 시스템과 호환가능한 59.94 Hz 및 60 Hz 의 2 종류의 필드 레이트가 특정되고 조합되어 동작된다 (일본 미심사 특허 출원 공보 제 2006-180005 호 참조).

[0004] 도 9 는 ATSC 시스템의 다수의 예를 도시한다. 59.94 Hz 시스템의 일 예로서, 도 9 에 도시된 방송 신호가 "해상도: 640×480, 스캔 모드: 프로그레시브, 프레임 레이트: 60/1.001 (이 도면에서는 59.94 로 표시됨) Hz" 인 경우, 각각의 프레임에서는 640×480 픽셀에서 비디오의 약 59.94 프레임이 1 초마다 디스플레이된다.

그러나, 실제로, 비디오 신호 처리 회로는, 블랭킹 주기 (blanking period) 라 지칭되는, 스크린 상에 디스플레이 되지 않은 부분을 포함하는 처리를 수행하기 때문에, 블랭킹 주기를 포함하는 수평 픽셀의 수는 858 이고 라인의 총 수는 525 이다. 따라서, 비디오 신호 처리 회로가 각각의 픽셀에 대한 전술한 처리를 수행하기 위해 필요한 주파수 (도트 클럭) 는, 다음의 식 (1) 에 나타낸 바와 같이 27 MHz 이다.

[0005] 식 (1)  $858 \times 525 \times 60 / 1.001 = 27 \text{ MHz}$

[0006] 또한, 도 9 에 도시된 방송 신호가 "해상도: 640×480, 스캔 모드: 프로그레시브, 프레임 레이트: 60 Hz" 인 경우, 필요한 도트 클럭은 다음의 식 (2) 에 나타낸 바와 같이  $27 \times 1.001 \text{ MHz}$  이다.

[0007] 식 (2)  $858 \times 525 \times 60 = 27 \times 1.001 \text{ MHz}$

[0008] 서로 다른 도트 클럭으로 방송 신호를 수신하는 수신 장치에서는, 임의의 방송 신호를 처리하도록 STC 에 동기화된 방송 신호에 대한 도트 클럭을 생성하는 것이 요구된다.

[0009] 도트 클럭을 생성하는 일반적 방법은, PLL (Phase-Locked Loop) 회로를 이용하여 기준 클럭의 주파수를 승산 및 제산하는 것이다. STC 에 동기화된 클럭을 생성하기 위한 시스템에서, 기준 클럭은 일반적으로 27 MHz 이다. 또한, 2 개의 PLL 회로를 직렬로 접속시킴으로써 원하는 클럭을 생성하는 기술이 일본 미심사 특허 출원 공보 제 2000-350119 호에 개시되어 있다.

[0010] 전술한 59.94 Hz 및 60 Hz 의 방송 신호를 수신하는 수신 장치에서의 다양한 클럭의 생성을 설명한다.

[0011] 도 10 은 수신 장치의 일 예를 도시한다. 수신 장치 (1) 는, 기준 클럭을 생성하는 클럭 생성기 (10), 시스템 회로 (22), 비디오 신호 처리 회로 (24), 오디오 신호 처리 회로 (26), STC 카운터 (30), 시스템 회로 (22) 에 의해 이용될 클럭을 생성하는 PLL 회로 A, 비디오 신호 처리 회로 (24) 에 의해 이용될 클럭 (도트 클럭) 을 생성하는 PLL 회로 B, 및 오디오 신호 처리 회로 (26) 에 의해 이용될 클럭 (오디오 클럭) 을 생성하는 PLL 회로 C 를 포함한다.

[0012] 전술한 바와 같이 방송 신호에 포함된 비디오 신호의 도트 클럭은 복수의 상이한 값들을 가질 수도 있다. 도 10 에 도시된 수신 장치 (1) 에서는, 4 종류의 도트 클럭들, 1: 74.25 MHz, 2: 74.25/1.001 MHz, 3: 27 MHz 및 4:  $27 \times 1.001 \text{ MHz}$  를 처리하기 위해, 도트 클럭을 생성하는 PLL 회로 B 가 그 4 종류의 도트 클럭을 생성할 필요가 있다.

[0013] 도 11 은, PLL 회로 B 가 27 MHz 의 기준 클럭에 기초하여 전술한 4 종류의 도트 클럭을 생성하는 경우 주파수 승산 횟수 및 주파수 제산 횟수를 도시한다. 여기에 도시된 바와 같이, PLL 회로 B 가 27 MHz 의 기준 클럭에 기초하여 74.25 MHz 의 도트 클럭을 생성하는데 요구되는 주파수 승산 횟수 및 주파수 제산 횟수는 각각 44 및 16 이다. 이하, 주파수 승산 횟수 및 주파수 제산 횟수를 "주파수 승산 횟수/주파수 제산 횟수" 로 표현한다. PLL 회로 B 가 74.25/1.001 MHz, 27 MHz,  $27 \times 1.001 \text{ MHz}$  의 도트 클럭들을 생성하는데 요구되는 "주파수 승산 횟수/주파수 제산 횟수" 는 각각 "250/91", "2/2" 및 "1001/1000" 이다.

[0014] 이미지 처리 분야에서는, 고속으로 라인 형상을 드로잉하는데 이용되는 DDA (Digital Differential Analysis) 라는 기술이 존재한다. 이 기술은 균등한 간격들에서 펄스를 생성하는데 적용할 수 있다 (일본 미심사 특허 출원 공보 평 9-130636 호 참조).

**발명의 내용**

**해결 하고자하는 과제**

[0015] 본 발명자는 다음의 문제점들을 발견하였다. 먼저, 도 10 에 도시된 수신 장치 (1) 의 PLL 회로 B 를 고려한다. 전술한 바와 같이, PLL 회로 B 가 기준 클럭에 기초하여  $27 \times 1.001 \text{ MHz}$  의 도트 클럭을 생성하는데 요구되는 "주파수 승산 횟수/주파수 제산 횟수" 는 "1001/1000" 이다. 따라서, PLL 회로 B 는 기준 클럭에 1001 을 승산하고 이를 1000 으로 제산할 필요가 있다. 1001 배만큼 매우 큰 승산을 수행할 수 있는 PLL 회로는 그 제조를 위해 높은 기술력을 요구하는 고성능 회로이고, 고가이고 제조하기 어렵다.

[0016] 이제, 일본 미심사 특허 출원 공보 제 2000-350119 호에 개시된 기술을 도 10 에 도시된 수신 장치 (1) 에 적용한다. 도 12 는 이러한 경우의 수신 장치 (2) 를 개략적으로 도시한다.

[0017] 도 12 에 도시된 수신 장치 (2) 의 소자들은, PLL 회로 B1 및 PLL 회로 B2 가 도 10 에 도시된 수신 장치 (1) 내의 PLL 회로 B 를 대체하는 것 및 선택기 (40) 가 추가되는 것을 제외하고는 도 10 에 도시된 수신 장치 (1)

의 등가 소자들과 동일하다. 따라서, 이하 PLL 회로 B1 및 PLL 회로 B2 가 주로 기술된다.

- [0018] 도 12 를 참조하면, PLL 회로 B1 은 4 종류의 도트 클럭들, 1: 74.25 MHz, 2: 74.25/1.001 MHz, 3: 27 MHz 및 4a: 43.875 MHz 를 생성한다. 도트 클럭 1 내지 3 은 도 10 에 도시된 PLL 회로 B 에 의해 생성된 도트 클럭 1 내지 3 과 동일하다. 도 12 에 도시된 바와 같이, PLL 회로 B1 이 43.875 MHz 의 클럭을 생성하는데 필요한 "주파수 승산 횟수/주파수 제산 횟수" 는 13/8" 이다.
- [0019] PLL 회로 B1 은 그 생성된 클럭 4a 를 PLL 회로 B2 로 출력한다. 클럭 4a 를 이용하면, PLL 회로 B2 는 27 ×1.001 MHz 의 클럭 4 를 생성하고, 이는 도 10 에 도시된 수신 장치 (1) 내의 PLL 회로 B 에서 생성되는 클럭 4 에 대응한다. 도 12 에 도시된 바와 같이, 43.875 MHz 의 클럭에 기초하여 PLL 회로 B2 가 27×1.001 MHz 의 클럭을 생성하는데 요구되는 주파수 승산 횟수/주파수 제산 횟수" 는 "77/125" 이다.
- [0020] 이러한 방식으로, 수신 장치 (2) 내의 27 MHz 의 기준 클럭에 기초하여 27×1.001 MHz 의 도트 클럭을 생성하기 위해, PLL 회로 B1 및 PLL 회로 B2 는 직렬로 접속되고, PLL 회로 B1 은 27 MHz 의 기준 클럭 신호에 기초하여 43.875 MHz 의 클럭을 생성하고, PLL 회로 B2 는 43.875 MHz 의 클럭에 기초하여 27×1.001 MHz 의 클럭을 생성한다. 따라서, 1001 배만큼의 승산을 수행할 수 있는 고성능 PLL 회로의 이용없이 원하는 도트 클럭을 생성할 수 있다. 선택기 (40) 는 수신 신호에 따라 PLL 회로 B1 에 의해 생성된 클럭 1 내지 3 및 PLL 회로 B2 에 의해 생성된 클럭 4 중 하나를 선택하여, 그 선택된 클럭을 비디오 신호 처리 회로 (24) 로 출력한다.
- [0021] 수신 장치 (2) 의 기술에 따라, 2 개의 PLL 회로는 도트 클럭 1 내지 4 를 생성할 필요가 있다. PLL 회로는 아날로그 회로이기 때문에, PLL 회로를 추가하는 것은 수신 장치 (2) 의 회로 스케일을 증가시켜, 집적 회로의 사이즈에서의 증가를 유발한다.
- [0022] 또 다른 기술은, 27 MHz 의 기준 클럭에 기초하기 보다는 시스템 회로에 대한 클럭에 기초하여 도트 클럭을 생성하는 것이다. 도 13 은 이러한 경우의 수신 장치 (3) 를 개략적으로 도시한다. 수신 장치 (3) 의 소자들은, 시스템 회로 (22) 에 의해 이용될 클럭을 생성하는 PLL 회로 A1 이 351 MHz 의 클럭을 생성한다는 것 및 도트 클럭들을 생성하는 PLL 회로 B3 이 도 10 에 도시된 수신 장치 (1) 내의 PLL 회로 B 와는 상이하다는 것을 제외하고는 수신 장치 (1) 의 등가물과 동일하다.
- [0023] 도 13 을 참조하면, PLL 회로 A1 은 기준 클럭에 13 을 승산하여, 시스템 회로 (22) 에 의해 이용될 351 MHz 의 클럭을 생성한다. 이 클럭은 시스템 회로 (22) 에 출력되고 또한 PLL 회로 B3 에 출력된다.
- [0024] 일반적으로, 시스템 회로는 CPU 등을 포함하고, 비디오 신호 처리 회로 등보다 더 높은 주파수에서 동작한다. 이를 이용하여, PLL 회로 B3 은 351 MHz 의 이용을 통해 전술한 4 종류의 클럭 1 내지 4 를 생성한다. 이 경우, PLL 회로 B3 에 요구되는 "주파수 승산 횟수/주파수 제산 횟수" 는 "44/(13×16)", 250/(13×91)", "1/(13×1)" 및 "77/1000" 이다.
- [0025] PLL 회로 B3 이 27×1.001 MHz 의 클럭을 생성하는데 요구되는 "주파수 승산 횟수/주파수 제산 횟수" 는 "77/1000" 이고, 따라서 큰 승산을 요구하지 않는다.
- [0026] 그러나, 수신 장치 (3) 에서는, 시스템 회로 (22) 에 대한 입력 주파수가 351 MHz 로 고정된다. 이것은, 시스템 회로에서의 이용 주파수에 제한을 두고, CPU 등을 포함하는 시스템 회로 (22) 가 가속되면, 351 MHz 의 정수배와는 다른 주파수로 변경하는 것을 어렵게 하여 변형예를 융통성있게 처리하지 못하게 한다.
- [0027] 이러한 점에서, 27×1.001 MHz 의 도트 클럭을 생성하기 위해, 27 MHz 의 기준 클럭과는 다른 기준 클럭 (27×1.001 MHz) 을 공급하는 것이 적합하다. 도 14 는 이러한 경우의 수신 장치 (4) 를 개략적으로 도시한다. 도 14 에 도시된 수신 장치 (4) 의 소자들은, 클럭 생성기 (12) 및 선택기 (50) 가 추가된다는 것 및 PLL 회로 B4 가 PLL 회로 B 와는 다르다는 것을 제외하고는 도 10 에 도시된 수신 장치 (1) 의 등가물과 동일하다.
- [0028] 수신 장치 (4) 에서는, 클럭 생성기 (12) 가 27×1.001 MHz 의 클럭을 생성하고, 이를 선택기 (50) 로 출력한다. 선택기 (50) 는 클럭 생성기 (10) 에 의해 생성된 클럭 또는 클럭 생성기 (12) 에 의해 생성된 클럭을 PLL 회로 B4 로 출력한다. 이러한 구성에서, PLL 회로 B4 는, 클럭 생성기 (10) 로부터의 기준 클럭 (27 MHz) 을 이용하여 "44/16", "250/91" 및 "1/1" 의 "주파수 승산 횟수/주파수 제산 횟수" 로 전술한 도트 클럭 1 내지 3 을 생성할 수 있고, 클럭 생성기 (12) 로부터의 기준 클럭 (27×1.001 MHz) 을 이용하여 "1/1" 의 "주파수 승산 횟수/주파수 제산 횟수" 로 전술한 도트 클럭 4 를 생성할 수 있다.
- [0029] 이 기술에 따르면, PLL 회로 B4 는 큰 승산 PLL 이 아니지만, 27×1.001 MHz 의 클럭을 생성하는 클럭 생성기 (12) 를 추가할 필요가 있다. 또한, 클럭들을 생성하기 위한 레지스터 세팅에서의 시간 지연 (lag) 에 기인

하여, 클럭 생성기 (10) 와 클럭 생성기 (12) 사이에서 클럭들을 생성하는 타이밍에서 차이가 발생하면, 또는 클럭 생성기 (10) 및 클럭 생성기 (12) 중 하나 또는 둘 모두의 정확도가 약간만이라도 열화되면, 그 클럭 생성기 (10) 및 클럭 생성기 (12) 에 의해 생성되는 클럭들은 서로 동기화되지 못할 수도 있다. 이것은 수신 장치 전반에 악영향을 미친다.

**과제 해결수단**

- [0030] 본 발명의 일 실시형태의 제 1 의 예시적 양태는 신호 처리 장치이다. 이 신호 처리 장치는, 저장부, 실수 카운터, 제 1 정수 카운터, 제 1 펄스 생성 회로, 정정 회로, 제 2 정수 카운터 및 제 2 펄스 생성 회로를 포함한다.
- [0031] 저장부는 미리 설정된 양의 정수 A, B 및 C, k 개의 오프셋 값  $F_i$  ( $i= 1$  내지  $k$ ) 및 각각의 오프셋 값  $F_i$  의 가산 횟수  $E_i$  를 저장한다.
- [0032] 실수 카운터는 정수 가산 링 카운터이며, 각각의 입력 클럭에서, 카운트 값이 0 이상이면, 양의 정수 C 를 감소하고 양의 정수 B 와 양의 정수 C 의 차 ( $B-C$ ) 를 가산하고, 카운트 값이 음수이면, 캐리 (Carry) 를 출력한다.
- [0033] 또한, 제 1 정수 카운터는 정수 가산 링 카운터이며, 각각의 입력 클럭에서, 자신의 카운트 값 IC1, 실수 카운터로부터 출력된 캐리 및 저장부에 저장된 양의 정수 A 를 가산한다.
- [0034] 제 1 펄스 생성 회로는 제 1 정수 카운터에 대한 주기에 대응하는 1 사이클을 갖는 제 1 클럭을 생성하여, 그 카운트 값 IC1 에 대응하는 초기 상태로 리턴한다.
- [0035] 정정 회로는 제 1 클럭의 사이클 D (양의 정수) 와 동일한 길이를 갖는 각각의 정정 주기에서 저장부에 저장된 오프셋 값  $F_i$  를 반복적으로 출력하고, 오프셋 값  $F_i$  중에서, 정정 주기에서의 출력의 횟수가 각각의 정정 주기에서 입력 클럭에 동기화된 가산 횟수  $E_i$  이하인 오프셋 값을 출력한다.
- [0036] 또한, 제 2 정수 카운터는 정수 가산 링 카운터이며, 각각의 입력 클럭에서, 자신의 카운트 값 IC2, 실수 카운터로부터 출력된 캐리, 양의 정수 A 및 정정 회로로부터 출력된 오프셋 값을 가산한다.
- [0037] 제 2 펄스 생성 회로는 제 2 정수 카운터에 대한 주기에 대응하는 1 사이클을 갖는 제 2 클럭을 생성하여 그 카운트 값 IC2 에 따라 초기 상태로 리턴한다.
- [0038] 제 2 클럭의 주파수는 제 1 클럭의 주파수의 G 배 ( $G>0$ ) 이고, 양의 정수 D 는 제 1 클럭과 제 2 클럭의 동기화 사이클 길이를 나타내는 제 1 클럭의 사이클의 수이다. 또한, 양의 정수 A, B 및 C 는 다음의 식 (3) 을 충족하도록 설정되고, 오프셋 값  $F_i$  및 가산 횟수  $E_i$  는 다음의 식 (4) 및 (5) 를 충족하도록 설정된다.
- [0039] 식 (3)
- [0040]  $f_1 = f_0 * (A+(C/B))/(\text{제 1 정수 카운터의 해상도})$
- [0041] 여기서,  $f_0$  은 입력 클럭의 주파수,
- [0042]  $f_1$  은 제 1 클럭의 주파수, 및
- [0043] A, B 및 C 는 양의 정수.
- [0044] 식 (4)
- [0045]  $(G-1) * D = M$
- [0046] 여기서 D 는 제 1 클럭의 사이클의 수에 의해 표현되는 제 1 클럭과 제 2 클럭의 동기화 사이클 길이 (양의 정수), 및
- [0047] M 은 정수.
- [0048] 식 (5)
- [0049]  $\sum_{i=1}^k (E_i * F_i) = (\text{최대 카운트 값}) * (G-1) * D$
- [0050] 여기서, D 는 동기화 사이클 주기 (양의 정수)
- [0051]  $F_i$  는 오프셋 값 (정수)

- [0052]  $E_i$  는 오프셋 값  $F_i$  의 가산 횟수 (양의 정수), 및
- [0053]  $K$  는 오프셋 값  $F_i$  의 수 (양의 정수)
- [0054] 또한, 전술한 장치를 방법 또는 시스템으로 구현하는 것은 본 발명의 일 실시형태에 대한 예시적인 양태로서 효과적이다.

**효 과**

- [0055] 본 발명의 기술에 따르면, 서로 동기화된 복수의 클럭들을 작은 회로 스케일로 생성할 수 있고, 융통성있게 시스템 사양의 변형을 처리할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0056] 전술한 양태, 이점, 특성 및 다른 예시적인 양태, 이점, 특성은 첨부한 도면에 관련된 특정 예시적 실시형태들의 다음의 설명으로부터 더 명백해질 것이다.
- [0057] 본 발명의 예시적인 실시형태를 기술하기 전에, 본 발명의 원리를 설명한다.
- [0058] 본 발명자는 전술한 문제점을 해결하기 위해 철저한 연구를 했으며, PLL 회로를 이용하지 않고, 입력 클럭에 기초하여 2 개의 클럭을 생성하여, 그 2 개의 클럭이 입력 클럭에 동기화되고 하나의 클럭의 주파수는 다른 클럭의 주파수의 정수배가 아닌 기술을 확립했다.
- [0059] 예를 들어, PLL 회로를 이용하지 않고 입력 클럭에 동기화된 27 MHz 및  $27 \times 1.001$  MHz 의 2 개의 클럭이 생성될 수 있으면, 작은 승산의 PLL 회로에 의해 생성된 클럭에 기초하여, 전술한 도트 클럭 1 내지 3 (74.25 MHz, 74.25/1.001 MHz 및 27 MHz) 을 생성할 수 있을 뿐만 아니라 도트 클럭 4 ( $27 \times 1.001$  MHz) 를 생성할 수 있다.  
이하, 입력 클럭에 동기화된 2 개의 클럭을 생성하여, 하나의 클럭의 주파수가 다른 클럭의 주파수의 1.001 배인 경우를 예시의 방식으로 설명한다.
- [0060] 도 1 은 본 발명자에 의해 확립된 기술에 따른 클럭 생성 회로 (100) 를 도시하는 개략도이다. 클럭 생성 회로 (100) 는, 입력 클럭  $f_0$  에 동기화된 제 1 클럭  $f_1$  및 제 2 클럭  $f_2$  를 생성하며, 제 2 클럭  $f_2$  의 주파수는 제 1 클럭  $f_1$  의 주파수의 1.001 배이다. 다음 설명에서, 입력 클럭  $f_0$ , 제 1 클럭  $f_1$  및 제 2 클럭  $f_2$  의 주파수는 각각  $f_0$ ,  $f_1$  및  $f_2$  로 표현한다.
- [0061] 도 1 을 참조하면, 클럭 생성 회로 (100) 는, 레지스터 (110), 실수 카운터 (120), 제 1 정수 카운터 (130), 제 1 펄스 생성 회로 (140), 제 2 정수 카운터 (150), 정정 회로 (160) 및 제 2 펄스 생성 회로 (170) 를 포함한다.
- [0062] 저장부로서 기능하는 레지스터 (110) 는, 미리 설정된 양의 정수 A, B, C, D, E 및 정수 오프셋 값 F 를 각각 저장하는 레지스터 A 내지 F 를 포함한다.
- [0063] 양의 정수 A, B 및 C 는 제 1 클럭  $f_1$  및 입력 클럭  $f_0$  의 주파수에 따라 전술한 식 (3) 을 충족하도록 설정된다.
- [0064] 실수 카운터의 해상도는 실수 카운터의 비트 폭을 나타낸다. 예를 들어, 16 비트 폭을 갖는 실수 카운터의 해상도는 65536 이다.
- [0065] 클럭 생성 회로 (100) 는 DDA (Digital Differential Analysis) 를 이용하여 입력 클럭  $f_0$  에 기초하여 제 1 클럭  $f_1$  및 제 2 클럭  $f_2$  를 생성한다. 클럭 생성 회로 (100) 의 소자들들 도 2 내지 5 를 참조하여 후술한다. 실수 카운터 (120), 제 1 정수 카운터 (130) 및 제 2 정수 카운터 (150) 의 초기 값은 0 이다.
- [0066] 실수 카운터 (120) 는 정수 가산 링 카운터이다. 각각의 입력 클럭에서, 실수 카운터 (120) 의 카운트 값 RC 가 0 이상이면, 실수 카운터 (120) 는 레지스터 C 에 저장된 양의 정수 C 를 그 카운트 값 RC 로부터 감산한다. 반면, 그 카운트 값 RC 가 음수이면, 실수 카운터 (120) 는 양의 정수 B 와 양의 정수 C 사이의 차 (B-C) 를 그 카운트 값 RC 에 가산하고, 1 의 값을 갖는 캐리를 출력한다.
- [0067] 도 2 는, 일 예로서 B=20 및 C=3 인 경우 실수 카운터 (120) 의 카운트 값 RC 및 캐리를 도시한다.
- [0068] 동작의 시작 직후에는, RC 가 0 이고, 따라서, 실수 카운터 (120) 는 RC 로부터 C 를 감산한다. 그 결과, 카운트 값 RC 는 "-3" 이 된다. 이 때에는 어떠한 캐리도 생성되지 않는다.

- [0069] 다음 입력 클럭에서는, RC 가 음수 "-3" 이기 때문에, 실수 카운터 (120) 가 (B-C) 를 RC 에 가산한다. 그 결과, 카운트 값 RC 는 "14" 가 되고, 캐리 "1" 이 생성된다.
- [0070] 또한, 다음 입력 클럭에서는, RC 가 양수 "14" 이기 때문에, 실수 카운터 (120) 는 RC 로부터 C 를 감산한다. 그 결과, 카운트 값 RC 는 "11" 이 되고, 캐리는 생성되지 않는다.
- [0071] 실수 카운터 (120) 는 각각의 입력 클럭에서 이러한 처리를 반복하고, 따라서, 카운트 값 RC 는 도 2 에 도시된 바와 같이 변화한다. 실수 카운터 (120) 는 실질적으로, C 의 값에 의한 에러를 생성하고 그 에러가 B 의 값을 초과하면 캐리를 생성하도록 구성된다. 이러한 구성은 오직 가산 및 감산에 의해서 B 회 회 루프 내에서 C 회만큼 캐리를 생성한다.
- [0072] 제 1 정수 카운터 (130) 는 정수 가산 링 카운터이다. 각각의 입력 클럭에서, 제 1 정수 카운터 (130) 는 실수 카운터 (120) 로부터 출력되는 캐리와 레지스터 A 에 저장된 양의 정수 A 를 가산하여 카운트 값 IC1 을 획득하고, IC1 이 최대 카운트 값에 도달하는 경우 그 카운트 값을 리셋한다.
- [0073] 도 3 은 실수 카운터 (120) 및 제 1 정수 카운터 (130) 에 의한 처리를 C 언어로 기술한 도면이다.
- [0074] 제 1 정수 카운터 (130) 의 카운트 값 IC1 의 최대 유효 비트는 실수 카운터 (120) 및 제 1 정수 카운터 (130) 의 이러한 동작에 의해 출력되고, 전술한 식 (3) 을 충족하는 제 1 클럭 f1 이 획득될 수 있다.
- [0075] 제 1 펄스 생성 회로 (140) 는 제 1 정수 카운터 (130) 의 카운트 값 IC1 에 따라 펄스를 생성한다. 더 상세하게는, 제 1 펄스 생성 회로 (140) 는, IC1 이 최대 카운트 값의 1/2 이 되는 경우 하이 (Hi) 의 출력을 시작하고, IC1 이 최대 카운트 값이 되고 제 1 정수 카운터 (130) 가 그 카운트 값을 리셋하는 경우 로우 (Low) 출력으로 전환한다.
- [0076] 도 4 는 제 1 정수 카운터 (130) 의 카운트 값 IC1, 입력 클럭 f0 및 제 1 클럭 f1 사이의 관계를 도시한다. 도 4 를 참조하면, 제 1 정수 카운터 (130) 는 0 부터 최대 카운트 값까지 반복적으로 카운트한다. 카운터가 카운트하는 때마다, 카운트 값은 양의 정수 A 만큼 증분되고, 실수 카운터 (120) 으로부터 출력된 캐리에 의해 그 카운트 값의 에러 정정이 B 회 내에서 C 회만큼 행해진다. 그 결과, 카운트 값 IC1 에서의 증가는 (A+(C/B)) 의 기울기를 갖는 직선에 근접하게 된다. 따라서, 제 1 펄스 생성 회로 (140) 는, 카운트 값 IC1 이 최대 카운트 값의 1/2 에 도달하는 시점 (도 4 의 흑색원에 의해 표시된 시점) 부터 하이 클럭을 출력하고, 카운트 값 IC1 이 최대 카운트 값에 도달하는 시점에 로우 출력으로 전환하며, 제 1 정수 카운터 (130) 가 0 부터 최대 카운트 값까지 카운트하는 동안의 주기에 대응하는 1 사이클을 갖고 입력 클럭 f0 에 동기화되는 제 1 클럭 f1 이 획득될 수 있다.
- [0077] 이하, 레지스터 D 내지 F, 제 2 정수 카운터 (150), 정정 회로 (160) 및 제 2 펄스 생성 회로 (170) 를 설명한다. 이들 소자의 블록은, 제 1 클럭 f1 의 주파수의 1.001 배인 주파수를 갖는 제 2 클럭 f2 를 생성한다.
- [0078] 제 2 클럭 f2 의 주파수가 제 1 클럭 f1 의 주파수의 G (G>0) 배로서 표현되면, 제 1 클럭 f1 의 사이클의 수에 의해 표현되는, 제 1 클럭 f1 과 제 2 클럭 f2 가 서로 동기화되는 동안인 동기화 사이클의 길이 (동기화 사이클 길이) D 는 전술한 식 (4) 를 충족시킨다.
- [0079] 이 예에서는, 제 2 클럭 f2 의 주파수가 제 1 클럭 f1 의 주파수의 1.001 배이기 때문에, 식 (4) 를 충족시키는 동기화 사이클 길이 D 는  $1000 \times m$  (m 은 1 이상의 정수) 사이클이다. 식 (4) 를 충족시키는 임의의 값이 동기화 사이클 길이 D 로서 선택될 수도 있지만, 최소값을 선택하는 것이 바람직하다. 따라서, 동기화 사이클 길이 D 로서 1000 이 선택된다.
- [0080] 전술한 바와 같이, 제 1 클럭 f1 의 1 사이클은, 제 1 정수 카운터 (130) 가 0 부터 최대 카운트 값까지 카운트하는 동안인 주기에 대응한다. 제 1 정수 카운터 (130) 의 속도의 1.001 배의 속도로 카운트하는 카운터가 존재하면, 제 1 펄스 생성 회로 (140) 와 유사한 펄스 생성 회로를 이용하여 그 카운트 값에 따라 펄스를 생성함으로써, 제 1 클럭 f1 의 주파수의 1.001 배인 주파수를 갖는 제 2 클럭 f2 를 생성할 수 있다. 제 1 정수 카운터 (130) 의 속도의 1.001 배의 속도로 카운트하는 카운터를 실현하기 위해, 제 1 정수 카운터 (130) 의 최대 카운트 값의 1/1000 배인 값이, 그 카운트 값의 각각의 사이클에서, 제 1 정수 카운터 (130) 와 동일한 방식으로 카운트하는 카운터 (이하, 제 2 카운터라 함) 의 카운트 값에 가산된다. 그 결과, 제 2 카운터의 카운트 값은 제 1 정수 카운터 (130) 의 카운트 값 IC1 을 1 사이클당 1/1000 사이클만큼 리드하고, 따라서, 카운트 값 IC1 을, 동기화 사이클 길이인, 1000 사이클당 1 사이클만큼 리드한다.
- [0081] 예를 들어, 제 1 카운터 (130) 의 비트 폭이 16 비트이면, 제 1 정수 카운터 (130) 는 제 1 클럭 f1 의 1 사이

클럭  $2^{16}$  또는 65536 회를 카운트한다. 제 1 정수 카운터 (130) 의 속도의 1.001 배의 속도로 카운트하는 제 2 정수 카운터를 실현하기 위해, 65536 의 1/1000 인 65.536 을, 제 1 클럭 f1 의 1 사이클마다 제 2 정수 카운터의 카운트 값에 가산할 필요가 있다. 그러나, 가산되는 값이 정수가 아니기 때문에, 정수 가산 링 카운터인 제 2 정수 카운터에 가산될 수 없다.

[0082] 전술한 면에서, 본 발명자는, 정수 가산 링 카운터를 갖는 전술한 제 2 정수 카운터에 대해 기대되는 처리를 구현하기 위해 다음의 기술을 발명하였다.

[0083] k 개의 오프셋 값  $F_i$  ( $i=1$  내지  $k$ ) 및 각각의 오프셋 값  $F_i$  의 가산 횟수  $E_i$  는 전술한 식 (5) 를 충족하도록 미리 설정되고, k 개의 오프셋 값  $F_i$  중에서, 제 1 정수 카운터 (130) 의 리셋이 가산 횟수  $E_i$  이하인 후 즉시 출력되는 오프셋 값은 각각의 입력 클럭에서 제 2 정수 카운터에 출력된다. 이러한 방식으로 그 오프셋 값을 출력하는 회로를 이하 정정 회로라 한다. 제 1 클럭 f1 의 사이클 D 와 동일한 주기를 정정 주기라 지칭하면, 정정 회로는 각각의 정정 주기에서 전술한 처리를 수행한다.

[0084] 제 2 정수 카운터는 각각의 입력 클럭에서, 자신의 카운트 값 IC2, 실수 카운터 (120) 로부터 출력된 캐리, 양의 정수 A 및 정정 회로로부터 출력된 오프셋 값을 가산한다. 각각의 오프셋 값  $F_i$  가 가산 횟수  $E_i$  에 대해 출력된 후인, 출력 정정 회로로부터 오프셋 값의 출력이 없는 경우, 오프셋 값은 가산되지 않는다.

[0085] 그 후, 1 사이클이 제 2 정수 카운터의 2 개의 후속 리셋들 사이의 주기에 대응하는 클럭이 제 2 정수 카운터의 카운트 값 IC2 에 대응하여 생성된다. 이 클럭은 제 2 클럭 f2 로서 기능한다.

[0086] 이러한 방식으로 생성된 제 2 클럭 f2 는 각각의 사이클에서 약간의 지터 (jitter) 를 포함하지만, 제 1 클럭 f1 에 동기화되고, 각각의 동기화 사이클 길이 D 에서 제 1 클럭 f1 의 주파수의 G 배인 주파수를 갖는다.

[0087] 식 (5) 가 충족되는 한 임의의 오프셋 값  $F_i$  및 임의의 가산 횟수  $E_i$  가 설정될 수도 있다. 그러나, 오프셋 값으로서, 최대 카운트 값 및 동기화 사이클 길이 D 의 비율 (quotient) 보다 작은 정수의 최대 값인 오프셋 값 F1, 및 그 비율보다 큰 정수의 최소 값인 오프셋 값 F2 의 2 개의 오프셋 값이 선호된다. 또한, 오프셋 값 F1 의 가산 횟수 E1 및 오프셋 값 F2 의 가산 횟수 E2 를, 그 값들의 합이 동기화 사이클 길이 D 와 동일하도록 설정하는 것이 선호된다.

[0088] 오프셋 값들 및 가산 횟수들이 이러한 방식으로 설정되면, 제 2 정수 카운터에 가산될 오프셋 값들은 비교적 작고 실질적으로 동일하여, 제 2 클럭 f2 의 지터를 감소시킨다.

[0089] 동기화 사이클 길이 D 로서 가능한 최대의 값을 선택하는 것은, 제 2 정수 카운터에 가산될 오프셋 값의 최소화를 허용할 것이다. 그러나, 동기화 사이클 길이 D 가 너무 길면, 제 1 클럭 f1 과 제 2 클럭 f2 가 동기화 될 때까지 오랜 시간이 소용된다. 이러한 관점에서, 최소값을 동기화 사이클 길이 D 로 설정하고, 전술한 바와 같이 비교적 작은 오프셋 값들을 서로 동일하게 가산하는 기술이 양호하다.

[0090] 오프셋 값 F1, 오프셋 값 F2 가산 횟수 E1 및 가산 횟수 E2 사이의 관계는 다음의 식 (6) 에 의해 표현될 수 있다.

[0091] 식 (6)  $f2 = F1+1$

[0092]  $E2 = D-E1$

[0093] 따라서, 오직 오프셋 값 F1 만을 오프셋 값으로서 설정하고, 오프셋 값 F2 가 제 2 정수 카운터에 출력될 경우 오프셋 값 F1 에 1 을 가산하여 출력하는 것이 타당하다. 또한, 오직 가산 횟수 E1 만을 가산 횟수로서 설정하고, 오프셋 값 F1 이 E1 회만큼 출력되는 경우, 그 오프셋 값의 출력 횟수가 D 가 될 때까지 "오프셋 값 F1+1" 을 출력하는 것이 타당하다. 이것은, 오프셋 값 및 가산 횟수를 저장하는 레지스터를 감소시킨다.

[0094] 이하, 전술한 예를 이용하여 추가적 설명을 제공한다. 전술한 예에서는, 인수 (multiple) G 가 1.001 이고 동기화 사이클 길이 D 로서 1000 이 선택되기 때문에, 최대 카운트 값 65536 및 동기화 사이클 길이 D 의 비율은 65.536 이다. 따라서, 식 (4) 에 기초하여, 다음의 식 (7) 이 획득된다. 더 상세하게는, 오프셋 값 F1 및 F2 로서 65 및 66 이 획득되고, 가산 횟수 E1 및 E2 로서 464 및 536 이 각각 획득된다.

[0095] 식 (7)  $F1 * E1 + F2 * E2 = 65 * 464 + 66 * 536 = 65536$

[0096] 동기화 사이클 길이 D (1000), 오프셋 값 F1 (65), 가산 횟수 E1 (464) 이 레지스터에 설정되면, 1 동기화 사이클로서의 1000 사이클당 제 2 정수 카운터에 "65" 가 464 회 출력되고, "65+1" 이 "1000-464" 회 출력되며, 제

1 정수 카운터 (130) 는 최대 카운트 값을 1000 회 카운트하는 반면, 제 2 정수 카운터는 최대 카운트 값을 1001 회까지 카운트한다. 따라서, 제 2 정수 카운터의 카운트 값 IC2 에 따라 제 1 클럭 f1 의 주파수의 1.001 배인 주파수를 갖는 제 2 클럭 f2 를 생성할 수 있다.

- [0097] 도 1 에 도시된 클럭 생성 회로 (100) 내의 제 2 정수 카운터 (150), 정정 회로 (160) 및 레지스터 D 내지 F 가 진술한 처리를 구현한다.
- [0098] 레지스터 D 는 동기화 사이클 길이 D (1000) 를 저장한다. 레지스터 F 는 오프셋 값 F1 (65) 을 저장한다. 레지스터 E 는 가산 횟수 E1 (464) 을 저장한다.
- [0099] 제 1 정수 카운터 (130) 가 카운트를 시작하면, 정정 회로 (160) 는, 제 1 정수 카운터 (130) 의 카운트 값 IC1 이 0 으로 리턴하는 횟수를 카운트한다. 카운트 값 cnt 가 레지스터 E 에 저장된 가산 횟수 E1 (464) 이하면, 정정 회로 (160) 는 레지스터 F 에 저장된 오프셋 값 F1 (65) 을 제 2 정수 카운터 (150) 에 출력한다. 한편, 카운트 값 cnt 가 가산 횟수 E1 (464) 을 초과하면, 정정 회로 (160) 는 오프셋 값 F1 (65) 에 1 을 가산하여 이를 제 2 정수 카운터 (150) 에 출력한다. 카운트 값 cnt 가 레지스터 D 에 저장된 동기화 사이클 길이 D (1000) 에 도달하는 경우, 정정 회로 (160) 는 카운트 값 cnt 를 0 으로 리셋하고 진술한 처리를 반복한다.
- [0100] 카운트 값 cnt 가 0 부터 D 까지 카운트되는 동안인 주기는, 1 정정 주기인, 제 1 클럭 f1 의 1000 사이클에 대응하는 길이를 갖는다.
- [0101] 제 2 정수 카운터 (150) 는 자신의 카운트 값 IC2, 레지스터 A 에 저장된 양의 정수 A, 실수 카운터 (120) 로부터 출력된 캐리, 및 정정 회로 (160) 로부터 출력된 오프셋 값을 가산한다.
- [0102] 도 5 는, 정정 회로 (160) 의 카운트 값 cnt, 제 2 정수 카운터 (150) 에 출력된 오프셋 값 및 제 2 정수 카운터 (150) 에서 함께 가산된 오프셋 값의 총 합 사이의 관계를 나타낸다.
- [0103] 도 5 를 참조하면, 오프셋 값 F1 (65) 은, 그 카운트 값 cnt 가 0 부터 463 까지인 주기 동안 제 2 정수 카운터 (150) 로 출력되고, "(오프셋 값 F1+1) = 66" 은 그 카운트 값 cnt 가 464 부터 999 까지인 주기 동안 제 2 정수 카운터 (150) 로 출력된다. 제 2 정수 카운터 (150) 가 오프셋 값들을 누적적으로 가산한 결과로서, 함께 가산된 오프셋 값들의 총 합은 카운트 값 cnt 가 999 에 도달하는 시점에 65536 이 된다. 따라서, 제 2 정수 카운터 (150) 는 1000 사이클의 길이를 갖는 각각의 정정 주기에서 제 1 정수 카운터 (130) 보다 65536 회 더 카운트한다.
- [0104] 제 2 펄스 생성 회로 (170) 는, 그 제 2 정수 카운터 (150) 가 0 부터 최대 카운트 값까지 카운트하는 동안인 주기가 제 2 클럭 f2 의 1 사이클에 대응하는 방식으로 제 2 클럭 f2 를 생성한다. 제 2 클럭 f2 는 제 1 클럭 f1 의 주파수의 1.001 배인 주파수를 갖는다.
- [0105] 도 6 은 도 1 에 도시된 클럭 생성 회로 (100) 를 구현하는 특정한 회로 예이다. 도 6 에서, 제 1 펄스 생성 회로 (140) 및 제 2 펄스 생성 회로 (170) 는 단순화를 위해 도시하지 않는다.
- [0106] 도 6 을 참조하면, 실수 카운터 (120) 는 가산기-감산기 (121), 감산기 (122), 선택기 (123), 비교기 (124), 캐리 생성 회로 (125) 및 레지스터 (126) 를 포함한다.
- [0107] 가산기-감산기 (121) 는 각각의 입력 클럭에서, 레지스터 (126) 에 저장된 카운트 값 RC, 레지스터 B 에 저장된 양의 정수 B 및 레지스터 C 에 저장된 양의 정수 C 에 대해 가산 및 감산 (RC+(B-C)) 를 수행하여, 그 계산 결과를 선택기 (123) 를 출력한다.
- [0108] 감산기 (122) 는 각각의 입력 클럭에서 계산 (RC-C) 를 수행하여, 그 계산 결과를 선택기 (123) 로 출력한다.
- [0109] 비교기 (124) 는 각각의 입력 클럭에서 레지스터 (126) 에 저장된 카운트 값 RC 를 0 과 비교하여, 그 비교 결과를 캐리 생성 회로 (125) 및 선택기 (123) 로 출력한다.
- [0110] 비교기 (124) 의 비교의 결과로서, 카운트 값 RC 가 0 이상이면, 선택기 (123) 는 감산기 (122) 의 계산 결과를 선택하여, 이를 레지스터 (126) 로 출력한다. 반면, 카운트 값 RC 가 음수이면, 선택기 (123) 는 가산기-감산기 (121) 의 계산 결과를 선택하여, 이를 레지스터 (126) 로 출력한다.
- [0111] 또한, 비교기 (124) 의 비교의 결과로서, 카운트 값 RC 가 음수이면, 캐리 생성 회로 (125) 는 캐리 "1" 을 생성하여, 이를 제 1 정수 카운터 (130) 및 제 2 정수 카운터 (150) 로 출력한다.

- [0112] 선택기 (123) 가 계산 결과 중 하나를 출력할 때마다, 레지스터 (126) 는 계산 결과에 대해 카운트 값 RC 를 업데이트한다.
- [0113] 제 1 정수 카운터 (130) 는 가산기 (131) 및 레지스터 (132) 를 포함한다. 가산기 (131) 는 각각의 입력 클럭에서, 레지스터 (132) 에 저장된 카운트 값 IC1 과 레지스터 A 에 저장된 양의 정수 A 를 가산하고, 실수 카운터 (120) 내의 캐리 생성 회로 (125) 로부터 캐리가 출력되는 경우 그 캐리를 또한 가산한다.
- [0114] 레지스터 (132) 는 가산기 (131) 의 계산 결과를 새로운 카운트 값 IC1 로서 저장한다. 레지스터 (132) 는, 예를 들어, 16 비트 레지스터이고, 카운트 값 IC1 이 최대 값인 65535 에 도달하는 경우 그 카운트 값 IC1 을 0 으로 리셋한다.
- [0115] 정정 회로 (160) 는 캐리 생성 회로 (161), 선택기 (162), 가산기 (163), 비교기 (164), 레지스터 (165), 비교기 (166), 선택기 (167), 가산기 (168) 및 선택기 (169) 를 포함한다.
- [0116] 캐리 생성 회로 (161) 는, 제 1 정수 카운터 (130) 의 카운트 값 IC1 이 0 이 되는 때마다 캐리 "1" 을 생성하여, 이를 선택기 (162) 로 출력한다.
- [0117] 가산기 (163) 는 비교기 (164) 의 출력에 "1" 을 가산하여, 이를 선택기 (162) 로 출력한다.
- [0118] 비교기 (164) 는 레지스터 (165) 에 저장된 카운트 값 cnt 를 레지스터 D 에 저장된 동기화 사이클 길이 D 와 비교한다. 카운트 값 cnt 가 동기화 사이클 길이 D 보다 작으면, 비교기 (164) 는 그 카운트 값 cnt 를 선택기 (162) 및 가산기 (163) 로 출력한다. 반면, 카운트 값 cnt 가 동기화 사이클 길이 D 에 도달할 때마다, 비교기 (164) 는 "0" 을 선택기 (162) 및 가산기 (163) 로 출력한다.
- [0119] 선택기 (162) 는, 캐리 생성 회로 (161) 로부터 캐리가 출력되는 않는 경우 비교기 (164) 로부터 카운트 값 cnt 를 출력한다. 반면, 캐리 생성 회로 (161) 로부터 캐리가 출력되는 경우, 선택기 (162) 는 가산기 (163) 의 가산 결과 "카운트 값 cnt + 1" 을 출력한다.
- [0120] 레지스터 (165) 는 레지스터 (162) 의 출력을 새로운 카운트 값 cnt 로서 저장한다.
- [0121] 캐리 생성 회로 (161) 은, 제 1 정수 카운터 (130) 가 최대 값에 도달할 때마다 캐리를 생성하기 때문에, 레지스터 (165) 에 저장된 카운트 값 cnt 는, 그 카운트 값 IC1 이 최대값에 도달할 때마다 증분된다. 카운트 값 cnt 는, 동기화 사이클 길이 D 에 도달하는 경우 리셋되고, 따라서, 레지스터 (165) 는 동기화 사이클 길이 D 에 카운트 값 cnt 로서 0 을 반복적으로 저장한다. 또한, 제 1 정수 카운터 (130) 가 0 부터 최대값까지 카운트하는 동안인 주기는, 제 1 정수 카운터 (130) 의 카운트 값 IC1 에 기초하여 생성되는 제 1 클럭 f1 의 1 사이클에 대응한다. 따라서, 캐리 생성 회로 (161), 선택기 (162), 가산기 (163), 비교기 (164) 및 레지스터 (165) 는, 각각의 동기화 사이클 D 에 대해 제 1 클럭 f1 의 사이클을 카운트하는 카운터로서 기능한다.
- [0122] 비교기 (166) 는 레지스터 (165) 에 저장된 카운트 값 cnt 를 레지스터 E 에 저장된 가산 횟수 E1 과 비교하여, 그 비교 결과를 선택기 (167) 로 출력한다.
- [0123] 가산기 (168) 는 레지스터 F 에 저장된 오프셋 값 F1 에 1 을 가산하여, 그 결과를 선택기 (167) 로 출력한다.
- [0124] 비교기 (166) 의 비교의 결과로서, 카운트 값 cnt 가 E1 보다 작으면, 선택기 (167) 는 레지스터 F 에 저장된 오프셋 값 F1 을 선택기 (169) 로 출력한다. 반면, 카운트 값 cnt 가 E1 이상이면, 선택기 (167) 는 가산기 (168) 로부터 "오프셋 값 F1+1" 을 선택기 (169) 로 출력한다.
- [0125] 선택기 (169) 는 정정 회로 (160) 의 캐리 생성 회로 (161) 로부터의 캐리의 존재 또는 부재에 기초하여, 선택기 (167) 로부터의 출력 또는 "0" 을 선택한다. 더 상세하게는, 캐리 생성 회로 (161) 로부터 캐리가 출력되지 않으면, 선택기 (169) 는 선택기 (167) 로부터 오프셋 값 F1 또는 "오프셋 값 F1+1" 을 제 2 정수 카운터 (150) 로 출력한다. 반면, 캐리 선택 회로 (161) 로부터 캐리가 출력되면, 선택기 (168) 는 "0" 을 제 2 정수 카운터 (150) 로 출력한다.
- [0126] 제 2 정수 카운터 (150) 는 가산기 (151) 및 레지스터 (152) 를 포함한다. 가산기 (151) 는 레지스터 (152) 에 저장된 카운트 값 IC2, 양의 정수 A 및 선택기 (169) 의 출력을 가산하고, 실수 카운터 (120) 내의 캐리 생성 회로 (125) 로부터 캐리가 출력되는 경우 그 캐리를 또한 가산한다.
- [0127] 레지스터는 가산기 (151) 의 계산 결과를 새로운 카운트 값 IC2 로서 저장한다. 레지스터 (152) 는 제 1 정수 카운터 (130) 내의 레지스터 (132) 와 동일한 비트 폭을 갖고, 카운트 값 IC2 가 예를 들어, 최대값 65535

에 도달하는 경우 그 카운트 값 IC2 를 0 으로 리셋한다.

- [0128] 도 6 에 도시된 회로에서, 제 1 정수 카운터 (130) 는 입력 클럭과 동기화하여 0 부터 최대값까지 반복적으로 카운트한다. 제 1 정수 카운터 (130) 의 카운트 값 IC1 에 기초하여 생성되는 제 1 클럭 f1 의 주파수는 1 사이클이 제 1 정수 카운터 (130) 의 0 부터 최대값까지의 카운트 주기 또는 제 1 정수 카운터 (130) 의 2 개의 연속적 리셋들 사이의 주기에 대응하며, 식 (3) 에 의해 표현되는 입력 클럭 f0 의 주파수와 관계를 충족시킨다. 제 1 클럭 f1 의 주파수는 양의 정수 A, B 및 C 의 값에 따라 입력 클럭 f0 의 주파수의 1/2 이하이다.
- [0129] 또한, 제 2 정수 카운터 (150) 는 입력 클럭에 동기화하여 0 부터 최대값까지 반복적으로 카운트하지만, 정정 회로 (160) 로부터의 오프셋 값이 그 카운트 값에 가산되기 때문에, 제 2 정수 카운터 (150) 는, 제 1 정수 카운터 (130) 가 0 부터 최대값까지 D 회 카운트하는 동안 0 부터 그 최대값까지 (D+(G-1)\*D) 회 카운트한다. 따라서, 제 2 정수 카운터 (150) 가 0 부터 최대값까지 카운트하는 속도는 제 1 정수 카운터 (130) 의 속도보다 G 배 더 크다.
- [0130] 따라서, 제 2 정수 카운터 (150) 의 카운트 값 IC2 에 기초하여 생성되는 제 2 클럭 f2 의 주파수는 1 사이클이 제 2 정수 카운터 (150) 의 0 부터 최대값까지의 카운트 주기에 대응하고, 제 1 클럭 f1 의 주파수의 G 배이다.
- [0131] 인수 G 는 0 보다 큰 임의의 값 (분수 포함) 일 수도 있다. 따라서, 본 발명자에 의해 확립된 기술은, 입력 클럭 f0 에 동기화되고 입력 클럭 f0 의 주파수의 1/2 이하인 소정의 주파수를 갖는 제 1 클럭 f1, 및 입력 클럭 f0 에 또한 동기화되고 3 개의 정수 카운터의 이용을 통해 제 1 클럭 f1 의 주파수의 소정의 인수 G 배인 주파수를 갖는 제 2 클럭 f2 의 생성을 달성한다.
- [0132] 전술한 설명에서는 특정 예로서 1 보다 큰 1.001 인 인수 G 가 이용되었지만, 인수 G 가 1 보다 작은 경우 또는 식 (5) 의 (G-1) 이 음수인 경우, 음수의 오프셋 G 가 정정 회로 (160) 로부터 제 2 정수 카운터 (150) 에 공급되면, 제 1 클럭 f1 의 주파수보다 작은 주파수를 갖는 제 2 클럭이 또한 생성될 수도 있다.
- [0133] 또한, 본 발명의 원리의 용이한 이해를 위해, 하나의 클럭의 주파수가 다른 클럭의 주파수의 실수 배가 되도록 입력 클럭 f0 에 동기화된 2 개의 클럭 (f1 및 f2) 을 생성하는 회로가 설명되었지만, 본 발명의 기술은 입력 클럭 f0 에 동기화된 임의의 2 이상의 수의 클럭의 생성에 적용될 수도 있다.
- [0134] 도 7 은, 예시로서 입력 클럭 f0 에 동기화된 3 개의 클럭 f1, f2 및 f3 을 생성하는 회로를 개략적으로 도시한다. 도 7 에서는, 도 1 에 도시된 클럭 생성 회로 (100) 와 동일한 소자들은 동일한 참조 부호로 표시되어 있다.
- [0135] 도 7 에 도시된 클럭 생성 회로에서는, 클럭 f3 을 생성하기 위한, 레지스터 Ea 및 Eb, 제 3 정수 카운터 (150a), 정정 회로 (160a) 및 제 3 펄스 생성 회로 (170a) 는 각각, 클럭 f2 를 생성하기 위한, 레지스터 E 및 F, 제 2 정수 카운터 (150), 정정 회로 (160) 및 제 2 펄스 생성 회로 (170) 와 실질적으로 동일한 기능을 갖는다. 이러한 구성에서, 입력 클럭 f0 에 동기화되고, 제 2 클럭 f2 의 주파수와는 상이하며 제 1 클럭 f1 의 주파수의 실수 배인 주파수를 갖는 제 3 클럭 f3 이 레지스터 Ea 및 Fa 의 값의 설정에 따라 생성될 수 있다.
- [0136] 이하, 전술한 설명에 기초하여, 전술한 클럭 생성 회로를 이용하는 예시적인 실시형태를 설명한다.
- [0137] 도 8 은 본 발명의 예시적인 실시형태에 따른 신호 처리 회로 (200) 를 도시한다. 신호 처리 회로 (200) 는, 예를 들어, 비디오 방송을 수신하는 수신 장치이고, 클럭 생성기 (10), PLL 회로 (210), 클럭 생성 회로 (220), 선택기 (230), PLL 회로 (240), PLL 회로 (250), 시스템 회로 (22), 비디오 신호 처리 회로 (24), 오디오 신호 처리 회로 (26), 및 STC 카운터 (30) 를 포함한다. 용이한 비교를 위해, 도 8 에서는, 도 10, 12, 13 및 14 에 도시된 수신 장치에서와 동일한 소자들은 동일한 참조 부호로 표시된다. 전술한 각각의 수신 장치와 유사한 신호 처리 장치 (200) 에서는, 비디오 신호 처리 회로 (24) 가, 예를 들어, 74.25 MHz, 74.25/1.001 MHz, 27 MHz 및 27×1.001 MHz 의 도트 클럭을 갖는 비디오 신호를 처리할 필요가 있다.
- [0138] 클럭 생성기 (10) 가 27 MHz 의 기준 클럭을 생성한다.
- [0139] PLL 회로 (210) 는 시스템 회로 (22) 에 의해 이용될 시스템 클럭을 생성하여, 이를 시스템 회로 (22) 에 공급한다. 예를 들어, 시스템 클럭은 655.36 MHz 이다.
- [0140] 클럭 생성 회로 (220), 선택기 (230) 및 PLL 회로 (240) 는 비디오 신호 처리 회로 (24) 에 의해 이용될 도트 클럭들을 생성한다. 전술한 바와 같이, 이들은 74.25 MHz, 74.25/1.001 MHz, 27 MHz 및 27×1.001 MHz 의 도트 클럭 모두를 생성할 필요가 있다.

- [0141] 클럭 생성 회로 (220) 는, 도 1 에 도시된 클럭 생성 회로 (100) 가 적용되는 회로이고, 입력 클럭 f0 인, PLL 회로 (210) 에 의해 생성된 시스템 클럭에 동기화되는 2 개의 클럭을 생성한다. 제 1 클럭 f1 인, 2 개의 클럭 중 하나의 주파수는 27 MHz 이고, 제 2 클럭 f2 인, 다른 하나의 클럭의 주파수는 제 1 클럭 f1 의 주파수의 1.001 배인 27.027 MHz 이다.
- [0142] 클럭 생성 회로 (220) 는, 도 1 내지 6 을 참조하여 설명한 클럭 생성 회로 (100) 에 대응하며, 이하, 상세히 설명하지 않는다. 클럭 생성 회로 (220) 는 제 1 클럭 f1 및 제 2 클럭 f2 로서, 각각 27 MHz 및 27.027 MHz 의 클럭을 생성하고, 따라서, 인수 G 는 1 보다 크다. 따라서, 제 2 클럭 f2 를 생성하기 위해 제 2 정수 카운터에 공급되는 오프셋 값은 양수이고, 따라서, 그 오프셋 값에 부호 (sign) 비트를 가산할 필요가 없다. 다른 방법으로, 제 1 클럭 f1 으로서 27.027 MHz 의 클럭을 생성하고, 또한 그 제 1 클럭 f1 의 주파수의 1/1.001 배의 주파수를 갖는 제 2 클럭 f2 를 생성하는 것도 가능하다. 이 경우, 제 2 정수 카운터에 공급되는 오프셋 값에 부호 비트를 가산할 필요가 있다.
- [0143] 선택기 (230) 는 비디오 신호의 종류에 기초하여, 클럭 생성 회로 (220) 에 의해 생성되는 제 1 클럭 또는 제 2 클럭을 선택하고, 그 선택된 클럭을 PLL 회로 (240) 로 출력한다.
- [0144] PLL 회로 (240) 는,  $27 \times 1.001$  MHz 의 주파수를 갖는 도트 클럭 4 를 생성하는 경우 제 2 클럭 f2 를 이용한다. 이 경우, 이 PLL 회로의 "주파수 승산 횟수/주파수 제산 횟수" 는 "1/1" 이다. 한편, PLL 회로 (240) 는 도트 클럭 1 내지 3 중 임의의 클럭을 생성하는 경우 제 1 클럭 f1 을 이용한다. 이 경우, 각각의 도트 클럭에 대한 "주파수 승산 횟수/주파수 제산 횟수" 는 각각, "44/16", "250/19" 및 "1/1" 이다.
- [0145] PLL 회로 (240) 는 생성된 도트 클럭을 비디오 신호 처리 회로 (24) 에 공급한다.
- [0146] PLL 회로 (250) 는 STC 에 기초하여 오디오 신호 처리 회로 (26) 에 의해 이용될 오디오 클럭을 생성하여, 그 생성된 오디오 클럭을 오디오 신호 처리 회로 (26) 에 공급한다.
- [0147] 전술한 바와 같이, 예시적 실시형태에 따른 신호 처리 회로 (200) 에서는, 클럭 생성 회로 (220) 가 27 MHz 의 제 1 클럭 f1 및  $27 \times 1.001$  MHz 의 제 2 클럭 f2 를 생성하고, 선택기 (230) 는 그 클럭들 중 하나를 PLL 회로 (240) 에 선택적으로 공급한다. 따라서, PLL 회로 (240) 는, 비디오 신호 처리 회로 (24) 에 의해 이용될 수 있는 4 개의 도트 클럭 중 임의의 클럭을 생성하는 경우 큰 승산을 수행할 필요가 없다. 또한, 제 1 클럭 f1 및 제 2 클럭 f2 모두가 기준 클럭에 동기화되기 때문에, PLL 회로 (240) 에 의해 생성되는 클럭들 또한 시스템 클럭, 오디오 클럭 및 STC 에 동기화된다.
- [0148] 또한, 클럭 생성 회로 (220) 는, 아날로그 회로인 PLL 보다는 정수 카운터를 포함하기 때문에, 회로 스케일이 작다.
- [0149] 또한, 클럭 생성 회로 (220) 의 입력 클럭으로도 기능하는, PLL 회로 (210) 에 의해 생성된 시스템 클럭은 전술한 예시적 실시형태의 예와 같이 655.36 MHz 의 주파수를 갖지만, 클럭 생성 회로 (220) 는, 레지스터에 저장된 전술한 양의 정수 A, B 및 C 와 같은 파라미터들을 조절함으로써 입력 클럭의 주파수의 1/2 이하인 임의의 주파수를 갖는 제 1 클럭을 생성할 수 있다. 따라서, 시스템 클럭 (22) 에 의해 이용되는 클럭의 속도가 증가하는 것과 같은 시스템 사양에서의 변형에 융통성 있게 적용할 수 있다.
- [0150] 본 발명을 다수의 예시적인 실시형태들의 관점에서 설명했지만, 본 발명은 첨부된 청구항의 사상 및 범주 내에서 다양한 변형으로 실시될 수 있고, 전술한 실시예에 한정되지 않음을 당업자는 인식할 것이다.
- [0151] 또한, 청구항의 범주는 전술한 예시적인 실시형태들에 의해 한정되지 않는다.
- [0152] 또한, 출원인의 의도는, 추후 과정 동안 정정된다 하더라도 모든 청구항의 구성요소들의 균등물을 포함하는 것임을 유의해야 한다.

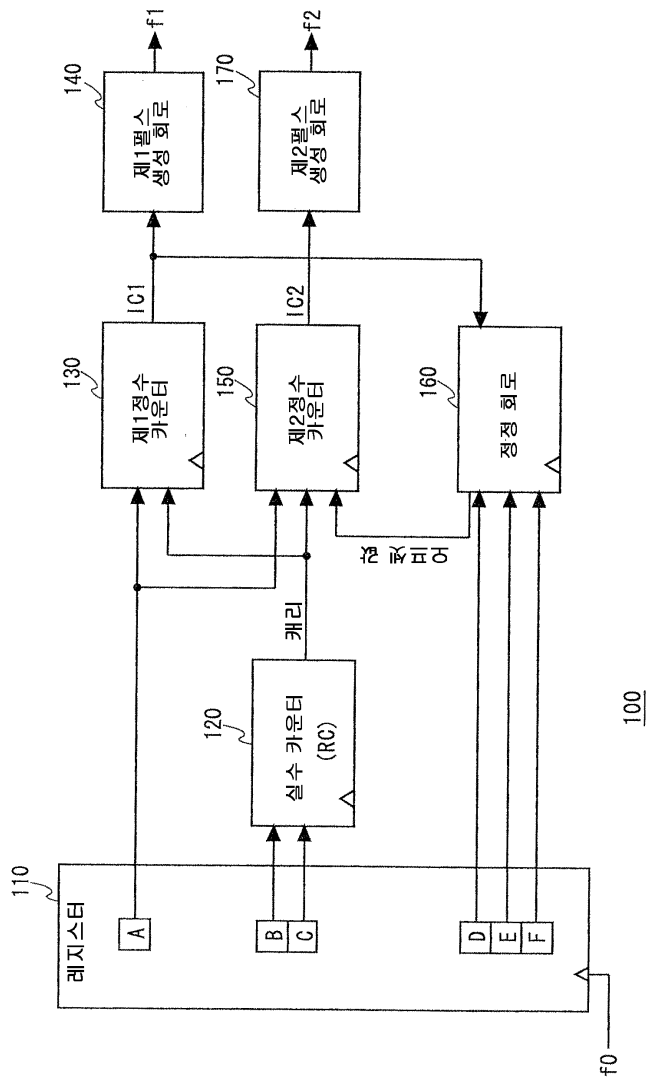
**도면의 간단한 설명**

- [0153] 도 1 은 본 발명의 예시적 실시형태에 따른 클럭 생성 회로를 도시하는 개략도.
- [0154] 도 2 는 도 1 에 도시된 클럭 생성 회로에서 실수 카운터를 도시하는 도면.
- [0155] 도 3 은 도 1 에 도시된 클럭 생성 회로에서 실수 카운터 및 제 1 정수 카운터에 의해 수행되는 처리에 대한 예시적인 C 언어 기술을 도시하는 도면.
- [0156] 도 4 는 제 1 정수 카운터의 카운트 값, 그 카운트 값에 의해 생성된 제 1 카운트 및 도 1 에 도시된 클럭 생성



도면

도면1



도면2

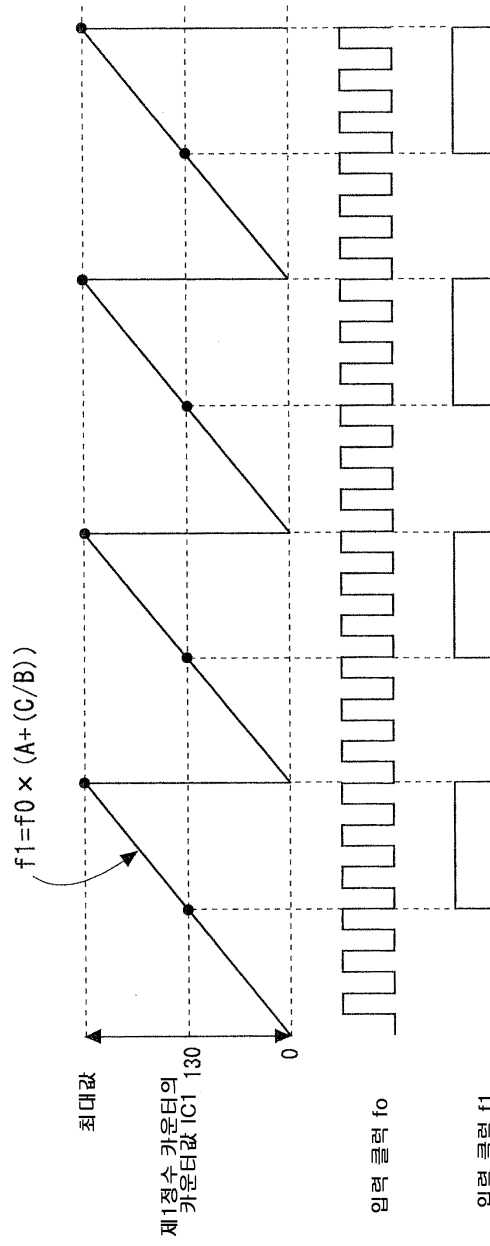
실수 카운터(120)의 예시적인 동작

RC+(B-C)	RC-C	RC	캐리
		0	0
17	-3	-3	1
14	-6	14	0
31	11	11	0
28	8	8	0
25	5	5	0
22	2	2	0
19	-1	-1	1
16	-4	16	0
33	13	13	0
30	10	10	0
27	7	7	0
24	4	4	0
21	1	1	0
18	-2	-2	1
15	-5	15	0
32	12	12	0
29	9	9	0
26	6	6	0
23	3	3	0
20	0	0	0
17	-3	-3	1
14	-6	14	0
31	11	11	0
28	8	8	0
25	5	5	0
22	2	2	0
19	-1	-1	1
16	-4	16	0

## 도면3

```
IC1 = 0;
RC = 0;
while (1) {
    if (RC < 0) {
        Carry = 1;
        RC = RC + (B-C);
    }
    else {
        Carry = 0;
        RC = RC-C;
    }
    IC1 = IC1 + A + Carry;
}
```

도면4

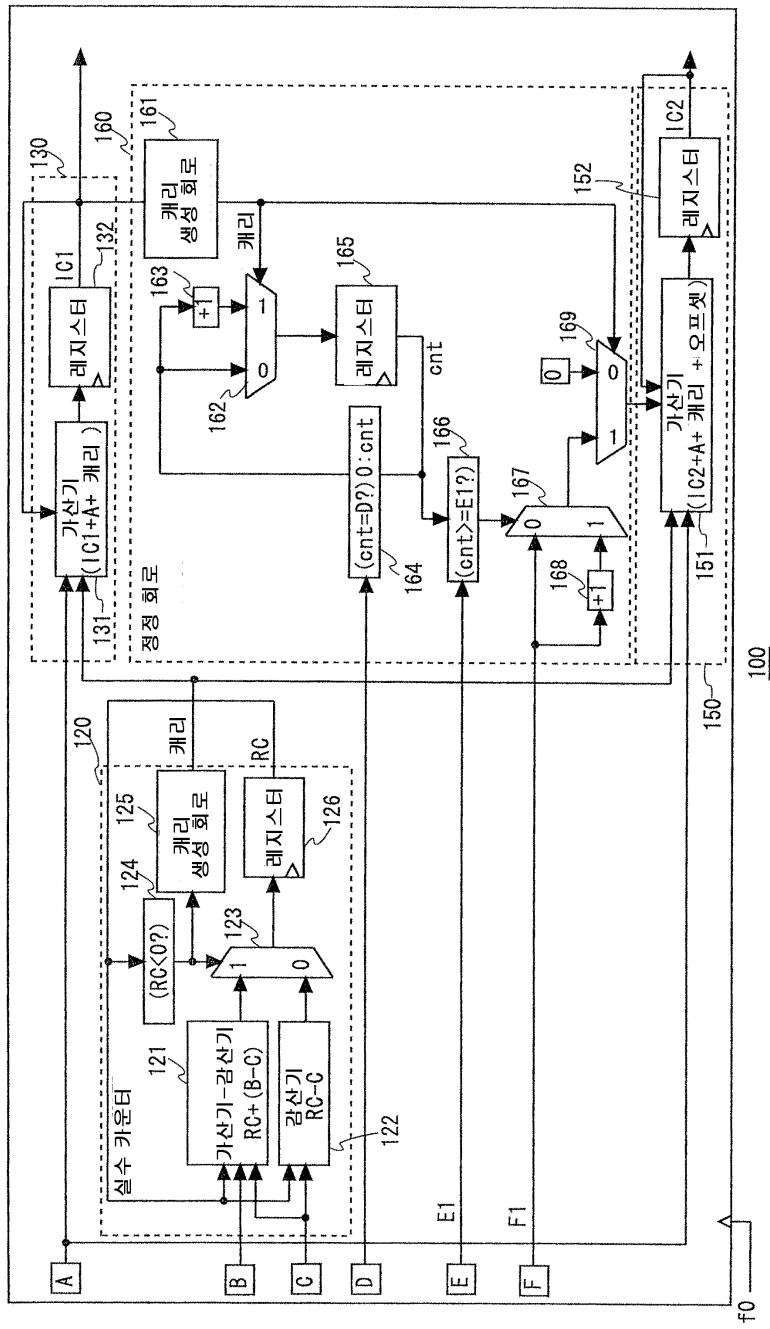


도면5

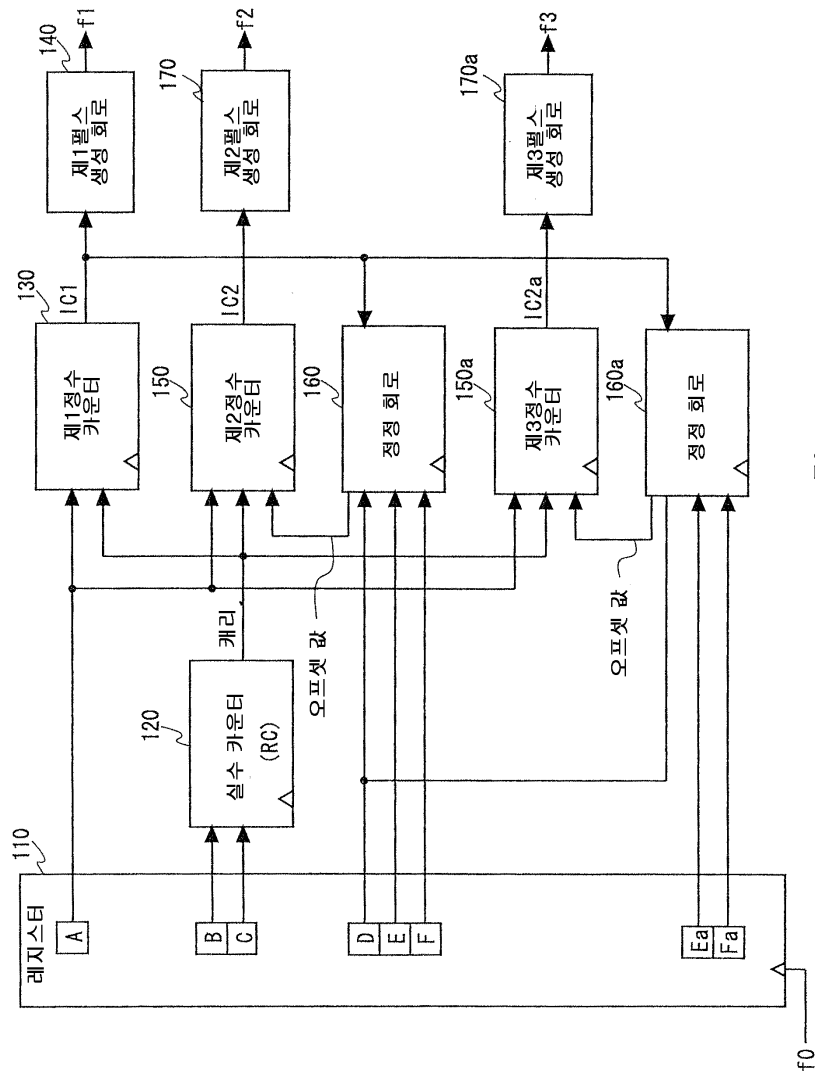
정경회로(160)의 예시적인 동작

cnt	오프셋	가산된 값의 합
0	65	65
1	65	130
2	65	195
3	65	260
:	:	:
462	65	30095
463	65	30160
464	<b>66</b>	30226
465	<b>66</b>	30292
466	<b>66</b>	30358
:	:	:
996	<b>66</b>	65338
997	<b>66</b>	65404
998	<b>66</b>	65470
999	<b>66</b>	65536

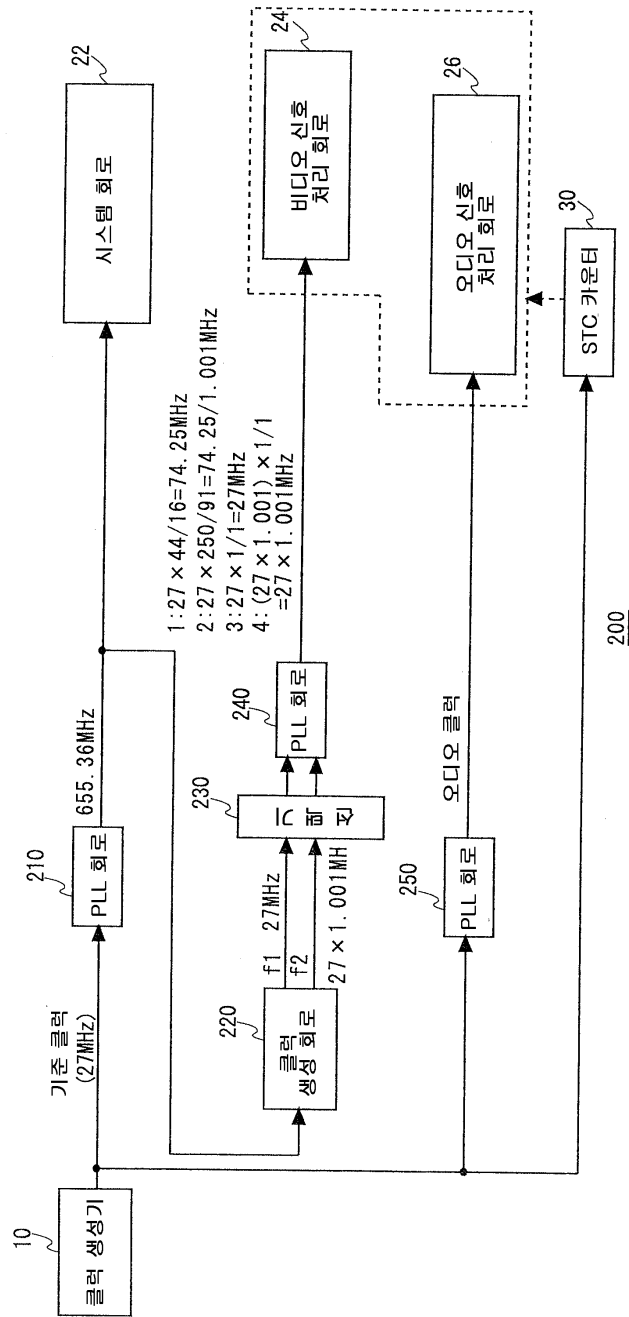
도면6



도면7



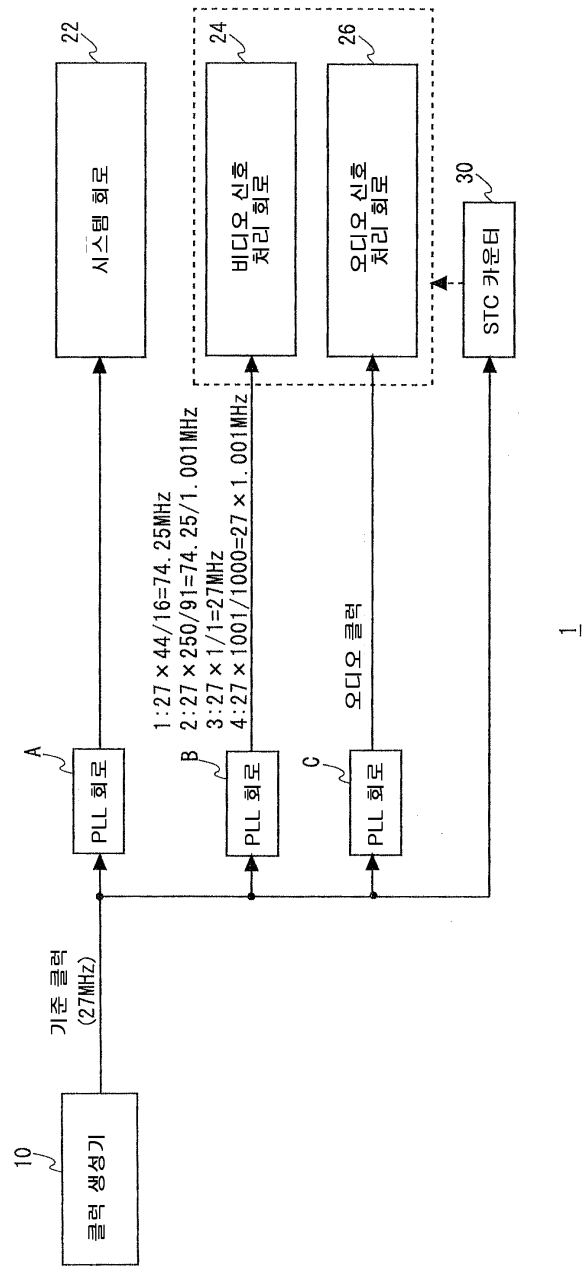
도면8



ATSC 시스템의 예									
해상도(유호 픽셀의 수)		화면 비율	스캔모드	프레임 레이트(Hz)	1라인에서의 픽셀의 총 수	스캐라인의 총 수	도트클럭 (MHz)		
수직	수평								
1080	1920	16:9	프로그램시브	29.97	2200	1125	74.25/1.001		
				30			74.25		
			인터레이스	59.94*			74.25/1.001		
720	1280	16:9	프로그램시브	59.94*	1650	750	74.25/1.001		
				60			74.25		
480	640	4:3	프로그램시브	59.94*	858	525	27		
				60			27 × 1.001		
			인터레이스	59.94*			13.5		
		60	13.5 × 1.001						
		59.94*	27						
		60	27 × 1.001						
704	16:9/4:3	16:9/4:3	프로그램시브	59.94*			27 × 1.001		
			인터레이스	60			13.5		

\* 프레임 레이트 59.94는 60/1.001=59.9405994 를 나타냄

도면10

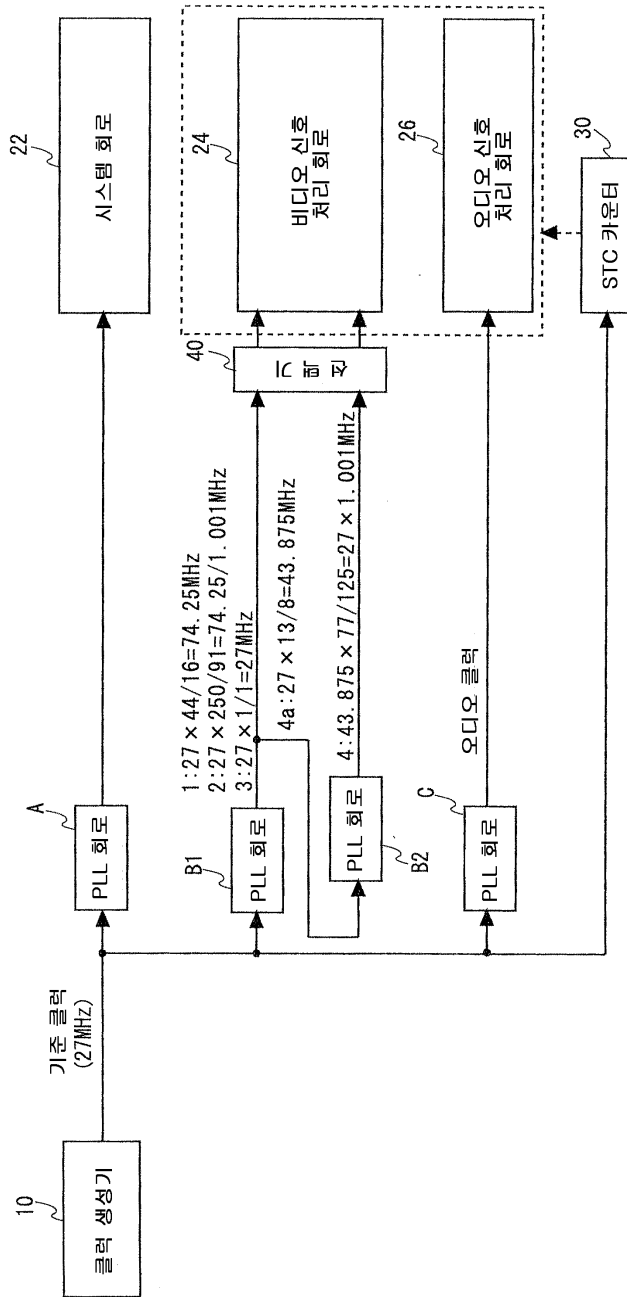


1

도면11

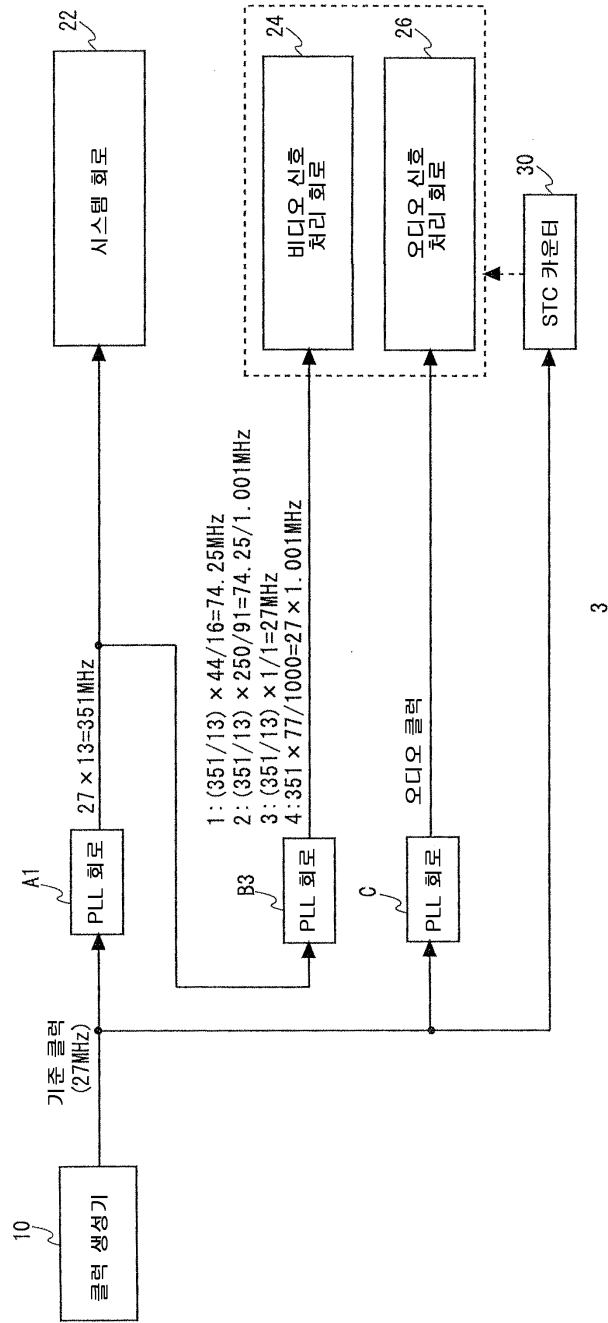
	입력 주파수 (MHz)	주파수 승산 횟수	주파수 제산 횟수	출력 주파수 (MHz)
1	27	44	16	74.25
2	27	250	91	74.25/1.001
3	27	2	2	27
4	27	1001	1000	27 × 1.001

도면12



2

도면13



도면14

