

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010年6月3日(03.06.2010)



PCT



(10) 国際公開番号

WO 2010/061760 A1

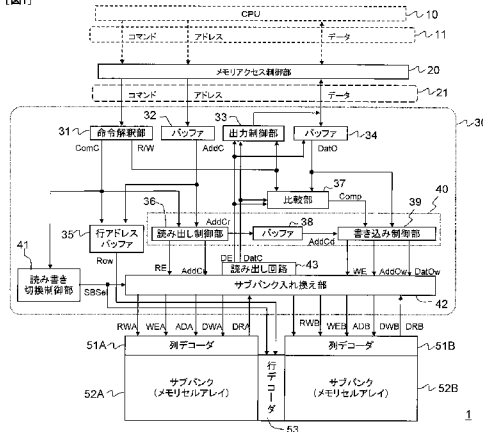
- (51) 国際特許分類:
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2009/069545
- (22) 国際出願日: 2009年11月18日(18.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-301635 2008年11月26日(26.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 石川 裕
(ISHIKAWA Yutaka) [JP/—]. 石原 数也 (ISHI-
HARA Kazuya) [JP/—]. 太田 佳似 (OHTA Yoshiji)
[JP/—].
- (74) 代理人: 政木 良文 (MASAKI Yoshifumi); 〒
5410042 大阪府大阪市中央区今橋 4 丁目 3 番 6 号
淀屋橋 N A Oビル 7 F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DRIVING METHOD THEREOF

(54) 発明の名称: 不揮発性半導体記憶装置及びその駆動方法

[図1]



- 10 CPU
11 COMMAND/ADDRESS/DATA
20 MEMORY ACCESS CONTROL UNIT
21 COMMAND/ADDRESS/DATA
31 COMMAND INTERPRETING UNIT
32 BUFFER
33 OUTPUT CONTROL UNIT
34 BUFFER
35 ROW ADDRESS BUFFER
36 READ CONTROL UNIT
37 COMPARISON UNIT
38 BUFFER
39 WRITE CONTROL UNIT
41 WRITE SWITCH CONTROL UNIT
42 SUB BANK REPLACING UNIT
43 READ CIRCUIT
51A COLUMN DECODER
51B COLUMN DECODER
52A SUB BANK (MEMORY CELL ARRAY)
52B SUB BANK (MEMORY CELL ARRAY)
53 ROW DECODER

(57) Abstract: Provided is a nonvolatile semiconductor memory device that is rewritable in bit units and has extended memory cell life. When command information indicates writing, a comparison unit (37) compares existing write data in a target memory cell with target write data, and then transmits the comparison result to a read/write control unit (40). The read/write control unit (40) does not provide a command for writing data into the target memory cell to decoder units (51A, 51B, 53) when the comparison result indicates that the data are the same, but provides a command for writing the write target data into the target memory cell to the decoder units when the comparison result indicates that the data are different.

(57) 要約: ビット単位での書き換えを可能にしながらも、メモリセル寿命の延命化が可能な不揮発性半導体記憶装置を提供する。コマンド情報が書き込みを示す場合において、比較部 37 が、対象メモリセルに書き込まれている既書き込みデータと書き込み対象データとを比較して比較結果を書き込み/読み出し制御部 40 に与え、比較結果が同一の場合には、前記書き込み/読み出し制御部 40 がデコーダ部 (51A, 51B, 53) に対して前記対象メモリセルへの書き込み指示を与えず、前記比較結果が異なる場合には、前記書き込み/読み出し制御部 40 が前記デコーダ部に対して対象メモリセルに前記書き込み対象データを書き込む指示を与える。



GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称： 不揮発性半導体記憶装置及びその駆動方法

技術分野

[0001] 本発明は、不揮発性半導体記憶装置及びその駆動方法に関し、特に、書き換え回数に制限のある不揮発性半導体記憶装置及びその駆動方法に関するものである。

背景技術

[0002] 近年、ポストフラッシュメモリというべき不揮発性メモリとして、電圧パルスを印加することによって可逆的に電気抵抗が変化する可変抵抗素子を用いた抵抗性不揮発性メモリ RRAM (Resistive Random Access Memory ; RRAMは本出願人であるシャープ株式会社の登録商標) が実用化されつつある。

[0003] 図 1 5 にこの RRAM の概略構造図を示す。図 1 5 に示される RRAM 100 は、第 2 電極となる下部電極 103 と可変抵抗体 102 と、第 1 電極となる上部電極 101 とが順に積層された極めて単純な構造となっている。可変抵抗体 102 としては、例えば、遷移金属の酸化物である酸化チタン (TiO_2) 膜、ニッケル酸化 (NiO) 膜、酸化亜鉛 (ZnO) 膜、酸化ニオブ (Nb_2O_5) 膜が利用可能である (下記特許文献 1、非特許文献 1 参照)。そして、この RRAM 100 は、上部電極 101 及び下部電極 103 間に電圧パルスを印加することにより、可変抵抗体 102 の抵抗値を可逆的に変化させることができる。そして、この可逆的な抵抗変化動作における抵抗値を読み出すことによって、抵抗性不揮発性メモリが実現できるという構成である。

[0004] RRAM における書き込み (消去) 特性は、フラッシュメモリのそれとは大きく異なる。例えばバイポーラスイッチングといわれるモードでは、抵抗増加、抵抗減少の 2 つの抵抗変化が共に、1.5 V から 3 V の低電圧の電圧印加により数 10 ナノ秒で実現できる。これによって、情報「1」の書き込

み（消去動作）と、情報「0」の書き込み（書き込み動作）を同時に行うこと、すなわちデータの上書きが可能となり、高速でビット単位の書き換え動作が実現できる。このRRAMは、DRAM（Dynamic Random Access Memory）と同等の読み書き速度が実現できると目されている。

[0005] 従来のDRAMは、スイッチングMISFETと該スイッチングMISFETに直列に接続されたキャパシタにより構成されるメモリセルを有し、該キャパシタに電荷を蓄積することにより情報の記憶を行うものである。このため、キャパシタに電荷を蓄積することで情報を記憶するという特性上、書き換え回数にはほぼ制限がないという長所を有する。

[0006] 一方、RRAMの場合、可変抵抗体の抵抗値を変化させることで、情報の書き換えを行う構成である。そして、この可変抵抗体の抵抗値の変化は、可変抵抗体を構成する金属酸化物中の酸素の挙動が抵抗変化に大きく寄与していると考えられている。すなわち、金属酸化物中に酸素欠損が生じると金属酸化物の抵抗が低抵抗化し、逆に、この酸素欠損が再び酸素で埋められることによって、高抵抗化すると考えられている。そして、具体的には、この酸素欠損の発生は、高抵抗状態の素子に高電界が加わることによって電界印加方向に酸素イオン（ O^{2-} ）が移動し、この酸素イオンの移動によって酸素イオンが抜けた箇所において酸素欠損が発生し、この酸素欠損によって発生する局在順位間でキャリアが伝導していくホッピング伝導により電気抵抗が低くなると考えられている。また、低抵抗化した素子の高抵抗化については、低抵抗部に電流が流れることによってジュール熱で加熱され、ある閾値電流以上になると酸素欠損部が再び酸素で埋められ、再び高抵抗化すると考えられている。

[0007] 従って、RRAMにおける情報の書き込みは、金属酸化物中の酸素イオンが移動するという物理的な変化に伴う抵抗変化によるものであるため、電荷の蓄積、移動によって情報が書き込まれるDRAMに比べ、情報記憶部（すなわち可変抵抗体）が受ける物理的なダメージが大きい。すなわち、RRAMにおいて繰り返し書き換え動作が行われる（抵抗変化させる）ことで、酸

素欠損の発生や酸素の再結合ができないメモリセルが発生することとなる。
このようなメモリセルの場合、書き換えのために電圧を印加しても抵抗状態を変化させることができず、このことは情報の書き換えが正確に実行できないことを意味する。

[0008] つまり、RRAMの場合、DRAMと比べて、書き換え回数には限りがあるという問題がある。これを受け、RRAMにおいては、同一のメモリセルに対する書き換え回数を抑制し、各メモリセルの寿命を延ばすための方法が必要とされている。

[0009] 従来、不揮発性メモリの寿命を延ばす方法としては、メモリチップ内でメモリセルの使用回数を平均化するウェアレベリング法が用いられてきた。この方法は、書き換え回数や書き換え順序をブロック単位で管理することで、寿命を延ばすというものである。

[0010] 例えば、下記特許文献2には、ブロックに消去回数カウンタを設け、消去回数カウンタの値が小さいブロックから優先的に利用し、全てのブロックの消去回数を平均化することにより不揮発性メモリの寿命を延ばす方法が記載されている。また、下記特許文献3には、論理アドレスを物理アドレスに変換するテーブルの物理アドレス値を空き物理アドレス値が書き込んであるFILO (First in Least Out) から読み出した空き物理アドレス値と交換し、データの書き換えが行われる物理アドレスが偏ったものにならないようにすることで不揮発性メモリの寿命を延ばす方法が記載されている。

先行技術文献

特許文献

[0011] 特許文献1：特表2002-537627号公報

特許文献2：特開平9-97218号公報

特許文献3：特開2001-67258号公報

非特許文献

[0012] 非特許文献1：H. Pagniaほか、“Bistable Switching in Electroformed Metal-Insulator-Metal Devices”, Phys. Stat. Sol. (a), vol. 108, pp. 11-65, 1988年

発明の概要

発明が解決しようとする課題

- [0013] 上述したように、従来、書き換え回数が限られているメモリの寿命延命方法としては、ウェアレベリング法が用いられてきた。しかしながら、このウェアレベリング法を用いるに際しては、書き換え回数を管理することが必要となる。
- [0014] フラッシュメモリのように、元来（ある程度大きな容量である）ブロック単位で書き換えを行うデバイスの場合には、ブロック単位での書き換え回数の管理も容易であり、ウェアレベリングも非常に有効な寿命延命方法として機能する。しかしながら、ＲＲＡＭのようにビット単位で自由に書き換えが可能な不揮発性メモリにおいて同様の手法を取った場合には、そのビット単位で書き換えが可能であるという特長が生かせないという問題が生じる。
- [0015] フラッシュメモリの場合、書き換えを行うに際しては、ブロック単位で消去を行った後、書き込みを行う構成である。すなわち、劣化原因となる書き換えに際しても、その書き換え回数をブロック毎に管理することで足りる。しかし、ＲＲＡＭのようにビット単位で自由に書き換えが可能なメモリの場合、その特性を生かそうとすれば、ビット単位（もしくはワード等の一括でアクセスする単位）で書き換え回数の管理を行う必要が生じる。この結果、書き換え回数を記録するだけで膨大な容量を費やしてしまうことになる。また、フラッシュメモリと同様にブロック単位でまとめて管理した場合には、実際のメモリセルの書き換え回数とブロック全体としての書き換え回数に不整合が発生してしまうことになる。
- [0016] 本発明は、上記の問題点に鑑み、書き換え回数の管理を行うことなく、メモリセル寿命の延命化が可能な不揮発性半導体記憶装置を提供することを目的とする。

課題を解決するための手段

- [0017] 上記目的を達成するための本発明に係る不揮発性半導体記憶装置は、不揮発性のメモリセルの複数をマトリクス状に配列し、同一行の前記メモリセル

の第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセルアレイと、指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、前記書き込み／読み出し制御部からの指示に基づいて前記ビット線及び前記ワード線に電圧を印加することで、前記対象メモリセルに書き込み電圧または読み出し電圧を印加するデコーダ部と、前記読み出し電圧の印加された前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、入力される複数のデータの比較を行う比較部と、を備えてなり、前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された書き込み対象データの書き込みを行う際、前記デコーダ部が、前記第1サブバンク内の第1対象メモリセルに対して読み出し電圧を印加する第1動作と、前記第2サブバンク内の第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの前記比較部による比較結果が異なる場合にのみ前記第2対象メモリセルに対して書き込み電圧を印加する第2動作と、を同一時間帯に実行することを特徴とする。

[0018] 本発明に係る不揮発性半導体記憶装置の上記特徴によれば、書き込み処理時において、実際に書き込み処理が行われる前に、比較部によって、書き込み先アドレスに対応する選択メモリセルに既に書き込まれている既書き込みデータと書き込み対象データとの比較処理が実行される。そして、比較結果が異なる場合にのみ、同メモリセルに対して書き込み対象データを書き込むための書き込み電圧が印加され、比較結果が同一の場合には書き込み電圧が印加されない。

[0019] 従来のウェアレベリング法は、メモリセルの使用回数を平均することにより、メモリチップ全体としての寿命延命を図る方法であるため、同一データを上書きする場合にもメモリセルへの上書きは行われてしまい、この結果メモリセルの劣化進行が避けられない。しかし、本発明構成によれば、この従

来方法と比較して、同一メモリセルに対して実際に書き込み用電圧が印加されて書き込み処理が行われる回数が減少する。これにより、各メモリセルを延命させることができる。

[0020] そして、単純に書き込み処理時において、書き込み先アドレスに対応する選択メモリセルの既書き込みデータと書き込み対象データの比較を行うことのみでメモリセルの延命措置が可能となる。すなわち、従来のように、書き込み回数や書き込み順序を管理する必要がない。このため、例えば、ビット単位で書き込み（書き換え）が可能なR R A Mに対しても容易に適用することができる。

[0021] さらに、上記特徴によれば、一のサブバンクに対して既書き込みデータと書き込み対象データの比較を行っている間に、他のサブバンクに対して書き込み用電圧を印加して書き込み処理を行うことができる。このため、書き込み処理においてタイムラグが発生するということがない。すなわち、従来方法から書き込み処理に要する時間を長くすることなく、各サブバンク内のメモリセルを延命させることができる。

[0022] なお、上記特徴において、一のサブバンク（第1サブバンク）に偶数アドレスを割り当て、他のサブバンク（第2サブバンク）に奇数アドレスを割り当てるものとすることができる。このようにした場合、連続するアドレスがサブバンク間で交互に割り当てられることとなる。従って、バースト書き込みを行う場合、一のサブバンク内の書き込み先アドレスに対応するメモリセルに対して書き込み対象データを書き込む時間内に、他のサブバンク内に存在する前記書き込み先アドレスの次のアドレスに対応するメモリセルの既書き込みデータの読み出しを行うことができる。

[0023] また、本発明に係る不揮発性半導体記憶装置は、上記特徴に加えて、前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、前記デコーダ部は、前記第1動作と前記第2動作で構成された動作ステップを、前記第1対象メモリセル及び前記第2対象メモリセルを変化させ

ながら複数回実行する構成であり、前記各動作ステップにおける前記第2対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第1対象メモリセルであることを特徴とする。

[0024] このような構成とするとき、第2動作の実行対象である第2対象メモリセルは、それ以前に行われた動作ステップ内において第1対象メモリセルとして既書き込みデータが読み出されているため、第2動作において、改めて第2対象メモリセルの既書き込みデータを読み出すことなく、書き込み対象データが既書き込みデータと異なる場合にのみ書き込むことができる。

[0025] また、本発明に係る不揮発性半導体記憶装置は、上記特徴に加えて、前記デコーダ部は、前記第1サブバンク及び前記第2サブバンクに共通して設けられると共に、前記第1サブバンク及び前記第2サブバンク夫々の対応する前記ワード線に同時に電圧を印加する行デコーダと、前記第1サブバンクの前記ビット線に電圧を印加する第1列デコーダと、前記第2サブバンクの前記ビット線に電圧を印加する第2列デコーダと、を備え、前記第1動作は、前記行デコーダが前記第1対象メモリセルに接続された前記ワード線に電圧を印加した状態で、前記第1列デコーダが前記第1対象メモリセルに接続されたビット線に読み出し電圧を印加する動作であり、前記第2動作は、前記第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ、前記第2列デコーダが前記第1対象メモリセルと同一行に位置する前記第2対象メモリセルに接続されたビット線に書き込み電圧を印加する動作であることを特徴とする。

[0026] また、上記特徴に加えて、本発明に係る不揮発性半導体記憶装置は、前記メモリセルアレイが、前記第1サブバンク及び前記第2サブバンクからなるメモリユニットを複数備えて構成され、前記デコーダ部が、前記各メモリユニット毎に設けられ、複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、前記対象メモリセルが存在する前記メモリユニット

に備えられた前記各デコーダ部それぞれが、前記第 1 動作と前記第 2 動作とを同一時間帯に実行することを特徴とする。

[0027] このように構成することで、多ビット構成の書き込み対象データの書き込み時においても、書き込みに要する時間の増大や、必要な管理量の増大を招くことなく、各メモリセルへの書き込み回数を減少させることができ、メモリセルの延命を図ることができる。

[0028] なお、本発明に係る不揮発性半導体記憶装置は、上記いずれかの特徴に加えて、前記メモリセルが、印加電圧に応じて抵抗値を可逆的に変化させる可変抵抗素子で構成されており、当該可変抵抗素子の抵抗値に応じて情報を記憶する構成であることを特徴とする。

[0029] また、本発明に係る不揮発性半導体記憶装置の駆動方法は、前記不揮発性半導体記憶装置が、不揮発性のメモリセルの複数をマトリクス状に配列し、同一行の前記メモリセルの第 1 端子を共通のワード線に接続し、同一列の前記メモリセルの第 2 端子を共通のビット線に接続してなる第 1 サブバンク、及び、前記第 1 サブバンクと同じ構成の第 2 サブバンクを備えてなるメモリセルアレイを備えており、前記第 1 サブバンク内及び前記第 2 サブバンク内に位置する複数の対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、前記第 1 サブバンク内の第 1 対象メモリセルに対して読み出し電圧を印加する第 1 動作と、前記第 2 サブバンク内の第 2 対象メモリセルの前記既書き込みデータと当該第 2 対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ前記第 2 対象メモリセルに対して書き込み電圧を印加する第 2 動作と、を同一時間帯に実行することを特徴とする。

[0030] また、本発明に係る不揮発性半導体記憶装置の駆動方法は、上記特徴に加えて、前記第 1 サブバンク内及び前記第 2 サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、前記第 1 動作と前記第 2 動作で構成された動作ステップを、前記第 1 対象メモリセル及び前記第 2 対象メモリセルを変化させながら複

数回実行し、前記各動作ステップにおける前記第2対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第1対象メモリセルであることを特徴とする。

[0031] また、本発明に係る不揮発性半導体記憶装置の駆動方法は、上記特徴に加えて、前記メモリセルアレイが、前記第1サブバンク及び前記第2サブバンクからなるメモリユニットを複数備えて構成され、複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、前記対象メモリセルが存在する前記メモリユニットのそれぞれにおいて、前記第1動作と前記第2動作とを同一時間帯に実行することを特徴とする。

[0032] また、本発明に係る不揮発性半導体記憶装置は、電気抵抗の変化により情報を記憶する可変抵抗素子を有するメモリセルを行方向及び列方向にそれぞれ複数配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなるメモリセルアレイを備えた不揮発性半導体記憶装置であって、指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、前記書き込み／読み出し制御部からの指示に基づいて前記ビット線及び前記ワード線に電圧を印加することで、前記対象メモリセルに書き込み電圧または読み出し電圧を印加するデコーダ部と、前記読み出し電圧の印加された前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、入力される複数のデータの比較を行う比較部と、を備えてなり、前記対象メモリセルに書き込み対象データの書き込みを行う際、前記デコーダ部は、前記書き込み／読み出し制御部からの指示に基づき前記対象メモリセルに読み出し電圧を印加し、前記比較部は、前記書き込み対象データと前記読み出し回路によって読み出された前記既書き込みデータとを比較して比較結果を前記書き込み／読み出し制御部に与え、前記書き込み／読み出し制御部は、前記比較結果が異なる場合にのみ、前記デコーダ部に対し、前記対象メモリセルに前記書き込み対象データを書き込

む指示を与えることを特徴とする。

[0033] 本発明に係る不揮発性半導体記憶装置の上記特徴によれば、書き込み処理時において、実際に書き込み処理が行われる前に、比較部によって、書き込み先アドレスに対応する選択メモリセルに既に書き込まれている既書き込みデータと書き込み対象データとの比較処理が実行される。そして、比較結果が異なる場合にのみ、同メモリセルに対して書き込み対象データを書き込むための書き込み電圧が印加され、比較結果が同一の場合には書き込み電圧が印加されない。

[0034] 従来のウェアレベリング法は、メモリセルの使用回数を平均することにより、メモリチップ全体としての寿命延命を図る方法であるため、同一データを上書きする場合にもメモリセルへの上書きは行われてしまい、この結果メモリセルの劣化進行が避けられない。しかし、本発明構成によれば、この従来方法と比較して、同一メモリセルに対して実際に書き込み用電圧が印加されて書き込み処理が行われる回数が減少する。これにより、各メモリセルを延命させることができる。

[0035] そして、単純に書き込み処理時において、書き込み先アドレスに対応する選択メモリセルの既書き込みデータと書き込み対象データの比較を行うことのみでメモリセルの延命措置が可能となる。すなわち、従来のように、書き込み回数や書き込み順序を管理する必要がないため、ビット単位で書き込み（書き換え）が可能なRRAMに適用することができる。

[0036] また、本発明に係る不揮発性半導体記憶装置の駆動方法は、電気抵抗の変化により情報を記憶する可変抵抗素子を有するメモリセルを行方向及び列方向にそれぞれ複数配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなるメモリセルアレイを備えた不揮発性半導体記憶装置の駆動方法であって、指定アドレスに対応する対象メモリセルに対して書き込み対象データの書き込み動作を行うに際し、まず、前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行い、次に、前記既書き込みデータと前記

書き込み対象データの比較を行い、比較結果が同一の場合には前記対象メモリセルへの書き込みを行わず、前記比較結果が異なる場合には前記対象メモリセルに前記書き込み対象データの書き込みを行うことを特徴とする。

発明の効果

[0037] 本発明の構成によれば、書き換え回数の管理を行うことなく、メモリセル寿命の延命化が可能な不揮発性半導体記憶装置を実現することができる。

図面の簡単な説明

[0038] [図1] 第1実施形態の不揮発性半導体記憶装置の概念的構造を示すブロック図
[図2] 第1実施形態の不揮発性半導体記憶装置の別の概念的構造を示すブロック図

[図3] サブバンクの一構成例を示す回路図

[図4] 第1実施形態の不揮発性半導体記憶装置に対してバースト書き込みが行われる場合のタイミングチャート

[図5] 第1実施形態の不揮発性半導体記憶装置に対してバースト読み出しが行われる場合のタイミングチャート

[図6] メモリセルの一構成例を示す概略図

[図7] 第2実施形態の不揮発性半導体記憶装置に対してバースト書き込みが行われる場合のタイミングチャート

[図8] 第2実施形態の不揮発性半導体記憶装置に対してバースト読み出しが行われる場合のタイミングチャート

[図9] 第3実施形態の不揮発性半導体記憶装置の概念的構造を示すブロック図

[図10] 第3実施形態の不揮発性半導体記憶装置の別の概念的構造を示すブロック図

[図11] 第3実施形態の不揮発性半導体記憶装置に対して書き込みが行われる場合のタイミングチャート

[図12] 第3実施形態の不揮発性半導体記憶装置に対して読み出しが行われる場合のタイミングチャート

[図13] 第3実施形態の不揮発性半導体記憶装置の別の概念的構造を示すブロ

ック図

[図14] 第3実施形態の不揮発性半導体記憶装置の書き込み処理をソフトウェアによって実現する場合の処理手順を示すフローチャート

[図15] R R A Mの概略構造図

発明を実施するための形態

[0039] 本発明に係る不揮発性半導体記憶装置及びその駆動方法の各実施形態について図面を参照して説明する。

[0040] 本実施形態では、メモリセルがR R A M素子を備える構成であるものとして説明する。背景技術の項でも前述したように、R R A M素子は、電圧の印加によって抵抗値（または抵抗特性）を可逆的に変化させることで情報の記憶を行う構成である。従って、書き込み動作と消去動作は、変化後の各抵抗値がそれぞれ異なるという点を除けば動作原理は同一である。より具体的に言えば、ある第1抵抗値（第1抵抗特性）に変化させるために電圧条件を設定して電圧を印加することが「書き込み動作」であり、別の第2抵抗値（第2抵抗特性）に変化させるために電圧条件を設定して電圧を印加することが「消去動作」である。つまり、消去動作と書き込み動作とは電圧条件が異なることを除けば、実際にメモリセルに対して行われる動作は同一であると言える。このため、以下では、「消去動作」は「書き込み動作」の一態様であると考え、特に断りのない限り「書き込み動作」と「消去動作」とを文言上区別しないものとする。

[0041] これに対し、「読み出し動作」は、R R A M素子の抵抗値（または抵抗特性）を変化させることなく、単に現時点におけるR R A M素子の抵抗値（または抵抗特性）を読み出す動作であるところ、抵抗値（または抵抗特性）を変化させる動作である書き込み動作とはその動作内容を異にする。このため、「読み出し動作」は「書き込み動作」と区別して表現する。

[0042] [第1実施形態]

本発明の第1実施形態（以下、適宜「本実施形態」という）につき、図1～図6の各図を参照して説明を行う。

[0043] 図1は、本実施形態における不揮発性半導体記憶装置の概念的構造を示すブロック図である。図1に示す不揮発性半導体記憶装置1は、メモリアクセス制御部20、メモリ制御部30、デコーダ部（行デコーダ53、列デコーダ51A、51B）、メモリセルアレイ（52A、52B）を備える。本実施形態では、一つのメモリ制御部30に対して2つのサブバンク52A、52Bを備え、各サブバンクは、列デコーダ（51A、51B）を個別に備える一方、行デコーダ（53）は共有している。

[0044] なお、図1におけるデコーダ部（行デコーダ53、列デコーダ51A、51B）及びサブバンク52A、52B（メモリユニット）は、説明の都合上、1アドレスに対し1ビットのデータを持つ形態を想定した図示となっている。多ビットのデータを扱う場合には、これらは図2に示されるような構成を取る。言い換えれば、図2にされる複数の各メモリユニットや各デコーダ部を、まとめて一つに図示したのが図1の構成である。

[0045] 以下では、まず説明の簡単のために、1アドレスに1ビットのデータを持つ形態を想定して説明を行う。その後、図2を参照しながら1アドレスに対し多ビット（ j ビット）（ j は2以上の自然数）のデータを持つ形態を取り扱う場合について説明する。

[0046] 再び図1に戻って説明を行う。メモリ制御部30は、命令解釈部31、バッファ32、出力制御部33、バッファ34、行アドレスバッファ35、比較部37、書き込み／読み出し制御部40（読み出し制御部36、バッファ38、書き込み制御部39）、読み書き切換制御部41、サブバンク入れ換え部42、及び読み出し回路43を備える。

[0047] なお、メモリアクセス制御部20は、CPU10との間で信号の授受可能な構成である。CPU10は、中央演算装置（Central Processing Unit）であり、コマンド、アドレス、並びにデータを送ることが可能なバス（CPUバス11）を介してメモリアクセス制御部20と接続されている。このCPUバス11は、CPU10、メモリアクセス制御部20以外にも、ネットワーク、ストレージ、グラフィック等の多数のハードウェアモジュール（不図

示)に接続されているものとしても良い。

- [0048] メモリアクセス制御部20は、CPU10から与えられた各情報を認識し、メモリバス21を介して各情報毎にメモリ制御部30内の適切な要素に与える。より具体的には、メモリアクセス制御部20は、コマンド情報を命令解釈部31に与え、アドレス情報をバッファ32に与え、データ（書き込み対象データ）をバッファ34に与える。
- [0049] メモリ制御部30は、メモリアクセス制御部20より与えられる各情報（コマンド、アドレス）を、サブバンク52A、52Bに対するコマンド（書き込み、消去）やアドレス（行／列アドレス）に変換し、列デコーダ51A、51B及び行デコーダ53を制御する。
- [0050] サブバンク52A、52Bはメモリセルアレイであり、列デコーダ51A、51B及び行デコーダ53から、メモリセルアレイ内の各メモリセルに対して所定の電圧が印加されることで、読み出しまたは書き込み（消去）処理が行われる。
- [0051] ここで、各サブバンク52A、52Bは、共に、RRAM素子を有するメモリセルを行方向及び列方向にそれぞれ複数配列して構成される。また、行方向に延伸する複数のワード線、及び列方向に延伸する複数のビット線を備え、同一行に配置された前記メモリセルがそれぞれRRAM素子の一端側を、選択トランジスタを介して同一の前記ワード線に接続し、同一列に配置された前記メモリセルがそれぞれRRAM素子の他端側を同一の前記ビット線に接続する。サブバンク52A、52Bの一例として、各メモリセルがRRAM素子及び同素子に直列に選択トランジスタが接続されて構成される1T1R型構造を図3に示す。
- [0052] 図3は、サブバンク52Bの一構成例を示す回路図であり、各メモリセルが1つの選択トランジスタと1つの可変抵抗素子Rとからなる、いわゆる1T1R構成である。図3において、各メモリセルの選択トランジスタのゲートはワード線(W1～Wn)に接続されており、各ワード線は行デコーダ53と接続される。また、各メモリセルの選択トランジスタのソースはソース

線 S L を介して共通のソース線に接続されている。また、各メモリセル毎の可変抵抗素子 R の一方（上部電極側）はビット線（B 1 ～ B m ）に接続されており、各ビット線は列デコーダ 5 1 B に接続される。n 及び m は自然数である。また、サブバンク 5 2 A も同様の構成である。

[0053] なお、本実施形態では、サブバンク 5 2 A と 5 2 B とは、メモリアドレスがサブバンク間で交互に連続するようにアドレス割り当てがされているものとする。より具体的には、サブバンク 5 2 A には偶数アドレスが割り当てられ、サブバンク 5 2 B には奇数アドレスが割り当てられている。

[0054] 再び図 1 に戻り、命令解釈部 3 1 は、入力されたコマンドを本実施形態に即した形に変換し、読み出し制御部 3 6、読み書き切換制御部 4 1、及び行アドレスバッファ 3 5 に送る。具体的には、書き込み（消去）コマンド「W」が入力された場合には、命令解釈部 3 1 は、読み出し制御部 3 6、及び読み書き切換制御部 4 1 に対して、信号 C o m C によって読み出しコマンド「R」を与えるとともに、信号 R / W をアクティブ（H i g h 状態）にして出力制御部 3 3 及び比較部 3 7 に与える。また、読み出しコマンド「R」が入力された場合には、命令解釈部 3 1 は、読み出し制御部 3 6、及び読み書き切換制御部 4 1 に対して、信号 C o m C によって読み出しコマンド「R」を与える一方、信号 R / W はインアクティブ（L o w 状態）にする。すなわち、命令解釈部 3 1 は、書き込み（消去）コマンド「W」が与えられた場合であっても、読み出しコマンド「R」が与えられた場合であっても、行アドレスバッファ 3 5、読み出し制御部 3 6、及び読み書き切換制御部 4 1 に対して、信号 C o m C によって読み出しコマンド「R」を与える構成である。また、命令解釈部 3 1 には他に「行アドレス指定」コマンド（以下、「A」コマンドという）が入力されることがある。この「A」コマンドはバッファ 3 2 に行アドレス値が入力される時にメモリアクセス制御部 2 0 から入力されるものである。これが入力された時は、命令解釈部 3 1 は行アドレスバッファ 3 5 に対して、信号 C o m C によって「A」コマンドを与える。

[0055] バッファ 3 2 は F I F O（First In First Out）バッファであり、入力され

たアドレス情報を一時的に格納する。そして、命令解釈部 31 が信号 Com C を出力するのに同期して、行アドレスバッファ 35 及び読み出し制御部 36 に対してアドレス情報を示す信号 Add C を出力する。なお、このバッファ 32 は、必ずしも F I F O である必要はなく、1 アドレス分のバッファとして、コマンドが入力された時にのみアドレス値を取り込むようにしても良い。

[0056] なお、命令解釈部 31 がコマンドを出力するタイミングと同期させるべく、命令解釈部 31 とバッファ 32 とが信号線（不図示）で接続されており、命令解釈部 31 がコマンドを出力すると、当該信号線がアクティブになる構成としても良い。この場合、当該信号線の立ち上がり起因して、バッファ 32 はアドレス情報を示す信号 Add C を出力すれば良い。

[0057] バッファ 34 は、バッファ 32 と同様に F I F O バッファである。本実施形態では、後述するように、書き込みコマンドが入力されてから、実際にサブバンク 52 A, 52 B への書き込みが行われるまでに（一定の）時間を要する。バッファ 34 は、書き込みコマンドが入力されてから、実際にサブバンク 52 A, 52 B への書き込みが行われるまでに要する時間にわたって、書き込み対象データを保持する機能を表す。バッファ 34 によって書き込み対象データが一定期間保持された後、バッファ 34 から信号 Dat O として比較部 37 及び書き込み制御部 39 に出力される。

[0058] 読み出し制御部 36 は、信号 Com C によって命令解釈部 31 から与えられるコマンドが「R」である場合に、信号 Add C によってバッファ 32 から指定されたアドレスに基づき、データの読み出しアドレス Add C r を演算してサブバンク入れ換え部 42 に出力する。メモリアクセスの設定が、バースト（複数のアドレスに連続してデータを読み書きする）になっている場合には、前記バッファ 32 から指定された一のアドレスに対し、設定されたバースト長（連続してデータを読み書きする回数）分のアドレスを順次計算して出力を行う。なお、前記バースト長は、本メモリと接続された CPU 10 等のホストにより本メモリに対して設定される値である。また、このバー

スト長を設定する方法については、どのような方法を用いても良く、本件発明の主旨と外れるためその説明を割愛する。

[0059] 読み出し制御部 36 は、また、サブバンク入れ換え部 42 に対して有効なアドレス値を出力している間には「H i g h」、そうでない場合には「L o w」となる信号 R E をサブバンク入れ換え部 42 に与える。

[0060] 比較部 37 は、命令解釈部 31 から前記 R/W 信号を受け、これがアクティブであった場合に、バッファ 34 から与えられる D a t O と読み出し回路 43 から与えられる D a t C の比較を行い、その結果 C o m p を書き込み制御部 39 に与える。後述するように D a t C 及び D a t O が多ビットであった場合には、比較はビット単位で行い、ビット単位での一致／不一致を書き込み制御部 39 に与える。つまり、データのビット幅が 8 ビットであれば、C o m p のビット幅も 8 ビットになり、データのビット幅が 32 ビットであれば、C o m p のビット幅も 32 ビットになる。R/W 信号がインアクティブであった場合には何もしない。

[0061] 読み書き切換制御部 41 は、信号 C o m C によって命令解釈部 31 から与えられるコマンド「R」を受けると、サブバンク 52 A とサブバンク 52 B の読み出しと書き込みを切り換えるための信号 S B S e l を生成し、サブバンク入れ換え部 42 と行デコーダ 53 に供給する。前述したように、本実施形態においては、サブバンク 52 A には偶数アドレスが割り当てられており、サブバンク 52 B には奇数アドレスが割り当てられている。つまり、連続するアドレスが、サブバンク 52 A、52 B 間で交互に割り当てられている。

[0062] ここで、前記信号 S B S e l は、サブバンク 52 A から読み出しを行う際には信号レベルを「L o w」とし、サブバンク 52 B から読み出しを行う際には信号レベルを「H i g h」とする。つまり、前記信号 S B S e l が「L o w」である場合、読み出し対象となるサブバンク 52 A に対し読み出し処理を行い、前記サブバンク 52 A とは別のサブバンク 52 B に対して書き込み処理を行う。逆に、前記信号 S B S e l が「H i g h」である場合、読み

出し対象となるサブバンク 5 2 B に対し読み出し処理を行い、前記サブバンク 5 2 B とは異なるサブバンク 5 2 A に対して書き込み処理を行う。

[0063] 行アドレスバッファ 3 5 は、命令解釈部 3 1 から「A」コマンドが与えられると、バッファ 3 2 から与えられるアドレス値を内部に保持する。そして、その直後に、読み出しコマンド「R」または書き込みコマンド「W」を受けると、保持されたアドレス値を信号 R o w として適切なタイミングで行デコーダ 5 3 に出力する。なお、ここでの適切なタイミングとは、前記行アドレスによって示されるサブバンク 5 2 A、5 2 B 中のメモリセルに対するアクセス時刻に間に合うタイミングである。

[0064] バッファ 3 8 は、読み出し制御部 3 6 から出力された信号 A d d C r に示されるアドレス値を、信号 A d d C d として書き込み制御部 3 9 に適切なタイミングで渡すための F I F O バッファである。ここでの適切なタイミングとは、後述する比較部 3 7 が比較結果を信号 C o m p として出力するタイミングと同期したタイミングである。

[0065] 書き込み制御部 3 9 は、比較部 3 7 からの比較結果（信号 C o m p）を受け、サブバンク入れ換え部 4 2 に対して、書き換えが必要なビットに対する書き込み指示（信号 W E、A d d O w、D a t O w）を出力する。信号 D a t O w は、書き込み対象データを示しており、バッファ 3 4 から与えられる D a t O と同様の内容を示すデータである。また、信号 W E は書き込みが必要か否かを示す信号である。また、信号 A d d O w は列アドレス値を示し、バッファ 3 8 から与えられるアドレス値 A d d C d と同様の内容を示す信号であるが、出力タイミングを信号 W E と同期させたものである。

[0066] 出力制御部 3 3 は、読み出し回路 4 3 から読み出されたデータ（信号 D a t C）を、メモリバス 2 1 に出力するか否かを制御する手段である。より具体的には、命令解釈部 3 1 から与えられた信号 R / W がアクティブ（H i g h 状態）である場合には、読み出し回路 4 3 から与えられたデータをメモリバス 2 1 に出力しない。逆に、命令解釈部 3 1 から与えられた信号 R / W がインアクティブ（L o w 状態）である場合には、読み出し回路 4 3 から与え

られたデータをメモリバス21に出力する。言い換えれば、メモリアクセス制御部20から与えられるコマンドが「W」である場合には、読み出し回路43から与えられたデータをメモリバス21に出力せず、コマンドが「R」である場合には、読み出し回路43から与えられたデータをメモリバス21に出力する。なお、読み出し回路43からDataCにデータが出力されたことは、信号DEがアクティブ(High)となることで示される。

[0067] サブバンク入れ換え部42は、サブバンク52A、52Bへの書き込みと読み出しの切り換えを行う。具体的には、サブバンク入れ換え部42は、読み書き切換制御部41から与えられる信号SBSELが「Low」である場合には、サブバンク52Aに読み出しを、サブバンク52Bに書き込みを行う指示を与え、逆に信号SBSELが「High」である場合には、サブバンク52Bに読み出しを、サブバンク52Aに書き込みを行う指示を与える。その際、読み出しは、読み出し制御部36からの信号RE、AddCrに基づいて行われ、書き込みは書き込み制御部39からの信号WE、AddOw、DataOwに基づいて行われる。

[0068] サブバンク入れ換え部42は、読み出し制御部36から与えられる信号REが「High」である場合にのみ読み出し指示を与える。そして、前記のように、読み書き切換制御部41から与えられる信号SBSELの値によって、サブバンク52Aとサブバンク52Bのどちらから読み出しを行うかが決定される。つまり、信号SBSELが「Low」の場合には、列デコーダ51Aに対して読み出し指示を出すことにより、読み出し回路43によってサブバンク52Aに記録されているデータが読み出され、逆に信号SBSELが「High」の場合には、列デコーダ51Bに対して読み出し指示を出すことにより、サブバンク52Bに記録されているデータが読み出される。このとき、読み出し制御部36から与えられる信号AddCrによって指定されたアドレスに対応したメモリセルの読み出しが行われる。

[0069] また、サブバンク入れ換え部42は、書き込み制御部39から与えられる信号WEのうち、「High」であるビットにのみ書き込み指示を与え、当

該ビットに対する書き込み動作が実行される。そして、前記のように、読み書き切換制御部 41 から与えられる信号 $SBSel$ の値によって、サブバンク 52A とサブバンク 52B のどちらに書き込みを行うかが決定される。つまり、信号 $SBSel$ が「Low」の場合には、列デコーダ 51B に対して書き込み指示を出すことにより、サブバンク 52B に対してデータの書き込みが行われ、逆に、信号 $SBSel$ が「High」の場合には、列デコーダ 51A に対して書き込み指示を出すことにより、サブバンク 52A に対してデータの書き込みが行われる。このとき、書き込み制御部 39 から与えられる信号 $AddOw$ によって指定されたアドレスに対応したメモリセルに対して、書き込み制御部 39 から与えられる信号 $DatOw$ によって指定された書き込み対象データが書き込まれる。

[0070] 行デコーダ 53 は、読み書き切換制御部 41 から与えられる信号 $SBSel$ の値によって、サブバンク 52A とサブバンク 52B に対する制御を切り換える。即ち、信号 $SBSel$ が「Low」の場合には、サブバンク 52A に対して読み出し、サブバンク 52B に対して書き込みのための制御を行い、「High」の場合には、サブバンク 52A に対して書き込み、サブバンク 52B に対して読み出しのための制御を行う。

[0071] 以下、図 4 のタイミングチャートを用いて、具体的な書き込み動作の手順を説明する。

[0072] 図 4 は、本実施形態における不揮発性半導体記憶装置（メモリ）へのバースト書き込み処理の手順を示すタイミングチャートである。図 4 では、クロック同期式のメモリで、バースト長が 4 である場合が想定されている。図 4 の上部に記載された $t_1 \sim t_{20}$ の符号は、クロックの立ち上がりの時刻を示している。なお、コマンド入力からサブバンクへの読み書きまでのレイテンシについては設計事項であり、図 4 によって限定される要素ではない。

[0073] メモリ制御部 30 に対し、行アドレス指定コマンド「A」及び行アドレス「R1」が与えられると（時刻 t_2 ）、コマンド「A」を受けた命令解釈部 31 は、適切なタイミング（例えば $t_3 \sim t_4$ 間）で、信号 $ComC$ によっ

て行アドレスバッファ 35 に対してコマンド「A」を送る。行アドレス「R1」は、一旦バッファ 32 に取り込まれた後、信号 ComC としてコマンド「A」が出力されるのと同期して信号 AddC として行アドレスバッファ 35 及び読み出し制御部 36 に対して出力される。行アドレスバッファ 35 は、信号 ComC として入力されたコマンド「A」をトリガとして、信号 AddC として入力された行アドレス「R1」を内部のバッファに保持する。

[0074] 続いて、メモリ制御部 30 に、書き込みコマンド「W」と指定アドレス「C1」が与えられると（時刻 t4）、コマンド「W」を受けた命令解釈部 31 は、適切なタイミング（例えば t5～t6 間）で、読み出し制御部 36、読み書き切換制御部 41 に対して信号 ComC としてコマンド「R」を出力する。また、アドレス「C1」は、一旦バッファ 32 に保持された後、信号 ComC として命令解釈部 31 からコマンド「R」が出力されるのと同期して、信号 AddC として読み出し制御部 36 に出力される。読み出し制御部 36 は、信号 ComC として入力されるコマンド「R」をトリガとして、信号 AddC として入力されるアドレス「C1」を内部のバッファに保持する。また、命令解釈部 31 は、適切なタイミングで信号 R/W を「High」レベルとする。図 4 では、命令解釈部 31 がコマンド「R」を信号 ComC に出力するタイミングをトリガとして、信号 R/W を「High」レベルとしている。

[0075] 読み出し制御部 36 は、コマンド「R」を 1 回受ける毎に、バースト長相当分の連続するアドレス値を信号 AddCr としてサブバンク入れ換え部 42 に対して出力する。ここでは、バースト長を 4 としているので、4 回分の連続するアドレス値が信号 AddCr に読み出し制御部 36 からサブバンク入れ換え部 42 へと出力されることになる。すなわち、読み出し制御部 36 は、前記 t5～t6 間に「R」コマンドを受けた結果として、時刻 t6～t10 間に、読み出し制御部 36 はアドレス「C1」、「C1+1」、「C1+2」、「C1+3」を信号 AddCr として出力するということになる。また、このアドレスを出力している間、読み出し制御部 36 は「High」

レベルの信号REを出力する。

[0076] また、メモリ制御部30は、前記「W」コマンドが入力されると同時に（時刻t4）、書き込み対象データの入力を受け付ける。本実施形態で説明する実施例では、バースト長が4であるので、1つの「W」コマンドに対し4つの書き込み対象データ（D0、D1、D2、D3）が入力される（時刻t4～t7）。入力された書き込み対象データは、時刻t8以後に、比較部37においてサブバンク52Aまたは52Bから読み出された既書き込みデータとの比較が行われるまで、バッファ34で一時的に保持される。

[0077] 図4のタイミングチャートでは、サブバンクへのアクセス開始を時刻t7としているため、この時点で、行アドレスバッファ35が行デコーダ53に対して、行アドレス「R1」を示す信号Rowを供給し、当該行アドレス線をアクティブ化している。もちろん、この時刻t7よりも早いタイミングで当該行アドレス線をアクティブとしても良いが、同様のアクセスが連続する場合には、前記のタイミングがアクセス間隔を短くできて良い。

[0078] 時刻t7以後、読み出し制御部36から与えられた信号RE（読み出しトリガ信号に相当）、及び信号AddCr（読み出し指定アドレス信号に相当）に基づき、サブバンク入れ換え部42は、列デコーダ51A、51Bを介して、サブバンク52A、52Bへの読み出し処理を開始する。サブバンク入れ換え部42は、読み書き切換制御部41から入力される信号SBSeIの値（High/Low）により、読み出し対象サブバンクをサブバンク52A、52Bに振り分ける。このサブバンク入れ換え部42の処理によって、各サブバンク52A、52Bから交互に読み出し処理が行われる。すなわち、信号SBSeIが「Low」の場合は、サブバンク入れ換え部42は列デコーダ51Aに対して読み出し指示を行い、これによって読み出し回路43がサブバンク52Aから既書き込みデータの読み出しを行う。また、信号SBSeIが「High」の場合は、サブバンク入れ換え部42は列デコーダ51Bに対して読み出し指示を行い、これによって読み出し回路43がサブバンク52Bから既書き込みデータの読み出しを行う。

- [0079] 本実施形態では、連続するアドレスが交互にサブバンク 5 2 A とサブバンク 5 2 B に割り当ててられていることになるので、アドレス C 1 並びに C 1 + 2 は同一のサブバンク内に存在し、アドレス C 1 + 1 並びに C 1 + 3 は別の同一のサブバンク内に存在することになる。ここでは、アドレス C 1 並びに C 1 + 2 がサブバンク 5 2 A に存在し、アドレス C 1 + 1 並びに C 1 + 3 がサブバンク 5 2 B 内に存在するものとして説明する。
- [0080] サブバンク入れ換え部 4 2 と列デコーダ 5 1 A との間では、信号 RWA, WEA, ADA, DWA, DRA の各信号の授受が行われる。信号 RWA は読み出しか書き込みかを示す信号であり、信号 ADA は書き込みを行う列アドレスを示す信号であり、信号 DWA は書き込みを行うデータ（書き込み対象データ）を示す信号であり、信号 WEA はデータの書き込みを行うか否かを示す信号である。信号 WEA に関しては、ここで説明しているように、1 アドレスに対しデータが 1 ビットしかないような場合には無くても良いが、後述するように、データが多ビットである場合には、どのビットを書き込むかを示すという役割を担う。これらの 4 信号は、サブバンク入れ換え部 4 2 から列デコーダ 5 1 A に対して出力される。
- [0081] また、信号 DRA は、サブバンク 5 2 A から読み出された既書き込みデータを示す信号であり、列デコーダ 5 1 A からサブバンク入れ換え部 4 2 に対して出力される。なお、この信号 DRA は増幅前の微弱信号であり、その後、読み出し回路 4 3 によって増幅されて、既書き込みデータ Data C として出力される構成である。
- [0082] 列デコーダ 5 1 A は、信号 RWA が「R」である場合、信号 ADA によって指定されたアドレスに格納された既書き込みデータの読み出しを行うための電圧印加を行い、既書き込みデータは信号 DRA としてサブバンク入れ換え部 4 2 に出力される。また、列デコーダ 5 1 A は、信号 RWA が「W」である場合、信号 ADA によって指定されたアドレスに、信号 DWA として入力された書き込み対象データを書き込むべく電圧印加を行う。このとき、書き込みを行うか否かは信号 WEA によって決定される。例えば、信号 DWA

(書き込みデータ)が8ビット幅であった場合、信号WEAが「00000001」という値であれば、信号DWAの最下位ビットのみが書き込みを行うビットであり、残りの7ビットは書き込みを行わないビットということになる。

[0083] サブバンク入れ換え部42と列デコーダ51Bとの間においても、列デコーダ51Aとの間と同様、信号RWB, WEB, ADB, DWB, DRBの各信号の授受が行われる。信号RWBは読み出しか書き込みかを示す信号であり、信号ADBは書き込みを行う列アドレスを示す信号であり、信号DWBは書き込みを行うデータ(書き込み対象データ)を示す信号であり、信号WEBはデータの書き込みを行うか否かを示す信号である。信号WEBについても、信号WEAと同様、ここで説明しているように、1アドレスに対しデータが1ビットしかないような場合には無くても良いが、後述するように、データが多ビットである場合には、どのビットを書き込むかを示すという役割を担う。これらの4信号は、サブバンク入れ換え部42から列デコーダ51Bに対して出力される。なお、信号DRBは、サブバンク52Bから読み出された既書き込みデータを示す信号であり、列デコーダ51Bからサブバンク入れ換え部42に対して出力される。なお、この信号DRBは増幅前の微弱信号であり、その後、読み出し回路43によって増幅されて既書き込みデータDataCとして出力される構成である。

[0084] また、列デコーダ51Aと51Bは、共に同一の機能を持つブロックである。

[0085] サブバンク入れ換え部42は、信号REが「High」である間、読み出し指示を列デコーダ51Aまたは51Bに与える。まず、時刻t7～t8において、信号SBSELが「Low」であることより、列デコーダ51Aに対し、信号AddCrによって指定されたアドレスC1に対応したメモリセルの既書き込みデータの読み出し指示を与える。このとき、行デコーダ53によって指定された行アドレス(信号Rowによって指定された行アドレスR1)がアクティブになっている。そして、時刻t7～t8期間内に、列デ

コーダ51Aは、サブバンク52AからアドレスC1に対応したメモリセルの既書き込みデータを信号DRAとしてサブバンク入れ換え部42に送出する。

[0086] 次に、時刻t8～t9において、信号SBSELが「High」であることより、サブバンク入れ換え部42は、列デコーダ51Bに対し、信号AddCrによって指定されたアドレスC1+1に対応したメモリセルの既書き込みデータの読み出し指示を与える。このとき、行デコーダ53によって指定された行アドレス（信号Rowによって指定された行アドレスR1）がアクティブになっている。そして、時刻t8～t9期間内に、列デコーダ51Bは、サブバンク52BからアドレスC1+1に対応したメモリセルの既書き込みデータを信号DRBとしてサブバンク入れ換え部42に送出する。

[0087] 以下同様の手順によって、時刻t9～t10に列デコーダ51Aはサブバンク52AからアドレスC1+2に対応したメモリセルの既書き込みデータを信号DRAとしてサブバンク入れ換え部42に送出する。また、時刻t10～t11に列デコーダ51Bはサブバンク52BからアドレスC1+3に対応したメモリセルの既書き込みデータを信号DRBとしてサブバンク入れ換え部42に送出する。

[0088] 比較部37は、命令解釈部31から与えられる信号R/Wが「High」である場合に、読み出し回路43から与えられる信号DatCが示す既書き込みデータと、バッファ34から与えられる信号DatOが示す書き込み対象データとの比較を行い、比較結果を信号Compとして書き込み制御部39に出力する。

[0089] 図4では、時刻t8～t12にわたって、サブバンク入れ換え部42によってマージされた読み出しデータ（Q0～Q3）が、読み出し回路43より信号DatCとして比較部37に出力される。なお、信号DatCからデータが出力されている間、信号DEがアクティブ（High）となっている。つまり、この信号DEによって信号DatCからデータが出力されていることを認識できる。また、この信号DEは、バッファ34に入力され、これに

より、信号D a t Cが比較部37に入力されるタイミングと同期して、バッファ34から書き込み対象データD a t Oが比較部37に入力される（t 8～t 12）。信号D Eは比較部37にも入力され、比較部37は、この信号D Eがアクティブである時に、書き込み対象データD a t Oと既書き込みデータD a t Cとの比較演算を行い、比較結果を信号C o m pとして出力する。すなわち、時刻t 8～t 9間には、既書き込みデータ「Q 0」と、書き込み対象データ「D 0」とを比較し、その結果を示すデータ「G 0」を書き込み制御部39に出力する。

[0090] 以下、アドレスを1ずつずらして読み出した既書き込みデータと、対応するアドレスの書き込み対象データとの比較を行う。すなわち、時刻t 9～t 10間には「D 1」と「Q 1」を比較して比較結果を「G 1」とし、時刻t 10～t 11間には「D 2」と「Q 2」を比較して比較結果を「G 2」とし、時刻t 11～t 12間には「D 3」と「Q 3」を比較して比較結果を「G 3」とする。すなわち、比較部37は、時刻t 8～t 12にかけて、既書き込みデータD a t C（Q 0～Q 3）と、書き込み対象データD a t O（D 0～D 3）の比較結果を、信号C o m p（G 0～G 3）として書き込み制御部39に出力する。

[0091] 書き込み制御部39は、比較部37から入力された信号C o m pのデータに基づいてサブバンク入れ換え部42に対してデータの書き込み制御を行う。具体的には、バッファ38に保持されていたアドレスに、バッファ34に保持されていた書き込み対象データのうち、比較部37から指定されたビットを書き込むという指示を出す。このとき、書き込み制御部39は、サブバンク入れ換え部43に対し、信号A d d O wによってアドレスを指定し、信号W Eによって書き込みビットを指定し、信号D a t O wによって書き込み対象データを指定する（時刻t 9～t 13間）。なお、書き込みビットを示す信号W Eは、比較部37から与えられる信号C o m pに基づいて生成され、後述するようにデータが多ビットである場合には、既書き込みデータと書き込み対象データの比較結果が異なるビットのみが書き込みビットとして指

定される。

[0092] サブバンク入れ換え部 42 は、書き込み制御部 39 から前記データ書き込み指示を受けると、列デコーダ 51A, 51B に対して書き込み指示を行う（時刻 $t_{10} \sim t_{14}$ 間）。このとき、一の列デコーダに対して読み出し処理が行われている間には、それとは別の列デコーダに対して書き込み指示を与える。より具体的には、例えば、時刻 $t_{10} \sim t_{11}$ 間には列デコーダ 51A に対して書き込み指示を与え、時刻 $t_{11} \sim t_{12}$ 間には列デコーダ 51B に対して書き込み指示を与える。これにより、列デコーダ 51B に対して読み出し指示が与えられている時刻 $t_{10} \sim t_{11}$ 間に、列デコーダ 51A に対して書き込み指示が与えられる構成となる。また、列デコーダ 51A に対して読み出し指示が与えられている時刻 $t_{11} \sim t_{12}$ 間に、列デコーダ 51B に対して書き込み指示が与えられる構成となる。

[0093] このようにして、時刻 t_4 に入力された「W」コマンドに対応した書き込み対象データ（D0～D3）は、時刻 $t_{10} \sim t_{14}$ 間において各サブバンク内に書き込みが完了する（もしくは同一の既書き込みデータがそのまま利用される）。時刻 t_8 に入力された「W」コマンドに対応した書き込み対象データ（D4～D7）に対しても、前記と同様の処理を行う。このとき、図 4 を参照すれば、データ D3 の書き込みが完了した時刻 $t_{13} \sim t_{14}$ 間のタイミングに続いて、時刻 $t_{14} \sim t_{15}$ 間にデータ D4 のサブバンク 51A への書き込みが行われる。すなわち、書き込みコマンド「W」が（バースト長の間隔で）連続してメモリ制御部 30 に入力された場合であっても、書き込みにタイムラグが生じず、これによって書き込み速度が遅くなるということがない。

[0094] 次に、図 5 のタイミングチャートを用いて、具体的な読み出し動作の手順を説明する。なお、図 5 の場合も、図 4 と同様、バースト長が 4 の場合を例示している。読み出し動作は、図 4 に示した書き込み動作手順において、比較部 37 による比較処理、書き込み制御部 39 及びサブバンク入れ換え部 42 による書き込み指示、両列デコーダ 51A, 51B による書き込み処理が

行われないものと考えれば良い。

[0095] メモリ制御部30に対し、行アドレス指定コマンド「A」及び行アドレス「R1」が与えられると（時刻t2）、書き込み動作の場合と同様、コマンド「A」を受けた命令解釈部31は、適切なタイミング（例えばt3～t4間）で、コマンド「A」を信号ComCとして行アドレスバッファ35に送る。行アドレス「R1」は、一旦バッファ32に取り込まれた後、信号ComCとしてコマンド「A」が出力されるのと同期して信号AddCとして行アドレスバッファ35及び読み出し制御部36に対して出力される。行アドレスバッファ35は、信号ComCとして入力されたコマンド「A」をトリガとして、信号AddCとして入力された行アドレス「R1」を内部のバッファに保持する。

[0096] 続いて、メモリ制御部30に、読み出しコマンド「R」と指定アドレス「C1」が与えられると（時刻t4）、コマンド「R」を受けた命令解釈部31は、適切なタイミング（例えばt5～t6間）で、読み出し制御部36、読み書き切換制御部41に対して信号ComCとしてコマンド「R」を出力する。また、アドレス「C1」は、一旦バッファ32に保持された後、信号ComCとしてコマンド「R」が出力されるのと同期して、信号AddCとして読み出し制御部36に出力される。読み出し制御部36は、信号ComCとして入力されるコマンド「R」をトリガとして、信号AddCとして入力されるアドレス「C1」を内部のバッファに保持する。ただし、命令解釈部31は、入力されたコマンドが読み出しコマンド「R」であるため、書き込み時と違って「Low」レベルの信号R/Wを出力する。この信号R/Wは、例えば命令解釈部31に対して書き込みコマンド「W」が入力されるまでの間、「Low」レベルが維持されるものとしても構わない。

[0097] 読み出し制御部36は、書き込み時と同様、コマンド「R」を1回受ける毎に、バースト長相当分の連続するアドレス値を信号AddCrとしてサブバンク入れ換え部42に対して出力する。書き込み時と同様にバースト長を4とすると、前記t5～t6間に受けた「R」コマンドに対し、時刻t6～

t 1 0 間に、アドレス「C 1」、「C 1 + 1」、「C 1 + 2」、「C 1 + 3」を出力する。このアドレスを出力している間、読み出し制御部 3 6 は、「H i g h」レベルの信号 R E を出力する。

[0098] そして時刻 t 7 以後、書き込み処理時の場合と同様に、読み出し制御部 3 6 から与えられた信号 R E（読み出しトリガ信号に相当）、及び信号 A d d C r（読み出し指定アドレス信号に相当）に基づき、サブバンク入れ換え部 4 2 及び列デコーダ 5 1 A, 5 1 B を介して、サブバンク 5 2 A, 5 2 B への読み出し処理が開始される。サブバンク入れ換え部 4 2 は、読み書き切換制御部 4 1 から入力される信号 S B S e l の値（H i g h / L o w）により、読み出し対象サブバンクをサブバンク 5 2 A, 5 2 B 間で振り分け、これによって、各サブバンク 5 2 A, 5 2 B から交互に読み出し処理が行われる。そして、読み出されたデータは、サブバンク入れ換え部 4 2 を介して読み出し回路 4 3 に与えられ、ここで増幅処理が施された後、信号 D a t C として出力制御部 3 3 に送られる（時刻 t 8 ~ t 1 2）。信号 D a t C からデータが出力されていることは信号 D E がアクティブ（H i g h）となることで示される。出力制御部 3 3 は、入力された信号 R / W が「L o w」レベルであることを認識し、入力された信号 D a t C をメモリバス 2 1 へと送出する。

[0099] 一方、比較部 3 7 は、入力された信号 R / W が「L o w」レベルであることを認識すると、比較処理を実行しない。なお、読み出し処理であるため、当然に書き込み対象データが入力されていない状態であるから、比較部 3 7 に対して信号 D a t O は入力されない構成である。

[0100] なお、時刻 t 4 に引き続き、時刻 t 8 において読み出しコマンド「R」、及び読み出し用行アドレス「C 2」が入力された場合においても、時刻 t 1 1 ~ t 1 5 にかけて各サブバンクに対してアドレス「C 2」、「C 2 + 1」、「C 2 + 2」、「C 2 + 3」に係るメモリセルの読み出し指示が行われ、これによって時刻 t 1 2 ~ t 1 6 にかけて当該アドレス位置のデータ読み出しが行われる。つまり、読み出しコマンド「R」が（バースト長の間隔で）

連続してメモリ制御部30に入力された場合であっても、読み出しにタイムラグが生じず、これによって読み出し速度が遅くなるということがない。同様に、読み出しコマンド「R」の後に書き込みコマンド「W」が入力された場合や、その反対の場合においても、タイムラグを生じることがない。

[0101] 上述したように、本実施形態のような構成とすることで、書き込みコマンド「W」が与えられた場合、実際にメモリセルに対する書き込み処理を行う前に書き込み対象のメモリセルから既書き込みデータの読み出しを行って書き込み対象データとの比較が行われる。そして、比較結果が異なる場合にのみ当該メモリセルに対して書き込み対象データの書き込み処理が行われ、比較結果が同一の場合には書き込み処理が行われない。従って、従来の書き込み処理と比較して、同一メモリセルに対して実際に書き込み用電圧が印加されて書き込み処理が行われる回数が減少する。これにより、各メモリセルを延命させることができる。

[0102] そして、上述したように、一のサブバンクに対して既書き込みデータと書き込み対象データの比較を行っている間に、他のサブバンクに対して書き込み用電圧を印加して書き込み処理を行うことができる構成であるため、書き込み処理においてタイムラグが発生するということがない。従って、従来方法から書き込み処理に要する時間を長くすることなく、メモリセルを延命させることができるという効果がある。

[0103] また、本実施形態の構成では、単純に書き込み処理時において、書き込み対象のアドレスに係るメモリセルの既書き込みデータと書き込み対象データの比較を行うことのみでメモリセルの延命措置が可能となる。すなわち、従来のように、書き込み回数や書き込み順序を管理する必要がないため、ビット単位で書き込み（書き換え）が可能なRRAMに対しても容易に適用することができる。

[0104] 上記本実施形態において、サブバンク52Aには偶数アドレスが、52Bには奇数アドレスがそれぞれ割り当てられているものとしたが、奇偶が逆であっても良い。さらには、連続する1アドレス毎に、各サブバンク間で交互

にアドレスを割り当てる必要はなく、2アドレス毎や4アドレス毎等、複数アドレス毎にサブバンク間で交互になるようにアドレスを割り当てるものとしても良い。この場合、前記複数アドレスの数はバースト長の約数であれば良い。以下の第2実施形態でも同様とする。

[0105] 上記本実施形態において、各信号レベルが「High」であるか「Low」であるかは一例であり、このレベルが反転しても良い。例えば、信号SBSELが「Low」である場合に、サブバンク52Bから読み出しを、サブバンク52Aに書き込みを行う指示を与え、逆に信号SBSELが「High」である場合には、サブバンク52Aから読み出しを、サブバンク52Bに書き込みを行う指示を与えるものとしても良い。他の信号についても同様である。

[0106] なお、上述の実施形態では、図1に基づいて動作の概略を説明してきた。以下では、図2を参照し、jビットのデータを持つ場合の取り扱いについて説明する。

[0107] 図2に示す構成は、図1におけるデコーダ部（行デコーダ53，列デコーダ51A，51B）及びサブバンク52A，52Bに代えて、行デコーダ、列デコーダA、列デコーダB、サブバンクA、サブバンクBを1組としたユニット（以下メモリユニット）をj組備える。

[0108] 図2において、符号52A0、52A1、52A2、52A3、52B0、52B1、52B2、52B3はサブバンクを、符号51A0、51A1、51A2、51A3、51B0、51B1、51B2、51B2は列デコーダを、符号530、531、532、533は行デコーダをそれぞれ示している。また、各サブバンク52A0、52A1、52A2、52A3をサブバンクAと称し、各サブバンク52B0、52B1、52B2、52B3をサブバンクBと称する。同様に、列デコーダ51A0、51A1、51A2、51A3を列デコーダAと称し、列デコーダ51B0、51B1、51B2、51B2を列デコーダBと称する。なお、図2において、符号501、502、503、504は、サブバンクA及びBを1組としたメモリユニ

ットを表す。

[0109] まずは図2に示すようにj組のメモリユニットが搭載された装置において、図1のメモリ制御部30内で多ビット化される信号について言及する。基本的にはデータバスのビット幅がjビットに多ビット化されることになる。またその制御信号もjビットに多ビット化される。具体的には、メモリバス21と接続されるデータ、バッファ34の出力信号Data O、読み出し回路43から出力されるData C、Data OとData Cを比較した結果である比較部37の出力Comp、書き込み制御部39の出力Data Owとその書き込みイネーブルWE、サブバンク入れ換え部42の出力（書き込み）データDWA、DWBと各々の書き込みイネーブルWEA、WEB、サブバンク入れ換え部42の入力（読み出し）データDRA、DRBが多ビット化される。Comp、WE、WEA、WEBの各ビットは、対応するデータData OとData C、Data Ow、DWA、DWBの各ビットと対応している。つまり、Data OとData Cの最下位ビット同士の比較結果をCompの最下位ビットが示し、Data Owの最上位ビットの書き込みイネーブルをWEAの最上位ビットが示す。

[0110] 次に図2における各信号線の接続について説明する。1からj番目までの全ての行デコーダに対しては、信号線RowとSBSe l（信号RowとSBSe lが流れる信号線）が接続される。これは、すなわち各メモリユニット間において、同一の信号に基づいて行アドレスと読み書きの切り換え制御が行われることを示している。また、k（1からjまでの自然数）番目の列デコーダAに対しては、読み書きコマンドRWA、書き込みイネーブルWEA[k]、列アドレスADA、書き込みデータDWA[k]、読み出しデータDRA[k]の各データを流す信号線が接続される。これは、読み書きコマンドRWA、列アドレスADAに関しては全ての列デコーダAに同じものが与えられ、読み書きコマンドRWAが「W（書き込み）」を示している場合には、WEA[k]がアクティブとなっているメモリユニットにのみ書き込みデータDWA[k]が書き込まれ、読み書きコマンドRWAが「R（読

み出し)」を示している場合には、WEA[k]がアクティブとなっているメモリユニットからのみ読み出しデータDRA[k]が読み出される、ということを示している。列デコーダBに関しても、列デコーダAと同様である。つまり、1からj番目の各メモリユニットは、各データ及びデータ制御線の1からjビット目に各々対応している。

[0111] 上述した図1の構成は、まさに図2におけるj=1のみを図示したものであり、図4及び図5におけるタイミングチャートも、j=1の場合に関して図示したものである。逆に言えば、図2の構成では、図1におけるタイミングチャートに示されるような動作が各メモリユニット毎に実行される。

[0112] 以下、本実施形態における不揮発性半導体記憶装置に対する書き込み／読み出し動作の方法、並びに製造方法について簡単に説明する。なお、これらの方法は、以下の第2、第3実施形態においても同様であり、これらの実施形態内では説明を割愛する。

[0113] また、以下では、一例として各サブバンクが図3に示す回路構成である場合について説明する。さらに、本実施形態における以下の説明内においては、「書き込み」を「消去」と区別して説明する。そして、可変抵抗素子Rが低抵抗状態にある場合を「書き込み状態」と定義し、高抵抗状態にある場合を「消去状態」と定義する。

[0114] さらに、各メモリセルを構成するRRAMが図15に示されるような構成であって、下部電極103から上部電極101に向かう極性で両端に電圧が印加されることで低抵抗状態に遷移し、逆極性の電圧が印加されることで高抵抗状態に遷移する性質を有しているものとする。そして、この上部電極101にビット線が接続し、下部電極103にソース線が接続する構成であるとする。

[0115] まず、メモリセルに対する書き込み動作（可変抵抗素子の低抵抗化）について説明する。書き込み対象メモリセルが指定されると、行デコーダ53は、当該メモリセル（選択メモリセル）に接続されるワード線（選択ワード線）に+2Vを印加し、前記選択ワード線以外のワード線（非選択ワード線）

に0 Vを印加する。そして、ソース線Sに0 Vを印加する。さらに、列デコーダ（51A, 52A）は、選択メモリセルに接続されるビット線（選択ビット線）に+2 Vを印加し、前記選択ビット線以外のビット線（非選択ビット線）に0 Vを印加する。このとき、書き込み時には、選択メモリセルを構成する可変抵抗素子Rの上部電極に正極性の電圧が印加される（一方下部電極は接地されている）ので、当該可変抵抗素子Rが低抵抗状態に遷移し、これによってデータが書き込まれる。一方、非選択セルの可変抵抗素子Rには電圧がかからないので、データの書き込みがなされない（データの変動がない）。

[0116] なお、選択ワード線に印加する電圧は、上記説明では+2 Vとしたが、この値は一例であり、実際には選択トランジスタが導通するのに十分な電圧（いわゆるトランジスタの閾値電圧）以上であれば良い。また、選択ビット線に印加する電圧は、上記説明では+2 Vとしたが、この値は一例であり、実際には、ソース線に印加される電圧との電位差によって可変抵抗素子の抵抗状態を遷移させるのに十分な電圧（スイッチング動作の閾値電圧）以上であれば良い。

[0117] なお、メモリセルの消去動作（可変抵抗素子の高抵抗化）時には、消去対象メモリセル内の可変抵抗素子の両端に印加される電圧の極性を、書き込み時に対して反転させれば良い。すなわち、書き込み時と同様、選択トランジスタを導通させるべく、行デコーダ（51A, 52A）は、選択ビット線に0 V、非選択ビット線に+2 Vを印加し、さらにソース線Sに+2 Vを印加する。これにより、選択メモリセルを構成する可変抵抗素子Rの下部電極に正極性の電圧が印加される（一方上部電極は接地されている）ので、当該可変抵抗素子Rが高抵抗状態に遷移し、これによってデータが消去される。一方、非選択セルの可変抵抗素子Rには電圧がかからないので、データの消去がなされない（データの変動がない）。

[0118] 次に、メモリセルの読み出し動作について説明する。読み出し対象メモリセルが指定されると、行デコーダ53は、選択メモリセルに接続される選択

ワード線に+2 Vを印加し、前記選択ワード線以外の非選択ワード線に0 Vを印加する。そして、ソース線Sに0 Vを印加する。さらに、列デコーダ（51 A, 52 A）は、選択メモリセルに接続されるビット線（選択ビット線）に+1 Vを印加し、前記選択ビット線以外のビット線（非選択ビット線）に0 Vを印加する。これにより、選択メモリセルに接続された選択トランジスタが導通した状態で、ビット線ーソース線間に読み出し用の電圧1 Vが印加される。実際には、配線抵抗や選択トランジスタのオン抵抗が存在するため、これらの抵抗によって電圧降下が生じるため、選択メモリセル内の可変抵抗素子Rの両端には、1 Vよりも低電圧（例えば0.7 V程度）が印加される状態となる。

[0119] この状態の下で、選択ビット線を流れる電流（読み出し電流）を検出し、読み出し回路43によって増幅することで、電圧信号に変換し、信号Data Cとして比較部37あるいは出力制御部33に出力する。読み出し対象の選択メモリセルの可変抵抗素子が高抵抗状態である場合には読み出し電流が小さく、逆に低抵抗状態である場合には読み出し電流が大きいため、信号Data Cの大きさを判断することで読み出し対象メモリセル内の可変抵抗素子の抵抗状態を検出することができる。つまり、信号Data Cが小さい場合には、対象メモリセルが高抵抗状態、すなわち「消去状態」であり、逆に、信号Data Cが大きい場合には、対象メモリセルが低抵抗状態、すなわち「書き込み状態」であることが認識される。

[0120] なお、読み出し動作時においても、選択ワード線に印加する電圧は、上記説明では+2 Vとしたが、この値は一例であり、実際には選択トランジスタが導通するのに十分な電圧（いわゆるトランジスタの閾値電圧）以上であれば良い。また、選択ビット線に印加する電圧は、上記説明では+1 Vとしたが、この値は一例であり、実際には、ソース線に印加される電圧との電位差によって可変抵抗素子の抵抗状態を検出可能で、且つ、同抵抗状態が変化しない範囲内（書き換え動作が起こらない範囲内）の電圧であれば良い。

[0121] 次に、図3に示すような1T1R型のメモリセルを備えた不揮発性半導体

記憶装置の製造方法について簡単に説明する。図6は、このようなメモリセルの概略断面構造図である。なお、図6は、概念的に図示したものであり、図面上の寸法比と実際の寸法比は必ずしも一致するものではない。

[0122] まず、半導体基板60に選択トランジスタTを形成する。即ち、素子分離領域61を形成した半導体基板60上にゲート絶縁膜62、ゲート電極63、及びドレイン拡散領域64とソース拡散領域65から構成される選択トランジスタTを形成する。この際、図示はしていないが、メモリセル以外の周辺回路（前述のメモリ制御部30等）を合わせて形成する。

[0123] 次に、BPSG（Boron Phosphorous Silicate Glass）からなる層間絶縁膜66を形成した後、公知のフォトリソグラフィ法とドライエッチング法により選択トランジスタTのドレイン領域64に到達するコンタクトホール67を開口する。そして、公知の手法で当該コンタクトホール67内のみをW等の導電性の金属材料で埋め込んだコンタクトプラグを形成する。

[0124] 次に、コンタクトホール67内に埋め込まれた導電性コンタクトプラグと可変抵抗素子Rを形成する下部電極69との電氣的接続を安定に確保するためのオーミックコンタクト層68として、スパッタリング法によってTiN/Ti膜を厚さ100nm/50nmの厚みで形成する。そしてオーミックコンタクト層68上部に、TiN膜を膜厚200nmで成膜することで下部電極69を形成する。

[0125] 更に、この下部電極（TiN膜）69上に可変抵抗膜70となる酸化チタンを膜厚5～50nmでDCマグネトロンスパッタリング法またはCVD法により形成する。次に、上部電極71として厚さ100nmのTiN膜を形成する。その後、公知のフォトリソグラフィ法とドライエッチング法により上部電極71、可変抵抗膜70、下部電極69を順次加工し、可変抵抗素子Rを完成させる。

[0126] なお、可変抵抗膜70は酸化チタン膜に限定されるものではなく、酸化コバルト、酸化ニッケル、酸化亜鉛、酸化ニオブ等の遷移金属元素の酸化物についても利用可能である。また、遷移金属を形成後、酸化処理を施すこと

で可変抵抗膜 70 を形成するものとしても良い。

[0127] また、上部電極及び下部電極を、いずれも TiN（窒化チタン膜）で形成したが、電極材料は窒化チタンに限定されるものではなく、Ta, Pt, Ir, Os, Ru, Rh, Pd, Al, W等の他の金属材料を用いることもできる。

[0128] このようにして可変抵抗素子Rが生成された後、当該可変抵抗素子R上に層間絶縁膜 72 を膜厚 50～60 nmで成膜し、可変抵抗素子R（上部電極 71）に接続するコンタクトホール 74 及び選択トランジスタTのソース拡散領域 65 に接続するコンタクトホール 73 を開口する。

[0129] 次に、配線材料としてTiN/Al-Si/TiN/Tiを成膜し、公知のフォトリソグラフィ法とドライエッチング法により加工することで配線 75 及び配線 76 を形成する。

[0130] 次に、層間絶縁膜 77 を形成し、配線 75 あるいは配線 76 に到達するコンタクトホール（不図示）を形成した後、TiN/Al-Si/TiN/Tiを成膜し、公知のフォトリソグラフィ法とドライエッチング法により加工して配線 78（加工パターンは図示せず）を形成する。最後に、プラズマCVD法により表面保護膜 79 としてSiN膜を形成し、メモリセル内に可変抵抗素子Rと選択トランジスタTを有する半導体記憶装置が完成する。

[0131] なお、上述した製造手順では、周辺回路のコンタクトホール形成、配線加工等は省略して記述しているが、それぞれメモリセル内の形成時に合わせて形成すれば良い。

[0132] また、上記では、1T1R構成のメモリセルの場合における製造方法並びに駆動方法について説明をしたが、メモリセルの構成は1T1R型に限られるものではない。例えば、他の例としては、ビット線及びワード線を上部電極若しくは下部電極に夫々直接接続して、両電極間の交点（クロスポイント）にある可変抵抗体のデータを直接読み出すメモリセル構成、いわゆるクロスポイント型（1R型）のメモリセルとすることもできる。さらには、クロスポイント構成での寄生電流低減のため、可変抵抗素子Rとダイオードを直

列に接続した1D1R構成のメモリセルとすることもできる。該ダイオードは、可変抵抗体に対して上部電極若しくは下部電極の外側に直列に接続する構造が一般的であるが、ダイオードを可変抵抗体と上部電極との間に、若しくは可変抵抗体と下部電極との間に配置する構造としても良い。ダイオードとしては、PNダイオード特性又はショットキーダイオード特性を示す材料、又はZnOやBi₂O₃等のバリスタなどが用いられる。

[0133] [第2実施形態]

本発明の第2実施形態（以下、適宜「本実施形態」という）につき、図7～図8の各図を参照して説明する。

[0134] 本実施形態は、第1実施形態と比較して書き込み及び読み出しの処理手順が異なるのみであり、その構成要素は第1実施形態の場合（図1）と同一である。以下では、処理手順についてのみ、タイミングチャートを参照しながら説明し、各構成要素についての説明は割愛する。なお、本実施形態でも、データが1ビットの場合を想定して説明するが、図2を参照して説明したように、メモリ制御部30に複数のメモリユニットが接続されている構成とみなすことで、多ビットのデータについても同様に扱うことができる。

[0135] 本実施形態は、書き込み及び読み出し処理時において、プリフェッチ技術を用いる点が第1実施形態と異なる。プリフェッチとは、近年の読み出し／書き込み速度の高速化の要求から、DDR SDRAM（Double-Data-Rate Synchronous Dynamic Random Access Memory）等の高速なメモリで用いられている技術であり、読み出し時には、複数のメモリセルから並列に読み出したデータを一旦バッファに取り込み、1列に並べ直してメモリ外部へと出力することにより高速化を図り、逆に書き込み時には、メモリに入力されたデータ列を一旦バッファに取り込み、複数のメモリセルに並列に書き込むことにより高速化を図る技術である。

[0136] 図7は、本実施形態における不揮発性半導体記憶装置（メモリ）へのバースト書き込み処理の手順を示すタイミングチャートである。図7では、図4の場合と同様、クロック同期式のメモリでバースト長が4である場合が想定

されている。一方で、図7では、図4の場合と違って2ビットプリフェッチが適用されている。

[0137] メモリ制御部30に対し、行アドレス指定コマンド「A」及び行アドレス「R1」が与えられると（時刻t2）、コマンド「A」を受けた命令解釈部31は、適切なタイミング（例えばt3～t4間）で、コマンド「A」を信号ComCとして行アドレスバッファ35に送る。行アドレス「R1」は、一旦バッファ32に取り込まれた後、信号ComCとしてコマンド「A」が出力されるのと同期して信号AddCとして行アドレスバッファ35及び読み出し制御部36に対して出力される。行アドレスバッファ35は、信号ComCとして入力されたコマンド「A」をトリガとして、信号AddCとして入力された行アドレス「R1」を内部のバッファに保持する。

[0138] 続いて、メモリ制御部30に、書き込みコマンド「W」と指定アドレス「C1」が与えられると（時刻t4）、コマンド「W」を受けた命令解釈部31は、適切なタイミング（例えばt5～t6間）で、読み出し制御部36、読み書き切換制御部41に対して信号ComCとしてコマンド「R」を出力する。また、アドレス「C1」は、一旦バッファ32に保持された後、信号ComCとしてコマンド「R」が出力されるのと同期して、信号AddCとして読み出し制御部36に出力される。読み出し制御部36は、信号ComCとして入力されるコマンド「R」をトリガとして、信号AddCとして入力されるアドレス「C1」を内部のバッファに保持する。また、命令解釈部31は、適切なタイミングで信号R/Wを「High」レベルとする。

[0139] 読み出し制御部36は、コマンド「R」を1回受ける毎に、バースト長相当分（ここでは4回分）の連続するアドレス値を信号AddCrとしてサブバンク入れ換え部42に対して出力する。なお、本実施形態では2ビットプリフェッチを採用しているため、2ビット毎にアドレスを指定して信号AddCrを出力することになる。具体的には、前記t5～t6間に受けたコマンド「R」に対しては、時刻t6～t7間にアドレス「C1」を出力し、時刻t8～t9間にアドレス「C1+2」を出力する。そして、このアドレス

を出力している間（時刻 $t_6 \sim t_7$ 間、 $t_8 \sim t_9$ 間）及びその直後の 1 サイクル間（時刻 $t_7 \sim t_8$ 間、 $t_9 \sim t_{10}$ 間）にわたって、読み出し制御部 36 は「High」レベルの信号 RE をサブバンク入れ換え部 42 に出力する。これは、本実施形態では、サブバンクからのデータ読み出しに 2 サイクルを要すること（2 ビットプリフェッチが適用されること）が前提となっているため、サブバンクへのアクセス自体を 2 サイクル周期とする必要があり、読み出し／書き込みの切り換えも 2 サイクル周期とする必要がある。そこで、読み出し／書き込みの切り換え制御のための信号 RE も、2 サイクル周期で切り換わる信号としている。ちなみに、4 ビットプリフェッチを適用した場合には、4 サイクル周期とすれば良いことになる。

[0140] また、第 1 実施形態の場合と同様、メモリ制御部 30 は、前記「W」コマンドが入力されると同時に（時刻 t_4 ）、書き込み対象データの入力も開始される。本実施形態で説明する実施例では、バースト長が 4 であるので、1 つの「W」コマンドに対し 4 つの書き込み対象データ（D0、D1、D2、D3）が入力される（時刻 $t_4 \sim t_7$ ）。入力された書き込み対象データは、時刻 t_9 以後に、比較部 37 においてサブバンク 52A または 52B から読み出された既書き込みデータとの比較が行われるまで、バッファ 34 で一時的に蓄積される。

[0141] 図 7 のタイミングチャートでは、図 4 の場合と同様、サブバンクへのアクセス開始を時刻 t_7 としているため、この時点で、行アドレスバッファ 35 が行デコーダ 53 に対して行アドレス「R1」を示す信号 Row を供給し、当該行アドレス線をアクティブ化している。もちろん、この時刻 t_7 よりも早いタイミングで当該行アドレス線をアクティブとしても良い。

[0142] 時刻 t_7 以後、読み出し制御部 36 から与えられた信号 RE（読み出しトリガ信号に相当）、及び信号 AddCr（読み出し指定アドレス信号に相当）に基づき、サブバンク入れ換え部 42 は、列デコーダ 51A、51B を介して、サブバンク 52A、52B への読み出し処理を開始する。サブバンク入れ換え部 42 は、読み書き切換制御部 41 から入力される信号 SBSel

が「Low」の場合は、列デコーダ51Aに対して読み出し指示を行い、信号SBSelが「High」の場合は、列デコーダ51Bに対して読み出し指示を行う。すなわち、サブバンク入れ換え部42は、信号SBSelによって読み出し対象となるサブバンクを52Aと52Bの間で入れ換える。このとき、前記のとおり、本実施形態の場合には、サブバンクへのアクセスを2サイクル周期とする必要があるため、信号SBSelによる読み出し対象サブバンクの切り換えタイミングも2サイクル周期となる。

[0143] そして、本実施形態では、連続する2アドレスが同一のサブバンク内に割り当てられ、2アドレス毎に異なるサブバンクに割り当てられる構成である。すなわち、アドレスC1及びC1+1は同一のサブバンク内に存在する一方、アドレスC1+2及びC1+3は、別のサブバンク内に存在することになる。ここでは、アドレスC1及びC1+1がサブバンク52Aに存在し、アドレスC1+2及びC1+3がサブバンク52B内に存在するものとして説明する。

[0144] サブバンク入れ換え部42は、信号REが「High」である間、読み出し指示を列デコーダ51Aまたは51Bに与える。まず、時刻t7～t8において、信号SBSelが「Low」であることより、列デコーダ51Aに対し、信号AddCrによって指定されたアドレスC1及び、このアドレスC1に連続するアドレス（すなわちアドレスC1+1）に対応したメモリセルの既書き込みデータの読み出し指示を与える。このとき、行アドレスは、行デコーダ53によって指定された行アドレス（信号Rowによって指定された行アドレスR1）がアクティブとなっている。そして、時刻t7～t9までの間に、列デコーダ51Aはサブバンク52AからアドレスC1及びC1+1に対応したメモリセルの既書き込みデータを信号DRAとしてサブバンク入れ換え部42に送出する（データQ0, Q1）。

[0145] 第1実施形態の場合、時刻t7～t8間に、読み出しコマンド「R」及び読み出し指定アドレス「C1」が与えられると、当該アドレスC1に対応したメモリセルの既書き込みデータが読み出された。これに対し、本実施形態

の場合、完全に既書き込みデータの読み出しが完了するまでには時刻 $t_7 \sim t_9$ までの時間を要する一方、読み出し対象アドレスは「 C_1 」及び「 $C_1 + 1$ 」の2つのアドレスとなる。つまり、列デコーダ 5_1A への読み出しコマンド入力から、読み出しデータ DRA の出力まで2サイクルの時間を要する反面、2アドレス分のデータが読み出される構成であるため、結果として、第1実施形態と同様に、1サイクル当たり1アドレス分のデータが得られることになる。

[0146] 次に、時刻 $t_9 \sim t_{10}$ において、信号 $SBSel$ が「High」であることより、サブバンク入れ換え部 4_2 は、列デコーダ 5_1B に対し、信号 $AddCr$ によって指定されたアドレス $C_1 + 2$ 、及び、このアドレス $C_1 + 2$ に連続するアドレス（すなわちアドレス $C_1 + 3$ ）に対応したメモリセルの既書き込みデータの読み出し指示を与える。このとき、行デコーダ 5_3 によって指定された行アドレスがアクティブとなっている（信号 Row によって指定された行アドレス R_1 ）。そして、時刻 $t_9 \sim t_{11}$ までの間に、列デコーダ 5_1B はサブバンク 5_2B からアドレス $C_1 + 2$ 及び $C_1 + 3$ に対応したメモリセルの既書き込みデータを信号 DRB としてサブバンク入れ換え部 4_2 に送出する（データ Q_2 、 Q_3 ）。

[0147] そして、時刻 $t_9 \sim t_{10}$ 間に、サブバンク入れ換え部 4_2 によってマージされた読み出しデータ（ $Q_0 \sim Q_1$ ）が、読み出し回路 4_3 において増幅された後、信号 $DatC$ として比較部 3_7 に出力される。同様に、時刻 $t_{11} \sim t_{12}$ 間に、サブバンク入れ換え部 4_2 によってマージされた読み出しデータ（ $Q_2 \sim Q_3$ ）が、読み出し回路 4_3 において増幅された後、信号 $DatC$ として比較部 3_7 に出力される。信号 $DatC$ からデータが出力されていることは、信号 DE がアクティブ（High）となることで示される。

[0148] 比較部 3_7 は、命令解釈部 3_1 から与えられる信号 R/W が「High」である場合に、信号 DE がアクティブであると比較演算を行う。このとき、信号 DE をトリガとして、前記信号 $DatC$ と、バッファ 3_4 から出力される書き込み対象データ $DatO$ との比較を行う。具体的には、比較部 3_7 は

、時刻 $t_9 \sim t_{10}$ 間には書き込み対象データである $D_0 \sim D_1$ と、サブバンク 52A から読み出した $Q_0 \sim Q_1$ を比較し、その結果をデータ $G_0 \sim G_1$ として書き込み制御部 39 に出力する（信号 $Comp$ ）。同様に、比較部 37 は、時刻 $t_{11} \sim t_{12}$ 間には書き込み対象データである $D_2 \sim D_3$ と、サブバンク 52B から読み出した $Q_2 \sim Q_3$ を比較し、その結果をデータ $G_2 \sim G_3$ として書き込み制御部 39 に出力する（信号 $Comp$ ）。

[0149] 書き込み制御部 39 は、比較部 37 から入力された信号 $Comp$ のデータに基づいてサブバンク入れ換え部 42 に対してデータの書き込み制御を行う。具体的には、バッファ 38 に保持されていたアドレスに、バッファ 34 に保持されていた書き込み対象データのうち、比較部 37 から指定されたビットを書き込むという指示を出す。このとき、書き込み制御部 39 は、サブバンク入れ換え部 42 に対し、信号 $Addow$ によってアドレスを指定し、信号 WE によって書き込みビットを指定し、信号 $Datow$ によって書き込み対象データを指定する（時刻 $t_{10} \sim t_{11}$ 間、 $t_{12} \sim t_{13}$ 間）。なお、書き込みビットを示す信号 WE は、比較部 37 から与えられる信号 $Comp$ に基づいて生成され、既書き込みデータと書き込み対象データの比較結果が異なるビットのみが書き込みビットとして指定される。

[0150] サブバンク入れ換え部 42 は、書き込み制御部 39 から前記データ書き込み指示を受けると、列デコーダ 51A、51B に対して書き込み指示を行う（時刻 $t_{13} \sim t_{17}$ 間）。このとき、一の列デコーダに対して読み出し処理が行われている間には、それとは別の列デコーダに対して書き込み指示を与える。より具体的には、例えば、時刻 $t_{13} \sim t_{15}$ 間には列デコーダ 51A に対して書き込み指示を与え、時刻 $t_{15} \sim t_{17}$ 間には列デコーダ 51B に対して書き込み指示を与える。これにより、列デコーダ 51B に対して読み出し指示が与えられている時刻 $t_{13} \sim t_{15}$ 間に、列デコーダ 51A に対して書き込み指示が与えられる構成となる。また、列デコーダ 51A に対して読み出し指示が与えられている時刻 $t_{15} \sim t_{17}$ 間に、列デコーダ 51B に対して書き込み指示が与えられる構成となる。

- [0151] なお、列デコーダ 5 1 A に出力される信号 WE A と、列デコーダ 5 1 B に出力される信号 WE B は、前述した信号 WE による書き込みビットの指定が反映されているため、前記比較部 3 7 による比較結果が異なるビットのみが指定された信号となる。すなわち、各サブバンク 5 2 A, 5 2 B の双方とも、書き込み対象データが既書き込みデータと異なる値を取ったビットのみが書き込まれることになる。
- [0152] また、図 7 では、信号 DWA, DWB は一部破線で示されている。これは本実施形態が各メモリセルへの書き込みに 2 サイクルを要する方式であることから、一サイクル前から引き続いて書き込み処理が行われ、この 2 サイクル目に書き込み処理が完了することを示すものである。
- [0153] 本実施形態においては、サブバンクに対するアクセスが、読み出しサイクル 2 サイクルと、書き込みサイクル 2 サイクルの繰り返しで行われるため、書き込み制御部 3 9 が書き込み指示を出力した後、サブバンク入れ換え部 4 2 が列デコーダ 5 1 A, 5 1 B に書き込み指示を出すまでに 2 サイクルのタイミング調整時間が必要となる（図 7 における信号 RWA と RWB のタイミングを参照）。このタイミング調整やこれに要するバッファリングも、サブバンク入れ換え部 4 2 内で行われるものとして良い。
- [0154] このようにして、時刻 t_4 に入力された「W」コマンドに対応した書き込み対象データ（D0～D3）は、時刻 t_{13} ～ t_{17} 間において各サブバンク内に書き込みが完了する（もしくは同一の既書き込みデータがそのまま利用される）。時刻 t_8 に入力された「W」コマンドに対応した書き込み対象データ（D4～D7）に対しても、前記と同様の処理を行う。このとき、図 7 を参照すれば、データ D2 及び D3 の書き込みが完了した時刻 t_{15} ～ t_{17} 間のタイミングに続いて、時刻 t_{17} ～ t_{19} 間にデータ D4 及び D5 のサブバンク 5 1 A への書き込みが行われる。すなわち、書き込みコマンド「W」が（バースト長の間隔で）連続してメモリ制御部 3 0 に入力された場合であっても、書き込みにタイムラグが生じず、これによって書き込み速度が遅くなるということがない。そして、このように書き込みコマンド「W」

が（バースト長の間隔で）連続して入力された場合であっても、書き込みに要する時間を確保することができており、書き込みエラーになることもない。

[0155] 次に、図8のタイミングチャートを用いて、具体的な読み出し動作の手順を説明する。なお、図8の場合も、図7と同様、バースト長が4の場合を示している。読み出し動作は、図7に示した書き込み動作手順において、比較部37による比較処理、書き込み制御部39及びサブバンク入れ換え部42による書き込み指示、両列デコーダ51A、51Bによる書き込み処理が行われないものと考えれば良い。

[0156] メモリ制御部30に対し、行アドレス指定コマンド「A」及び行アドレス「R1」が与えられると（時刻t2）、書き込み動作の場合と同様、コマンド「A」を受けた命令解釈部31は、適切なタイミング（例えばt3～t4間）で、コマンド「A」を信号ComCとして行アドレスバッファ35に送る。行アドレス「R1」は、一旦バッファ32に取り込まれた後、信号ComCとしてコマンド「A」が出力されるのと同期して信号AddCとして行アドレスバッファ35及び読み出し制御部36に対して出力される。行アドレスバッファ35は、信号ComCとして入力されたコマンド「A」をトリガとして、信号AddCとして入力された行アドレス「R1」を内部のバッファに保持する。

[0157] 続いて、メモリ制御部30に、読み出しコマンド「R」と指定アドレス「C1」が与えられると（時刻t4）、コマンド「R」を受けた命令解釈部31は、適切なタイミング（例えばt5～t6間）で、読み出し制御部36、読み書き切換制御部41に対して信号ComCとしてコマンド「R」を出力する。また、アドレス「C1」は、一旦バッファ32に保持された後、信号ComCとしてコマンド「R」が出力されるのと同期して、信号AddCとして読み出し制御部36に出力される。読み出し制御部36は、信号ComCとして入力されるコマンド「R」をトリガとして、信号AddCとして入力されるアドレス「C1」を内部のバッファに保持する。ただし、命令解釈

部 3 1 は、入力されたコマンドが読み出しコマンド「R」であるため、書き込み時と違って「L o w」レベルの信号 R / W を出力する。この信号 R / W は、例えば命令解釈部 3 1 に対して書き込みコマンド「W」が入力されるまでの間、「L o w」が維持されるものとしても構わない。

[0158] 読み出し制御部 3 6 は、書き込み時と同様、コマンド「R」を 1 回受ける毎に、バースト長相当分の連続するアドレス値を信号 A d d C r としてサブバンク入れ換え部 4 2 に対して出力する。ただし、本実施形態の場合、2 ビットプリフェッチを採用しているため、2 ビット毎にアドレスを指定して信号 A d d C r を出力する。具体的には、前記 t 5 ~ t 6 間に受けた「R」コマンドに対し、時刻 t 6 ~ t 7 間にアドレス「C 1」を出力し、時刻 t 8 ~ t 9 間にアドレス「C 1 + 2」を出力する。そして、このアドレスを出力している間（時刻 t 6 ~ t 7 間、t 8 ~ t 9 間）及びその直後の 1 サイクル間（時刻 t 7 ~ t 8 間、t 9 ~ t 1 0 間）にわたって、読み出し制御部 3 6 は「H i g h」レベルの信号 R E をサブバンク入れ換え部 4 2 に出力する。

[0159] そして時刻 t 7 以後、書き込み処理時の場合と同様に、読み出し制御部 3 6 から与えられた信号 R E（読み出しトリガ信号に相当）、及び信号 A d d C r（読み出し指定アドレス信号に相当）に基づき、サブバンク入れ換え部 4 2 及び列デコーダ 5 1 A, 5 2 B を介して、サブバンク 5 2 A, 5 2 B への読み出し処理が開始される。サブバンク入れ換え部 4 2 は、読み書き切換制御部 4 1 から入力される信号 S B S e l の値（H i g h / L o w）により、読み出し対象サブバンクをサブバンク 5 2 A, 5 2 B 間で振り分け、これによって、各サブバンク 5 2 A, 5 2 B から交互に読み出し処理が行われる。そして、読み出されたデータ（Q 0 ~ Q 1）は、サブバンク入れ換え部 4 2 を介して読み出し回路 4 3 に与えられ、ここで増幅処理が施された後、信号 D a t C として出力制御部 3 3 に送られる（時刻 t 9 ~ t 1 2）。信号 D a t C からデータが出力されていることは、信号 D E がアクティブ（H i g h）となることで示される。出力制御部 3 3 は、入力された信号 R / W が「L o w」レベルであることを認識し、さらに信号 D E がアクティブである場

合に、入力された信号 $DatC$ をメモリバス 21 へと送出する。

[0160] なお、本実施形態では、2つのデータ（例えば $Q0$ と $Q1$ ）が信号 $DatC$ として読み出し回路 43 から出力制御部 33 に送られる構成である。このため、2データを2サイクルの時間を用いて信号 $DatC$ として出力するものとして良いし、1サイクル毎に1データずつ順次読み出すものとしても良い（図8は後者）。後者の場合、例えば時刻 $t9 \sim t10$ 間にデータ $Q0$ を信号 $DatC$ として出力し、時刻 $t10 \sim t11$ 間にデータ $Q0$ を信号 $DatC$ として出力する構成とすることができる。この場合、出力制御部 33 は、信号 $DatC$ が示すデータを1サイクル時間バッファリング可能な構成となる。

[0161] このようにして、アドレス $C1 \sim C1+3$ に対応したメモリセルのデータ（ $Q1 \sim Q3$ ）が、時刻 $t10 \sim t14$ にかけて読み出される。

[0162] なお、時刻 $t4$ に引き続き、時刻 $t8$ において読み出しコマンド「R」、及び読み出し用行アドレス「 $C2$ 」が入力された場合においても、時刻 $t11 \sim t15$ にかけて各サブバンクに対してアドレス $C2 \sim C2+3$ に係るメモリセルの読み出し指示が行われ、これによって時刻 $t14 \sim t18$ にかけて当該アドレス位置のデータがメモリ制御部のデータバスから出力される。つまり、読み出しコマンド「R」が（バースト長の間隔で）連続してメモリ制御部 30 に入力された場合であっても、読み出しにタイムラグが生じず、これによって読み出し速度が遅くなるということがない。同様に、読み出しコマンド「R」の後に書き込みコマンド「W」が入力された場合や、その反対の場合においても、タイムラグを生じることがない。

[0163] 以上、本実施形態では、2ビットプリフェッチを適用した場合のメモリの動作内容について説明したが、それ以上の多ビットプリフェッチを適用したメモリにおいても同様の方法で書き込み／読み出しを実行することができる。そして、本実施形態も、第1実施形態の場合と同様、書き込みコマンド「W」が与えられた場合、実際にメモリセルに対する書き込み処理を行う前に書き込み対象のメモリセルから既書き込みデータの読み出しを行って書き込

み対象データとの比較を行い、比較結果が異なる場合にみ当該メモリセルに対して書き込み対象データの書き込み処理を行う構成である。従って、従来の書き込み処理と比較して、同一メモリセルに対して実際に書き込み用電圧が印加されて書き込み処理が行われる回数が減少する。これにより、各メモリセルを延命させることができる。

[0164] [第3実施形態]

本発明の第3実施形態（以下、適宜「本実施形態」という）につき、図9～図14の各図を参照して説明する。

[0165] 本実施形態は、第1及び第2実施形態と比較して、サブバンク（メモリセルアレイ）を一つ有する構成である。すなわち、第1及び第2実施形態のように、複数のサブバンク間で書き込みと読み出しを並列して実行するという処理が行えない構成である。

[0166] すなわち、本実施形態は、既書き込みデータを読み出して書き込み対象データとの比較結果が異なっている場合に、対象となるメモリセルに対して書き込み対象データの書き込みを行っている間、別のメモリセルの既書き込みデータを読み出して、書き込み対象データと比較を行うという形態を採用することができない。このため、連続して書き込み対象データを入力されても、一の書き込み処理が完了するまで次の書き込み対象データと既書き込みデータとの比較処理が行えない。すなわち、本実施形態の場合には、一のアドレス毎にデータ読み出しまたは書き込みの処理を実行する必要があることから、メモリアクセスをバーストにする意味はない。従って、以下ではメモリアクセスの設定がバーストでないものとして説明を行う。

[0167] 図9は、本実施形態における不揮発性半導体記憶装置の概念的構造を示すブロック図であり、図1に示す構成図と比較して、サブバンク52B、列デコーダ51Bを備えない。すなわち、サブバンク（メモリセルアレイ）52Aを単独で備える構成であるため、読み出しと書き込みを切り換えながら実行するという制御が不要である。このため、図1における読み書き切換制御部41を備えない。また、読み出しや書き込みのタイミングを制御する必要

がないため、読み出し制御部 36 や書き込み制御部 39 も不要である。さらに、複数のサブバンクを入れ換えるという動作を伴わないため、当然にサブバンク入れ換え部 42 を備えない。

[0168] また、バースト読み出しやバースト書き込みを行わない構成であるため、入力される一のアドレスに基づいて、バースト長相当分連続するアドレスを演算して展開する必要がない。このため、読み出し制御部 36 及びバッファ 38 が不要である。

[0169] このため、図 9 に示すように、本実施形態における不揮発性半導体記憶装置のメモリ制御部 30 は、命令解釈部 31、バッファ 32、出力制御部 33、バッファ 34、行アドレスバッファ 35、比較部 37、読み出し／書き込み制御部 40、及び読み出し回路 43 を備える構成である。なお、読み出し／書き込み制御部 40 は、内部にアドレスバッファ 44 を備える。

[0170] なお、本実施形態においても、第 1 実施形態と同様、図 9 におけるデコーダ部（行デコーダ 53、列デコーダ 51A）及びサブバンク 52A は、説明の都合上、1 アドレスに対し 1 ビットのデータを持つ形態を想定した図示となっている。多ビットのデータを扱う場合には、これらは図 10 に示されるような構成を取る。言い換えれば、図 10 にされる複数の各メモリユニットや各デコーダ部を、まとめて一つに図示したのが図 9 の構成である。なお、図 10 は、第 1 実施形態で説明した図 2 から、サブバンク B 及び列デコーダ B を削除した構成であるため、説明の重複を避けるべく、各構成要素の接続関係等の説明を省略する。

[0171] 本実施形態における書き込み動作について図 11 のタイミングチャートを参照して説明する。

[0172] CPU 10 からメモリアクセス制御部 20 に、CPU バスコマンド（書き込み）「CW」、CPU バスアドレス「CA1」、及び CPU バスデータ（書き込み対象データ）「CD1」が送られると、メモリアクセス制御部 20 はこれをメモリ制御部 30 に適した形式に変換し、メモリバス 21 を介して、メモリ制御部 30 に送出する。具体的には、CPU バスアドレス「CA1

」を上位部分「AA1（行アドレス）」と下位部分「WA1（列アドレス）」とに分割し、メモリバス21のコマンドに「AC（行アドレス指定コマンド）」を出力した時に行アドレス「AA1」を、メモリバス21のコマンドに「WC（書き込みコマンド）」を出力した時に列アドレス「WA1」を、メモリバス21のアドレスに出力する。結果として、メモリバス21のコマンドに出力された「AC」と「WC」は命令解釈部31に与えられ、メモリバス21のアドレスに出力された「AA1」と「WA1」はバッファ32に与えられる。また、メモリバス21のコマンドに「WC」を出力した際には、メモリバスデータ21のデータに「WD1」が出力され、バッファ34に供給される。尚、前記「WD1」は前記「CD1」と同一値である。

[0173] 命令解釈部31は、入力されたコマンドが行アドレス指定コマンド「AC」であることを認識すると、これを信号ComCとして行アドレスバッファ35に送る。それと同期して、バッファ32から信号AddCとして行アドレス「AA1」が行アドレスバッファ35に送られるので、行アドレスバッファ35は行アドレス指定コマンド「AC」をトリガとして、行アドレス「AA1」を信号Rowとして行デコーダ53に送る。行デコーダ53はサブバンク52Aのこの信号Rowで指定された行アドレスをアクティブとする。

[0174] また、命令解釈部31は、入力されたコマンドが書き込みコマンド「WC」であることを認識すると、これを信号ComCとして読み出し／書き込み制御部40に送る。これに同期して、バッファ32から信号AddCとして列アドレス「WA1」が読み出し／書き込み制御部40に送られるので、読み出し／書き込み制御部40は、前記ComCとして送られてきた「WC」をトリガとして、内部のアドレスバッファ44にこの「WA1」を記憶する。命令解釈部31は、書き込みコマンド「WC」を受け取ると、第1実施形態と同様、信号R/Wをアクティブ（High状態）にして出力制御部33及び比較部37に与える。

[0175] 読み出し／書き込み制御部40は、前記のように書き込みコマンド「WC

」により、書き込み処理の指示を受けると、アドレスバッファ44に書き込みアドレス「WA1」が書き込まれた後で、メモリバス25を介して、列デコーダ51Aに対し読み出しコマンド「RC」と読み出しアドレスを出力する。なお、このときの読み出しアドレス値には、バッファ32から信号AddCとして与えられ、アドレスバッファ44に記憶されていた書き込みアドレス「WA1」を用いる。

[0176] 列デコーダ51Aは、前記読み出しコマンド「RC」及び読み出しアドレス「WA1」を受け取ると、同アドレスに対応したメモリセル（選択メモリセル）の両端に読み出し用電圧が印加されるよう、ビット線に所定電圧を印加する。なお、ワード線、ソース線は、行アドレスバッファ35から信号Rowとして行デコーダに行アドレス「AA1」が与えられた時点で選択メモリセルに所定電圧が印加（アクティブ化）されている。そして、前記選択メモリセルに接続される電圧線を通る電流値を、読み出し／書き込み制御部40を介して読み出し回路43によって読み出す。これによって、前記選択メモリセルに格納されている既書き込みデータRD1が読み出される。

[0177] 読み出し回路43は、既書き込みデータRD1を信号DataCとして比較部37に出力する。また、前記データRD1の出力タイミングを示す信号DEを比較部37に出力する。比較部37は、信号R/Wがアクティブ（High状態）であるため、前記信号DEにより読み出しデータRD1が出力されていることを検知すると、その読み出しデータRD1と信号DataOとしてバッファ34から与えられる書き込み対象データWD1との比較を行う。そして、比較した結果Comp（図11上ではComp1に相当）が不一致であった場合には、読み出し／書き込み制御部40に書き込み処理の実行を指示し、読み出し／書き込み制御部40によって同メモリセルに対して書き込み対象データWD1の書き込み指示が与えられる。一方、前記比較結果Comp1が一致であった場合には何も行わない

[0178] 具体的には、読み出し／書き込み制御部40は、前記書き込み処理の実行を指示されると、メモリバス25を介して、列デコーダ51Aに対し、書き

込みコマンドWC 1、書き込みアドレス、及び書き込み対象データを出力する。書き込みアドレスには、バッファ32から信号AddCとして与えられ、アドレスバッファ44に記憶されていたアドレスWA 1を用い、書き込み対象データには、バッファ34から信号DatOとして与えられるデータWD 1を用いる。なお、バッファ34はFIFOバッファであり、入力された書き込み対象データを一定期間遅延させて出力するようになっている。本実施形態においては、図11に示したように、バッファ34にデータが入力されてから比較部37で比較が行われるまでの時間間隔は一定であるので、FIFOを用いて遅延させるだけで足りる。列デコーダ51Aは、前記書き込みコマンド、書き込みアドレス、及び書き込み対象データを受け取ると、同アドレスに対応したメモリセル（選択メモリセル）の両端に、前記書き込み対象データを書き込むための書き込み用電圧が印加されるようビット線に所定電圧を印加する。なおワード線、ソース線は、前記読み出し処理の時と同様に、行アドレスバッファ35から信号Rowとして行デコーダに「AA 1」が与えられた時点で選択メモリセルに所定電圧が印加（アクティブ化）されている。以上のようにして、前記選択メモリセルに対して書き込み処理が実行される。

[0179] CPUバスコマンドを発行してから一定時間経過すると、本実施形態の不揮発性半導体記憶装置は、新たなコマンド入力を受け付けるようになる。前記一定時間とは、直前のコマンド処理に影響を及ぼさない最短の時間のことである。これを図11を例に説明する。CPU10から出されたアドレス「CA 1」にデータ「CD 1」を書き込むコマンドCWが正常に完了するためには、メモリバス25のコマンドに「WC」が入力されるまで、行デコーダに信号Rowとして入力される値が「AA 1」であり続ける必要がある。従って、次のコマンドはそれを満たすような時間つまり、図11中の「最小書き込み時間」だけ間を置いて入力されなければならないことになる。

[0180] なお、同図における2回目の書き込み処理は、書き込み対象データWD 2（＝CD 2）と書き込みアドレスWA 2の既書き込みデータが一致している

場合（比較部 37 における比較結果 Cmp 2 が一致を示している場合）を示している。この場合、比較処理完了後、実際には読み出し／書き込み制御部 40 からメモリセルに対して書き込み処理の指示が与えられないため、図 11 上では、コマンド WC、アドレス WA 2、データ WD 2 を破線で表し、実際には書き込み処理が行われないことを示している。

[0181] なお、書き込み処理時には、命令解釈部 31 から出力制御部 33 に「High」状態を示す信号 R/W が与えられるため、比較処理のために読み出し回路 43 によって読み出された既書き込みデータはデータバス 21 に出力されない。

[0182] 本実施形態では、メモリセルへの書き込み処理の際、1) メモリセルからの既書き込みデータの読み出し処理、2) 既書き込みデータと書き込み対象データの比較処理、3) メモリに対する書き込み対象データの書き込み処理、という各手順を順次処理するため、メモリ書き込みに要する時間が従来のメモリよりも、読み出し並びに比較処理を行う分だけ長くなる。従って、CPU 10 は、前記メモリセルに対する書き込み処理に要する最大時間（すなわち比較結果が異なる場合における書き込み処理が完了するまでの時間）よりも長い時間を持ってから、各コマンドを出力する必要がある。これは、例えば、CPU 10 自身が書き込みコマンドの出力間隔を長くすることで対処可能である。

[0183] 次に、本実施形態における読み出し動作について図 12 のタイミングチャートを参照して説明する。

[0184] CPU 10 からメモリアクセス制御部 20 に、CPU バスコマンド（読み出し）CR、及び CPU バスアドレス CA 1 が送られると、メモリアクセス制御部 20 は、これをメモリ制御部 30 に適した形式に変換し、メモリバス 21 を介して、メモリ制御部 30 に送出する。具体的には、CPU バスアドレス「CA 1」を上位部分「AA 1（行アドレス）」と下位部分「RA 1（列アドレス）」とに分割し、メモリバス 21 のコマンドに「AC（行アドレス指定コマンド）」を出力した時に「AA 1」を、メモリバス 21 のコマン

ドに「RC（読み出しコマンド）」を出力した時に「RA1」を、メモリバス21のアドレスに出力する。結果として、メモリバス21のコマンドに出力された「AC」と「RC」は命令解釈部31に与えられ、メモリバス21のアドレスに出力された「AA1」と「RA1」はバッファ32に与えられる。

[0185] 命令解釈部31は、入力されたコマンドが行アドレス指定コマンド「AC」であることを認識すると、これを信号ComCとして行アドレスバッファ35に送る。それと同期して、バッファ32から信号AddCとして行アドレス「AA1」が行アドレスバッファ35に送られるので、行アドレスバッファ35は行アドレス指定コマンド「AC」をトリガとして、行アドレス「AA1」を信号Rowとして行デコーダ53に送る。行デコーダ53はサブバンク52Aのこの信号Rowで指定された行アドレスをアクティブとする。

[0186] また、命令解釈部31は、入力されたコマンドが読み出しコマンド「RC」であることを認識すると、これをComCとして読み出し／書き込み制御部40に送る。これに同期して、バッファ32から信号AddCとして列アドレス「RA1」が読み出し／書き込み制御部40に送られるので、読み出し／書き込み制御部40は内部のアドレスバッファ44にこの「RA1」を、前記ComCとして送られてきた「RC」をトリガとして記憶する。さらに、命令解釈部31は、R/W信号をインアクティブ（「Low」状態）として、出力制御部33及び比較部37に与える。

[0187] 読み出し／書き込み制御部40は、メモリバス25を介して列デコーダ51Aに対し、読み出しコマンドRCと読み出しアドレスを出力する。読み出しアドレス値としては、バッファ32から信号AddCとして与えられ、アドレスバッファ44に記憶されていた読み出しアドレス値RA1を用いる。列デコーダ51Aは、前記指示を受けると、読み出しアドレス値RA1に対応したメモリセル（選択メモリセル）の両端に読み出し用電圧が印加されるよう、ビット線に所定電圧を印加する。なお、ワード線、ソース線は、行ア

ドレスバッファ35から信号Rowとして行デコーダに「AA1」が与えられた時点で選択メモリセルに所定電圧が印加（アクティブ化）されている。そして、前記選択メモリセルに接続される電圧線を通る電流値を、読み出し／書き込み制御部40を介して読み出し回路43によって読み出す。これによって、前記選択メモリセルに格納されている既書き込みデータRD1が読み出される。

[0188] 読み出し回路43は、前記データRD1の出力タイミングを示す信号DEを出力する。出力制御部33は、与えられる信号R/WがLow状態であることから、前記信号DEをトリガとして、信号DataCとして読み出し回路43から送られる既書き込みデータRD1を、データバス21を介してメモリアクセス制御部20に出力する。メモリアクセス制御部20は、この読み出しデータRD1をCPUバス11を介してCPU10に与える。なお、信号R/WがLow状態であるため、比較部37は、信号DataCとして読み出し回路43から送られる既書き込みデータRD1を用いた比較処理を行わない。

[0189] 上述した本実施形態の不揮発性半導体記憶装置の処理は、ビット幅（ワード）単位で処理されることを前提としたものであるが、図13に示す構成のように、メモリバス25にデータのビットイネーブルを伝送する仕組みを追加すれば、書き込みの可否をビット毎の一致・不一致で行うことも可能である。この場合、メモリセルはビット単位での書き込み処理が可能であることが前提となる。ビット単位での書き込みは、図10における、WEA[1:j]（jはワードのビット幅を示す）に、比較部37の比較結果の信号Compを適用することにより実現できる。

[0190] なお、図11、図12に示したタイミングチャートは、本実施例の原理を示すものであるが、バスの条件やシステム上の制約等によって、クロックの乗せ換えやアドレス値、データビット幅の変換等の処理が必要となる場合がある。しかし、これらの処理は、必要に応じて適宜選択して適用すればよく、本発明の主旨とは異なるため説明を割愛する。

- [0191] なお、本実施形態において、メモリ制御部 30 で実現している処理は、ソフトウェアによって実現することも可能である。即ち、CPU 10 上で実行されるソフトウェア（あるいはファームウェア）が、図 14 に示されたような手順でメモリへの書き込み処理を行うことにより、前記メモリ制御部 30 により実現している処理と同等の処理が実現できる。
- [0192] 図 14 は、本実施形態における処理をソフトウェアによって実現する場合の処理手順を示すフローチャートである。
- [0193] まず、CPU 10 内部で実行されるプログラムにおいて、メモリセルへの書き込み要求が発生すると（ステップ S 100）、前記要求の書き込み対象データを保存する（ステップ S 101）。前記書き込みデータの保存先としては、CPU 10 内部のレジスタやキャッシュ（図示なし）が望ましいが、外部に SRAM や DRAM が接続されている場合にはそれらを利用しても良い。
- [0194] なお、前記ステップ S 100 における書き込み要求時には、書き込み対象データの他、書き込み先アドレスも併せて与えられる。
- [0195] 次に、CPU 10 は、ステップ S 100 の書き込み要求で指定された書き込み先アドレスに対し、既書き込みデータの読み出し処理を実行する（ステップ S 102）。そして、読み出された既書き込みデータ（データ R）を受け取ったら（ステップ S 103）、ステップ S 101 で保存しておいた書き込み対象データ（データ W）を読み出して（ステップ S 104）、既書き込みデータとの比較を行う（ステップ S 105）。
- [0196] そして、前記ステップ S 105 における比較処理において、既書き込みデータと書き込み対象データが一致した場合には（ステップ S 105 において Yes）、そのまま何もせずにステップ S 100 において発生した書き込み要求に対応する書き込み処理を終了する。一方、前記比較結果が不一致の場合には（ステップ S 105 において No）、書き込み対象データを書き込み先アドレスに書き込む処理を実行し（ステップ S 106）、ステップ S 100 において発生した書き込み要求に対応する書き込み処理を終了する。

[0197] また、CPU 10 内部でメモリセルへの読み出し要求が発生した場合については、既存のCPUの読み出し処理と同じ手順で処理が行われる。

[0198] なお、以上の各実施形態では、メモリセルをRAMで構成されるものとして説明を行ったが、RAM以外の不揮発性記憶素子で構成されるものとしても構わない。

符号の説明

- [0199]
- | | |
|------|--------------|
| 1 : | 不揮発性半導体記憶装置 |
| 10 : | CPU |
| 11 : | CPUバス |
| 20 : | メモリアクセス制御部 |
| 21 : | メモリバス |
| 25 : | メモリバス |
| 30 : | メモリ制御部 |
| 31 : | 命令解釈部 |
| 32 : | バッファ |
| 33 : | 出力制御部 |
| 34 : | バッファ |
| 35 : | 行アドレスバッファ |
| 36 : | 読み出し制御部 |
| 37 : | 比較部 |
| 38 : | バッファ |
| 39 : | 書き込み制御部 |
| 40 : | 書き込み／読み出し制御部 |
| 41 : | 読み書き切換制御部 |
| 42 : | サブバンク入れ換え部 |
| 43 : | 読み出し回路 |
| 44 : | アドレスバッファ |
| 45 : | データバッファ |

- 50 : メモリ
- 51 A, 51 B : 列デコーダ
- 51 A 0、51 A 1、51 A 2、51 A 3、51 B 0、51 B 1、51 B 2、51 B 2 : 列デコーダ
- 52 A, 52 B : メモリセルアレイ (サブバンク)
- 52 A 0、52 A 1、52 A 2、52 A 3、52 B 0、52 B 1、52 B 2、52 B 3 : サブバンク
- 53 : 行デコーダ
- 60 : 半導体基板
- 61 : 素子分離領域
- 62 : ゲート絶縁膜
- 63 : ゲート電極
- 64 : ドレイン拡散領域
- 65 : ソース拡散領域
- 66 : 層間絶縁膜
- 67 : コンタクトホール
- 68 : オーミックコンタクト層
- 69 : 下部電極
- 70 : 可変抵抗体
- 71 : 上部電極
- 72 : 層間絶縁膜
- 73 : コンタクトホール
- 74 : コンタクトホール
- 75 : 配線
- 76 : 配線
- 77 : 層間絶縁膜
- 78 : 配線
- 79 : 表面保護膜

100 : 可変抵抗素子
101 : 上部電極（第1電極）
102 : 可変抵抗体
103 : 下部電極（第2電極）
501、502、503、504 : メモリユニット
530、531、532、533 : 行デコーダ

請求の範囲

[請求項1]

不揮発性のメモリセルの複数をマトリクス状に配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセルアレイと、

指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、

前記書き込み／読み出し制御部からの指示に基づいて前記ビット線及び前記ワード線に電圧を印加することで、前記対象メモリセルに書き込み電圧または読み出し電圧を印加するデコーダ部と、

前記読み出し電圧の印加された前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、

入力される複数のデータの比較を行う比較部と、を備えてなり、

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された書き込み対象データの書き込みを行う際、

前記デコーダ部が、

前記第1サブバンク内の第1対象メモリセルに対して読み出し電圧を印加する第1動作と、

前記第2サブバンク内の第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの前記比較部による比較結果が異なる場合にのみ前記第2対象メモリセルに対して書き込み電圧を印加する第2動作と、を同一時間帯に実行することを特徴とする不揮発性半導体記憶装置。

[請求項2]

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記デコーダ部は、前記第 1 動作と前記第 2 動作で構成された動作ステップを、前記第 1 対象メモリセル及び前記第 2 対象メモリセルを変化させながら複数回実行する構成であり、

前記各動作ステップにおける前記第 2 対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第 1 対象メモリセルであることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項3]

前記デコーダ部は、

前記第 1 サブバンク及び前記第 2 サブバンクに共通して設けられると共に、前記第 1 サブバンク及び前記第 2 サブバンク夫々の対応する前記ワード線に同時に電圧を印加する行デコーダと、

前記第 1 サブバンクの前記ビット線に電圧を印加する第 1 列デコーダと、

前記第 2 サブバンクの前記ビット線に電圧を印加する第 2 列デコーダと、を備え、

前記第 1 動作は、前記行デコーダが前記第 1 対象メモリセルに接続された前記ワード線に電圧を印加した状態で、前記第 1 列デコーダが前記第 1 対象メモリセルに接続されたビット線に読み出し電圧を印加する動作であり、

前記第 2 動作は、前記第 2 対象メモリセルの前記既書き込みデータと当該第 2 対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ、前記第 2 列デコーダが前記第 1 対象メモリセルと同一行に位置する前記第 2 対象メモリセルに接続されたビット線に書き込み電圧を印加する動作であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

[請求項4]

前記メモリセルアレイが、前記第 1 サブバンク及び前記第 2 サブバンクからなるメモリユニットを複数備えて構成され、

前記デコーダ部が、前記各メモリユニット毎に設けられ、

複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記対象メモリセルが存在する前記メモリユニットに備えられた前記各デコーダ部それぞれが、前記第1動作と前記第2動作とを同一時間帯に実行することを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

[請求項5] 前記メモリセルが、印加電圧に応じて抵抗値を可逆的に変化させる可変抵抗素子で構成されており、当該可変抵抗素子の抵抗値に応じて情報を記憶する構成であることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

[請求項6] 不揮発性半導体記憶装置の駆動方法であって、

前記不揮発性半導体記憶装置は、不揮発性のメモリセルの複数のマトリクス状に配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセルアレイを備えており、

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記第1サブバンク内の第1対象メモリセルに対して読み出し電圧を印加する第1動作と、

前記第2サブバンク内の第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ前記第2対象メモリセルに対して書き込み電圧を印加する第2動作と、を同一時間帯に実行することを特徴とする不揮発性半導体記憶装置の駆動方法。

[請求項7] 前記第1動作と前記第2動作で構成された動作ステップを、前記第

1 対象メモリセル及び前記第 2 対象メモリセルを変化させながら複数回実行し、

前記各動作ステップにおける前記第 2 対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第 1 対象メモリセルであることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の駆動方法。

[請求項 8]

前記メモリセルアレイが、前記第 1 サブバンク及び前記第 2 サブバンクからなるメモリユニットを複数備えて構成されており、

複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記対象メモリセルが存在する前記メモリユニットのそれぞれにおいて、前記第 1 動作と前記第 2 動作とを同一時間帯に実行することを特徴とする請求項 6 または 7 に記載の不揮発性半導体記憶装置の駆動方法。

[請求項 9]

電気抵抗の変化により情報を記憶する可変抵抗素子を有するメモリセルを行方向及び列方向にそれぞれ複数配列し、同一行の前記メモリセルの第 1 端子を共通のワード線に接続し、同一列の前記メモリセルの第 2 端子を共通のビット線に接続してなるメモリセルアレイを備えた不揮発性半導体記憶装置であって、

指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、

前記書き込み／読み出し制御部からの指示に基づいて前記ビット線及び前記ワード線に電圧を印加することで、前記対象メモリセルに書き込み電圧または読み出し電圧を印加するデコーダ部と、

前記読み出し電圧の印加された前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、

入力される複数のデータの比較を行う比較部と、を備えてなり、

前記対象メモリセルに書き込み対象データの書き込みを行う際、
前記デコーダ部は、前記書き込み／読み出し制御部からの指示に基づき前記対象メモリセルに読み出し電圧を印加し、
前記比較部は、前記書き込み対象データと前記読み出し回路によって読み出された前記既書き込みデータとを比較して比較結果を前記書き込み／読み出し制御部に与え、
前記書き込み／読み出し制御部は、前記比較結果が異なる場合にのみ、前記デコーダ部に対し、前記対象メモリセルに前記書き込み対象データを書き込む指示を与えることを特徴とする不揮発性半導体記憶装置。

[請求項10]

電気抵抗の変化により情報を記憶する可変抵抗素子を有するメモリセルを行方向及び列方向にそれぞれ複数配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなるメモリセルアレイを備えた不揮発性半導体記憶装置の駆動方法であって、

指定アドレスに対応する対象メモリセルに対して書き込み対象データの書き込み動作を行うに際し、

まず、前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行い、

次に、前記既書き込みデータと前記書き込み対象データの比較を行い、比較結果が同一の場合には前記対象メモリセルへの書き込みを行わず、前記比較結果が異なる場合には前記対象メモリセルに前記書き込み対象データの書き込みを行うことを特徴とする不揮発性半導体記憶装置の駆動方法。

[請求項11]

メモリセルの複数をマトリクス状に配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセ

ルアレイと、

指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、

前記書き込み／読み出し制御部からの指示に基づいて、前記対象メモリセルに書き込み処理または読み出し処理を行うデコーダ部と、

前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、

入力される複数のデータの比較を行う比較部と、を備えてなり、

前記第 1 サブバンク内及び前記第 2 サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された書き込み対象データの書き込みを行う際、

前記デコーダ部が、

前記第 1 サブバンク内の第 1 対象メモリセルに対して読み出し処理を行う第 1 動作と、

前記第 2 サブバンク内の第 2 対象メモリセルの前記既書き込みデータと当該第 2 対象メモリセルへの前記書き込み対象データとの前記比較部による比較結果が異なる場合にのみ前記第 2 対象メモリセルに対して書き込み処理を行う第 2 動作と、を同一時間帯に実行することを特徴とする不揮発性半導体記憶装置。

補正された請求の範囲
[2010年4月19日(19.04.2010)国際事務局受理]

[請求項1]

不揮発性のメモリセルの複数をマトリクス状に配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセルアレイと、

指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、

前記書き込み／読み出し制御部からの指示に基づいて前記ビット線及び前記ワード線に電圧を印加することで、前記対象メモリセルに書き込み電圧または読み出し電圧を印加するデコーダ部と、

前記読み出し電圧の印加された前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、

入力される複数のデータの比較を行う比較部と、を備えてなり、

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された書き込み対象データの書き込みを行う際、

前記デコーダ部が、

前記第1サブバンク内の第1対象メモリセルに対して読み出し電圧を印加する第1動作と、

前記第2サブバンク内の第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの前記比較部による比較結果が異なる場合にのみ前記第2対象メモリセルに対して書き込み電圧を印加する第2動作と、を同一時間帯に実行することを特徴とする不揮発性半導体記憶装置。

[請求項2]

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記デコーダ部は、前記第 1 動作と前記第 2 動作で構成された動作ステップを、前記第 1 対象メモリセル及び前記第 2 対象メモリセルを変化させながら複数回実行する構成であり、

前記各動作ステップにおける前記第 2 対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第 1 対象メモリセルであることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項3]

前記デコーダ部は、

前記第 1 サブバンク及び前記第 2 サブバンクに共通して設けられると共に、前記第 1 サブバンク及び前記第 2 サブバンク夫々の対応する前記ワード線に同時に電圧を印加する行デコーダと、

前記第 1 サブバンクの前記ビット線に電圧を印加する第 1 列デコーダと、

前記第 2 サブバンクの前記ビット線に電圧を印加する第 2 列デコーダと、を備え、

前記第 1 動作は、前記行デコーダが前記第 1 対象メモリセルに接続された前記ワード線に電圧を印加した状態で、前記第 1 列デコーダが前記第 1 対象メモリセルに接続されたビット線に読み出し電圧を印加する動作であり、

前記第 2 動作は、前記第 2 対象メモリセルの前記既書き込みデータと当該第 2 対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ、前記第 2 列デコーダが前記第 1 対象メモリセルと同一行に位置する前記第 2 対象メモリセルに接続されたビット線に書き込み電圧を印加する動作であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

[請求項4]

前記メモリセルアレイが、前記第 1 サブバンク及び前記第 2 サブバンクからなるメモリユニットを複数備えて構成され、

前記デコーダ部が、前記各メモリユニット毎に設けられ、

複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記対象メモリセルが存在する前記メモリユニットに備えられた前記各デコーダ部それぞれが、前記第1動作と前記第2動作とを同一時間帯に実行することを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

[請求項5] 前記メモリセルが、印加電圧に応じて抵抗値を可逆的に変化させる可変抵抗素子で構成されており、当該可変抵抗素子の抵抗値に応じて情報を記憶する構成であることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

[請求項6] 不揮発性半導体記憶装置の駆動方法であって、
前記不揮発性半導体記憶装置は、不揮発性のメモリセルの複数のマトリクス状に配列し、同一行の前記メモリセルの第1端子を共通のワード線に接続し、同一列の前記メモリセルの第2端子を共通のビット線に接続してなる第1サブバンク、及び、前記第1サブバンクと同じ構成の第2サブバンクを備えてなるメモリセルアレイを備えており、

前記第1サブバンク内及び前記第2サブバンク内に位置する複数の対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記第1サブバンク内の第1対象メモリセルに対して読み出し電圧を印加する第1動作と、

前記第2サブバンク内の第2対象メモリセルの前記既書き込みデータと当該第2対象メモリセルへの前記書き込み対象データとの比較結果が異なる場合にのみ前記第2対象メモリセルに対して書き込み電圧を印加する第2動作と、を同一時間帯に実行することを特徴とする不揮発性半導体記憶装置の駆動方法。

[請求項7] 前記第1動作と前記第2動作で構成された動作ステップを、前記第

1 対象メモリセル及び前記第 2 対象メモリセルを変化させながら複数回実行し、

前記各動作ステップにおける前記第 2 対象メモリセルは、当該動作ステップよりも前に既に実行された前記動作ステップ内における前記第 1 対象メモリセルであることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の駆動方法。

[請求項 8]

前記メモリセルアレイが、前記第 1 サブバンク及び前記第 2 サブバンクからなるメモリユニットを複数備えて構成されており、

複数の前記メモリユニットにまたがって配置された複数の前記対象メモリセルに対し、各個別に指定された前記書き込み対象データの書き込みを行う際、

前記対象メモリセルが存在する前記メモリユニットのそれぞれにおいて、前記第 1 動作と前記第 2 動作とを同一時間帯に実行することを特徴とする請求項 6 または 7 に記載の不揮発性半導体記憶装置の駆動方法。

[請求項 9]

(削除)

[請求項 10]

(削除)

[請求項 11]

メモリセルの複数をマトリクス状に配列し、同一行の前記メモリセルの第 1 端子を共通のワード線に接続し、同一列の前記メモリセルの第 2 端子を共通のビット線に接続してなる第 1 サブバンク、及び、前記第 1 サブバンクと同じ構成の第 2 サブバンクを備えてなるメモリセルアレイと、

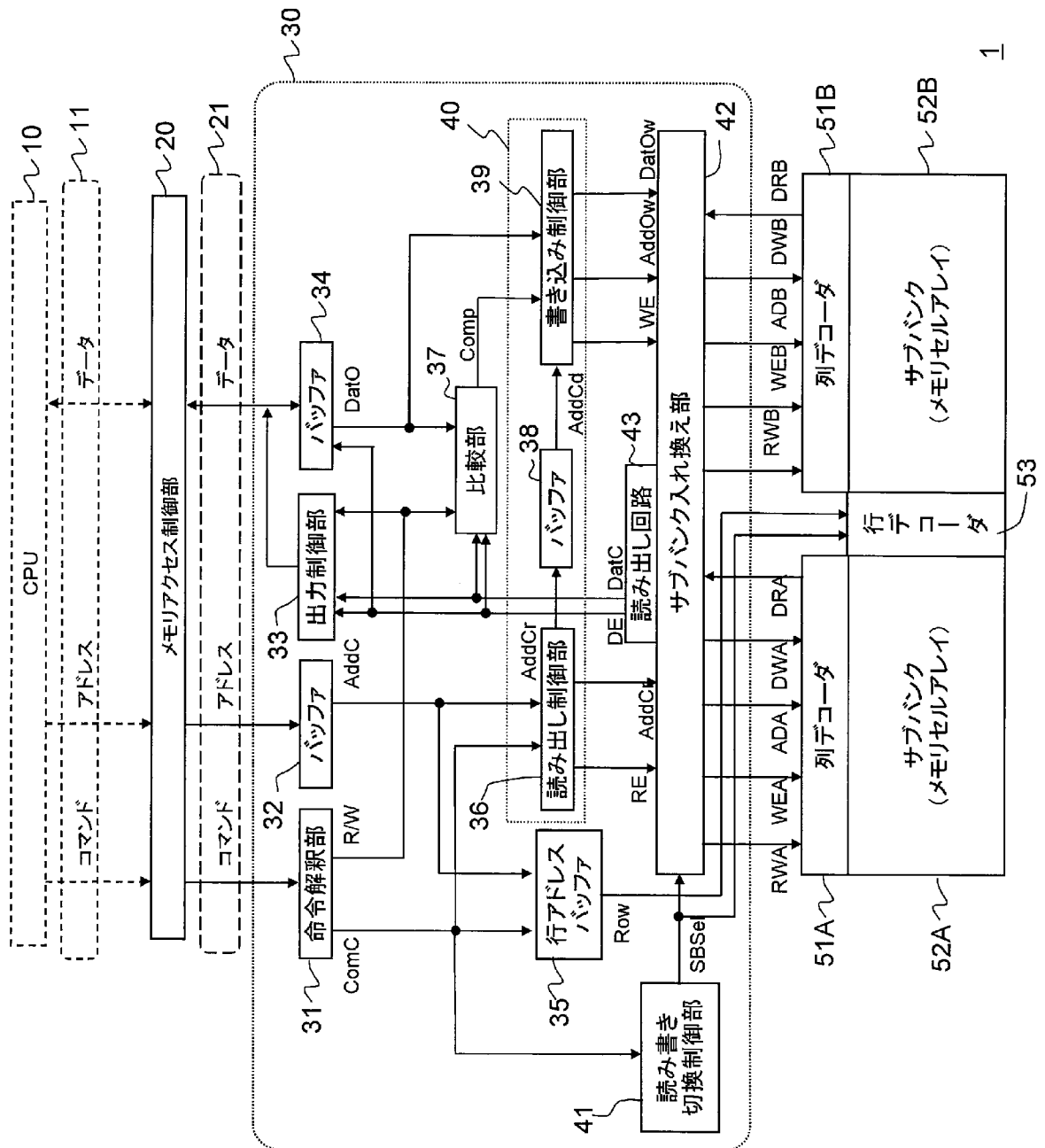
指定アドレスに対応する対象メモリセルへの書き込みまたは読み出しの制御を行う書き込み／読み出し制御部と、

前記書き込み／読み出し制御部からの指示に基づいて、前記対象メモリセルに書き込み処理または読み出し処理を行うデコーダ部と、

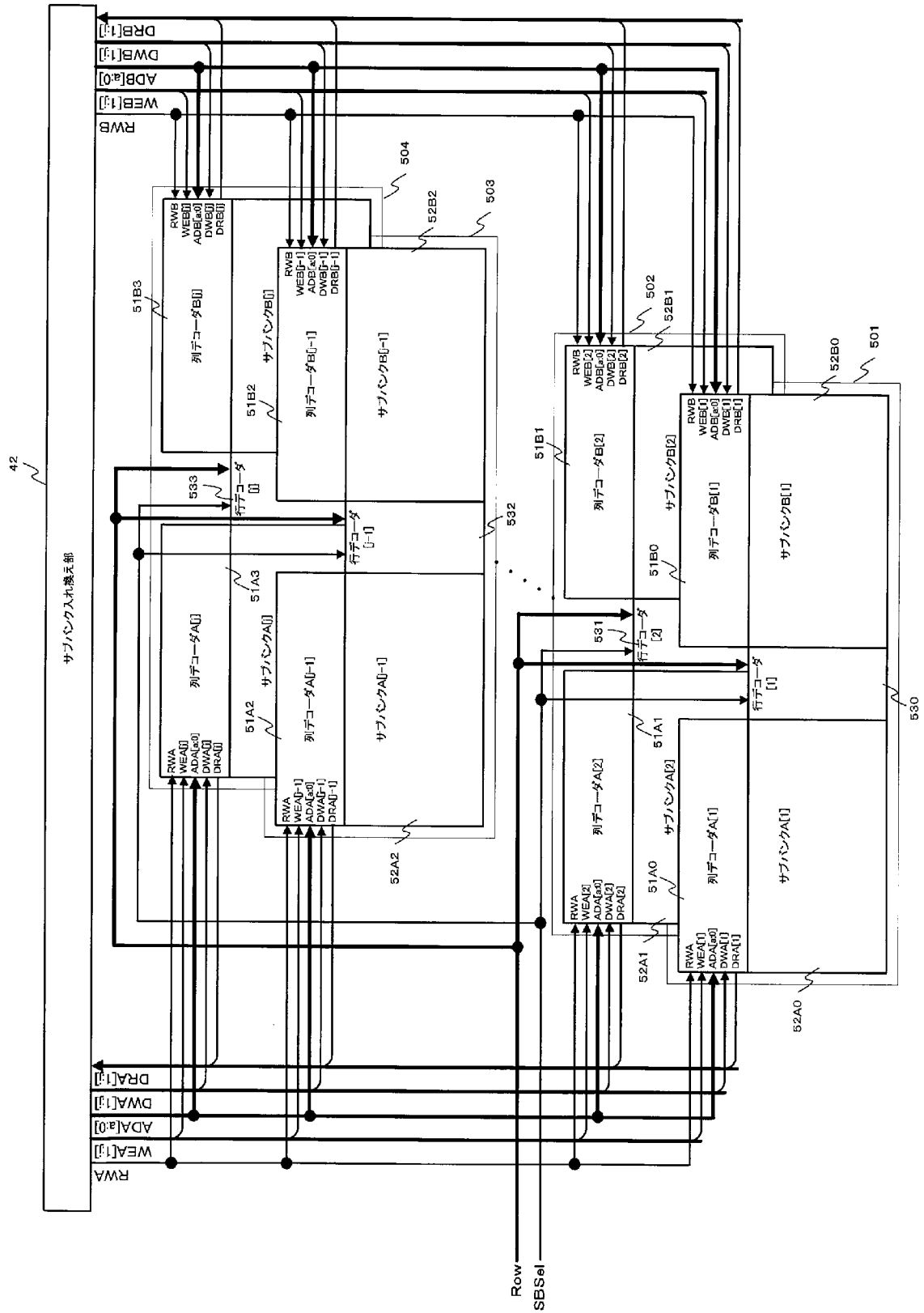
前記対象メモリセルに書き込まれている既書き込みデータの読み出しを行う読み出し回路と、

入力される複数のデータの比較を行う比較部と、を備えてなり、
前記第 1 サブバンク内及び前記第 2 サブバンク内に位置する複数の
前記対象メモリセルに対し、各個別に指定された書き込み対象データ
の書き込みを行う際、
前記デコーダ部が、
前記第 1 サブバンク内の第 1 対象メモリセルに対して読み出し処理
を行う第 1 動作と、
前記第 2 サブバンク内の第 2 対象メモリセルの前記既書き込みデー
タと当該第 2 対象メモリセルへの前記書き込み対象データとの前記比
較部による比較結果が異なる場合にのみ前記第 2 対象メモリセルに対
して書き込み処理を行う第 2 動作と、を同一時間帯に実行することを
特徴とする不揮発性半導体記憶装置。

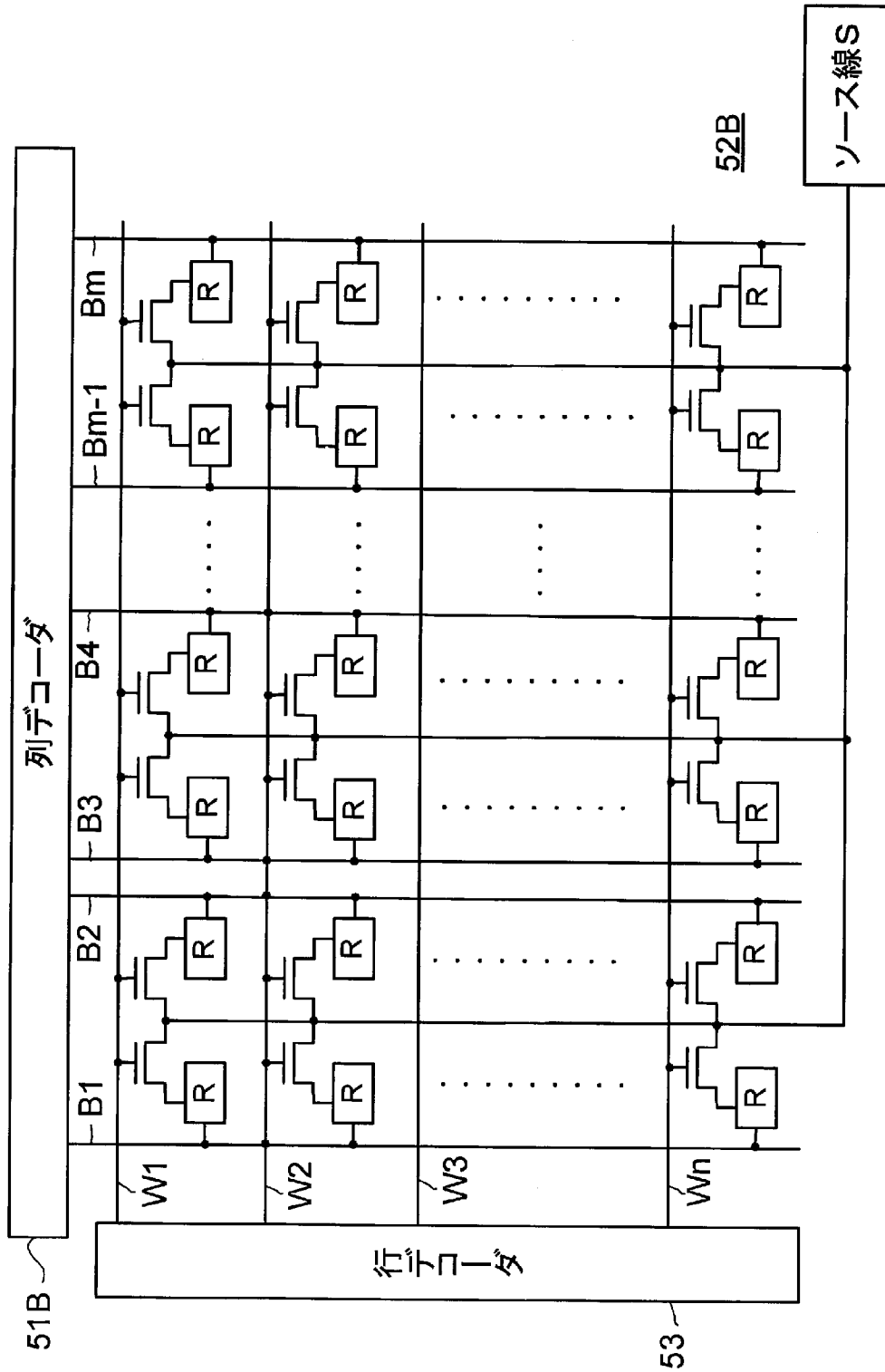
[図1]



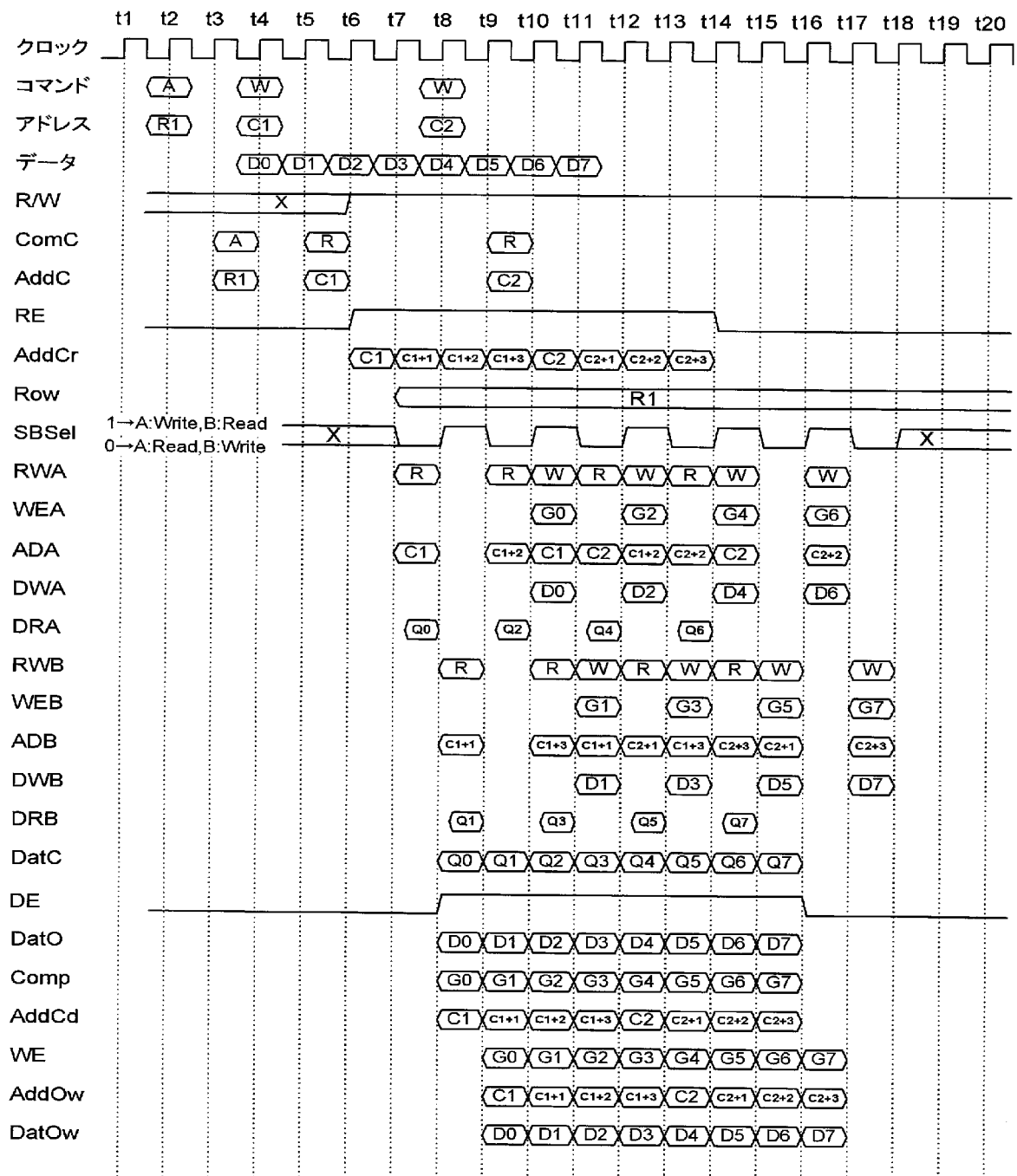
[図2]



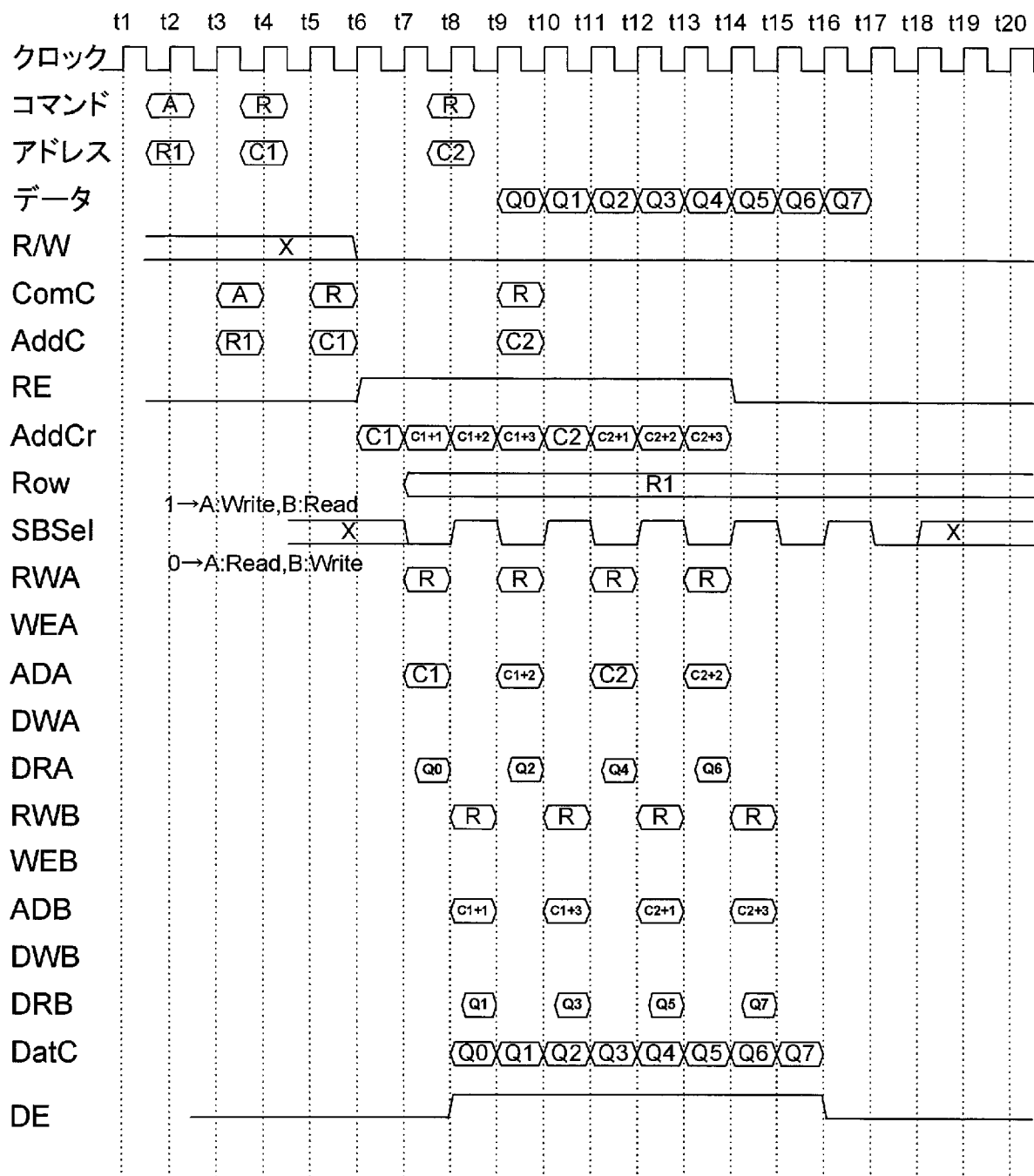
[図3]



[図4]



[図5]

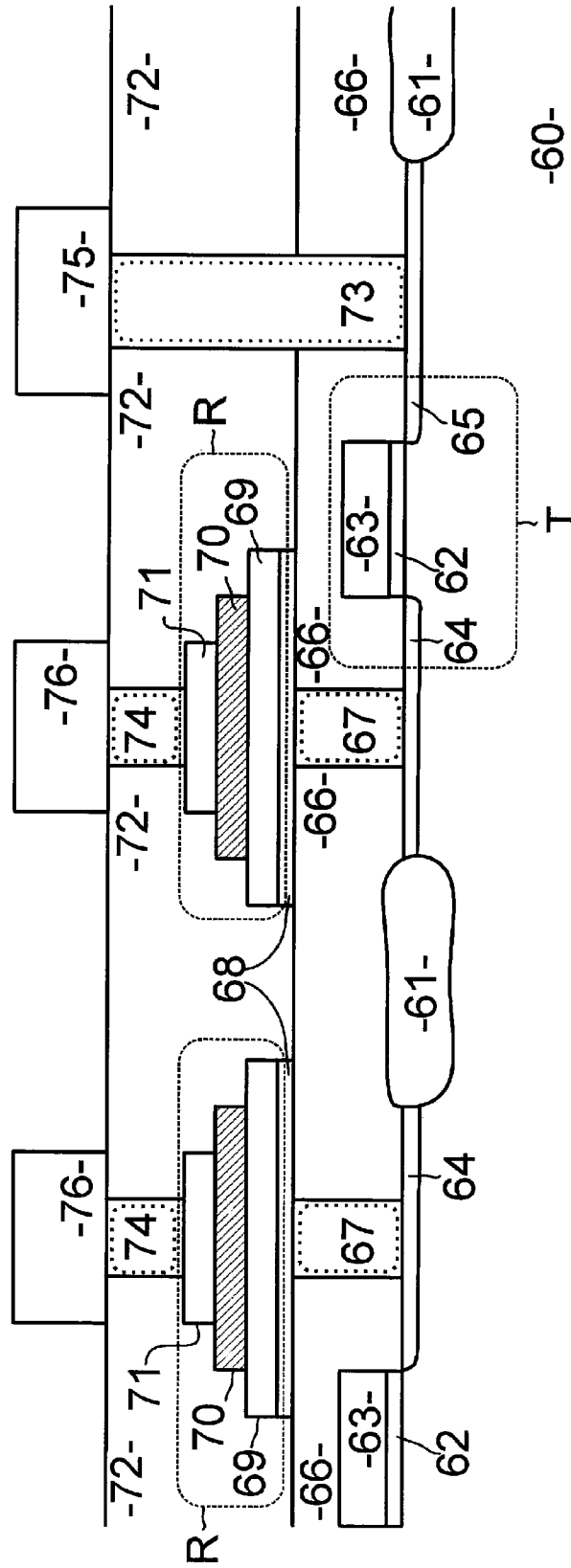


[図6]

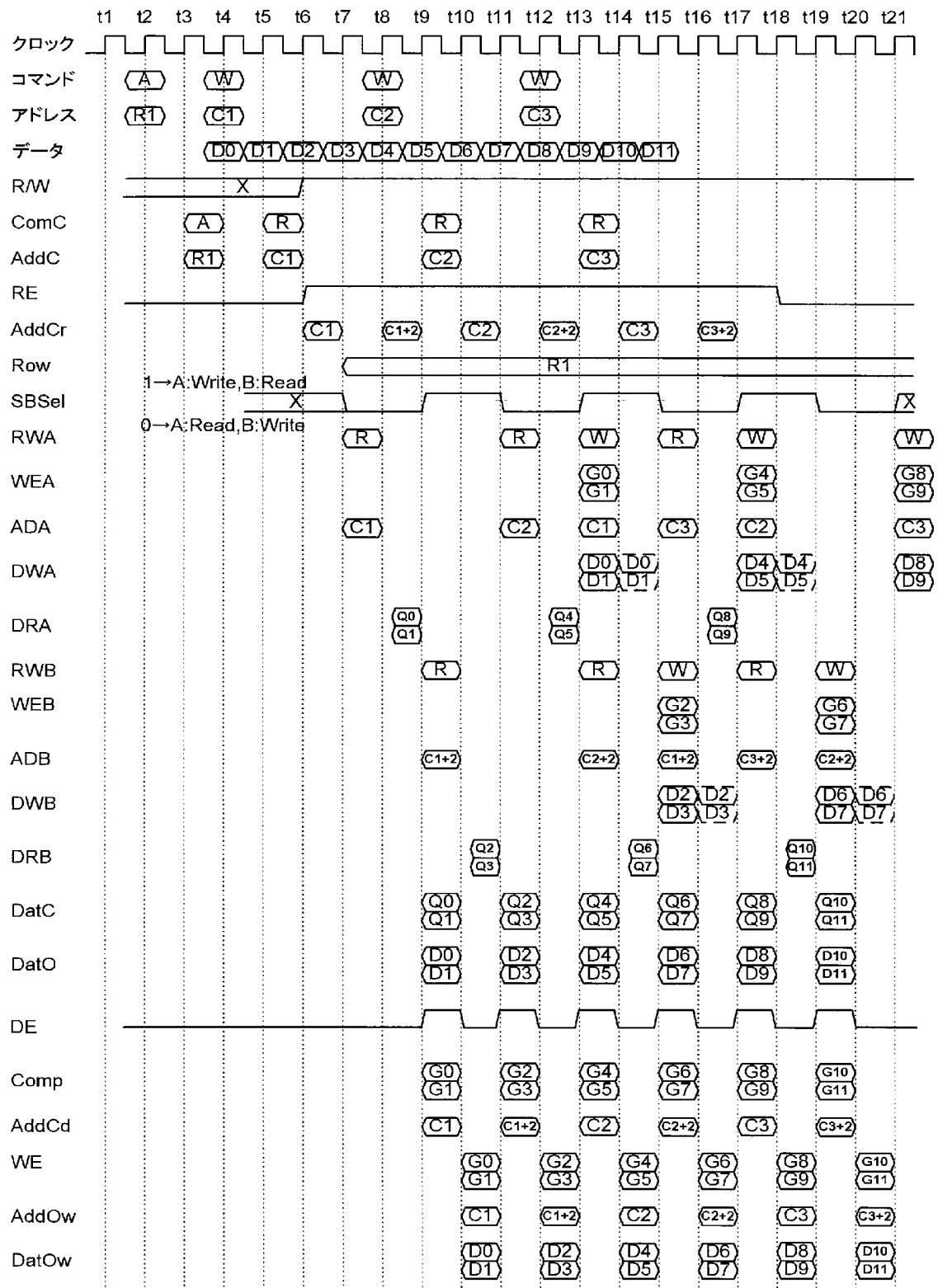
-79-

-78-

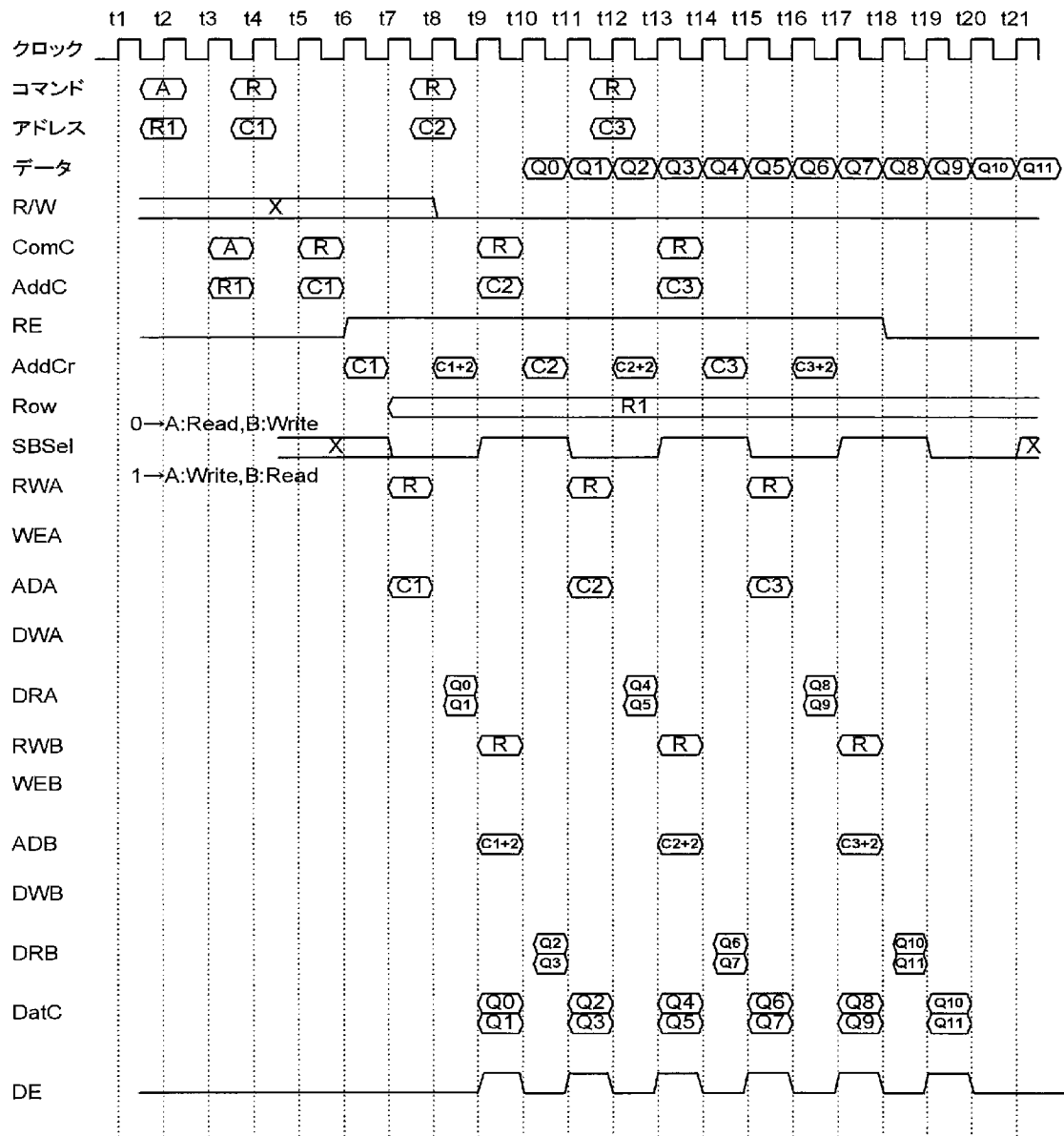
-77-



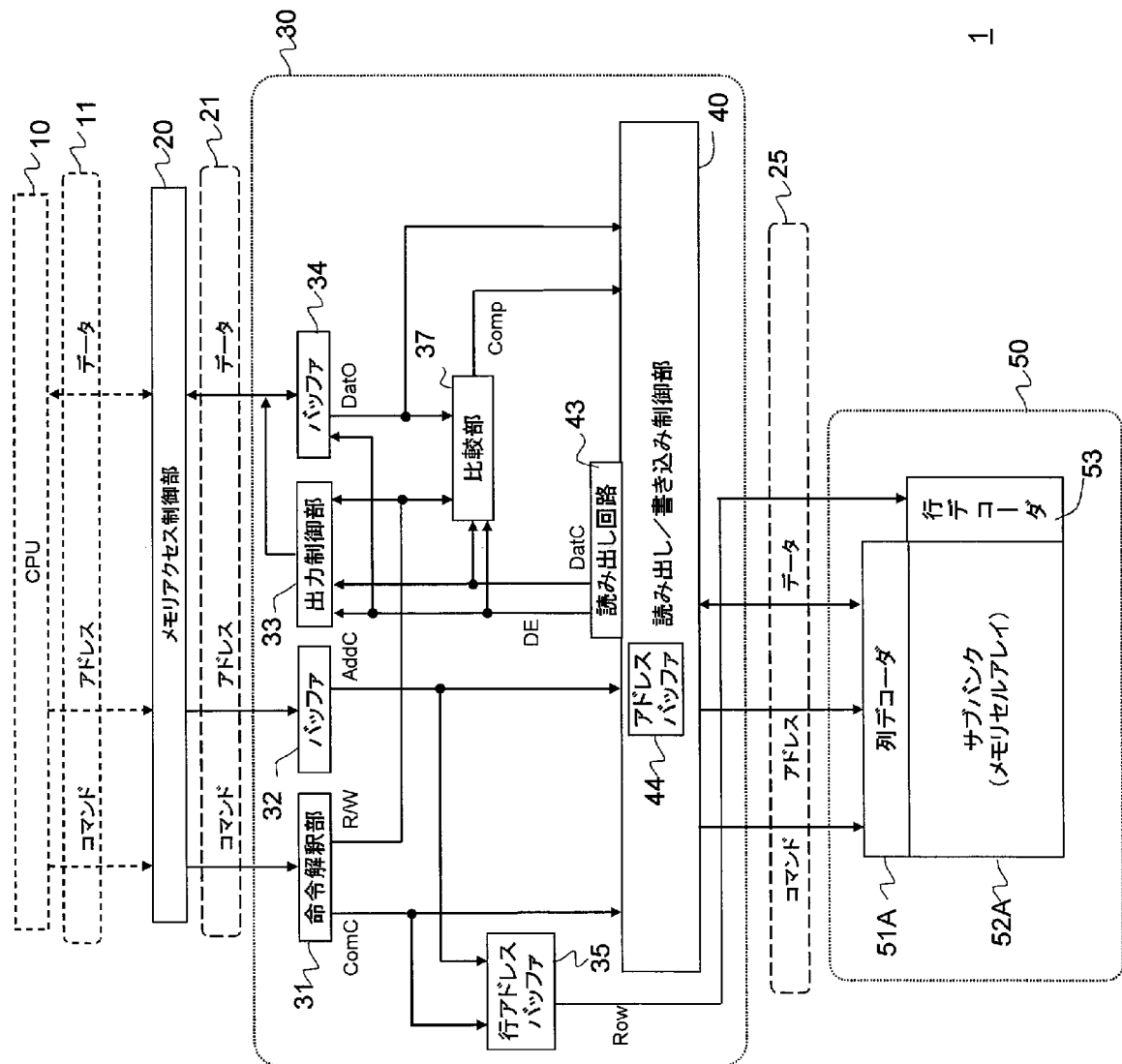
[図7]



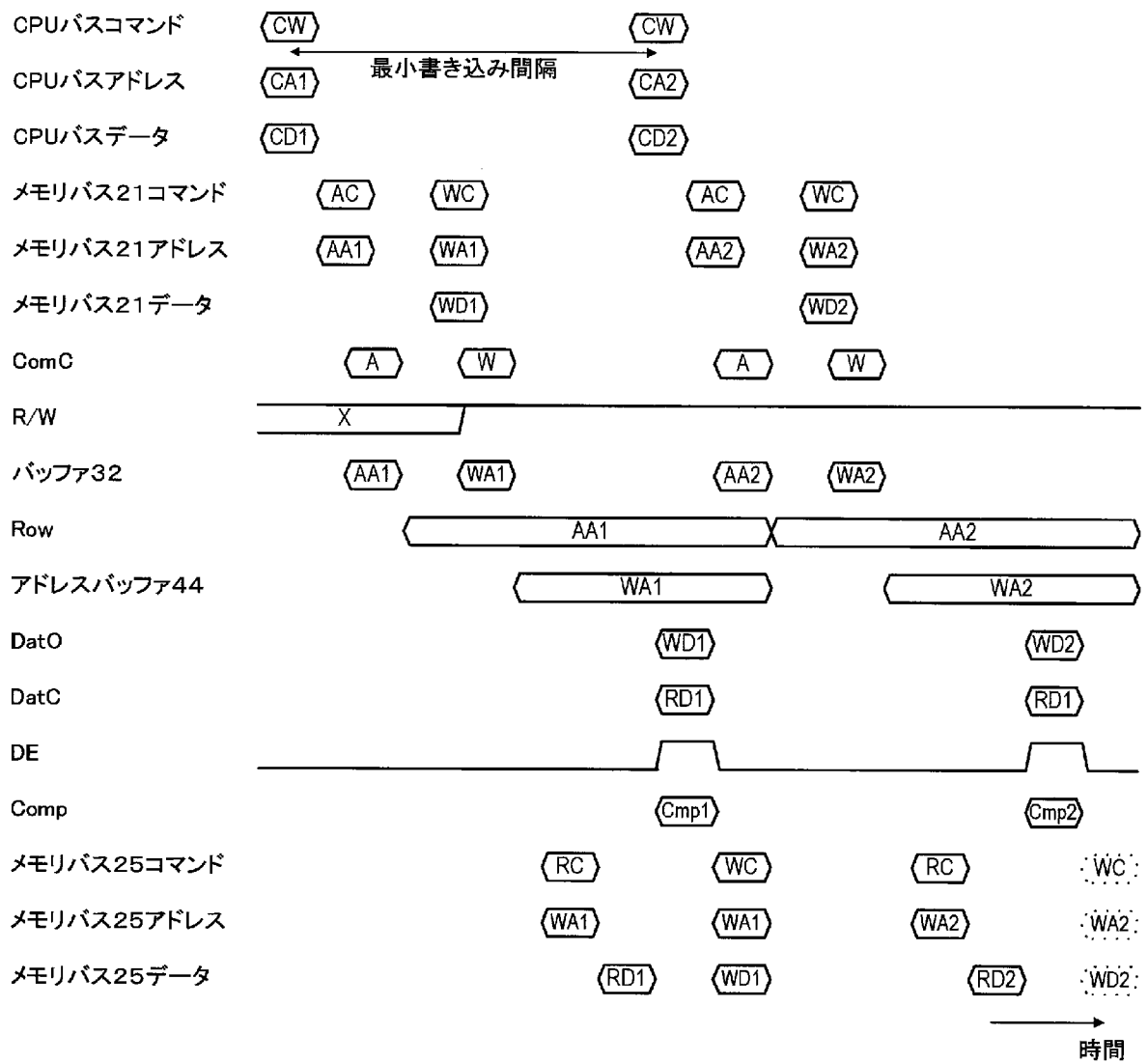
[図8]



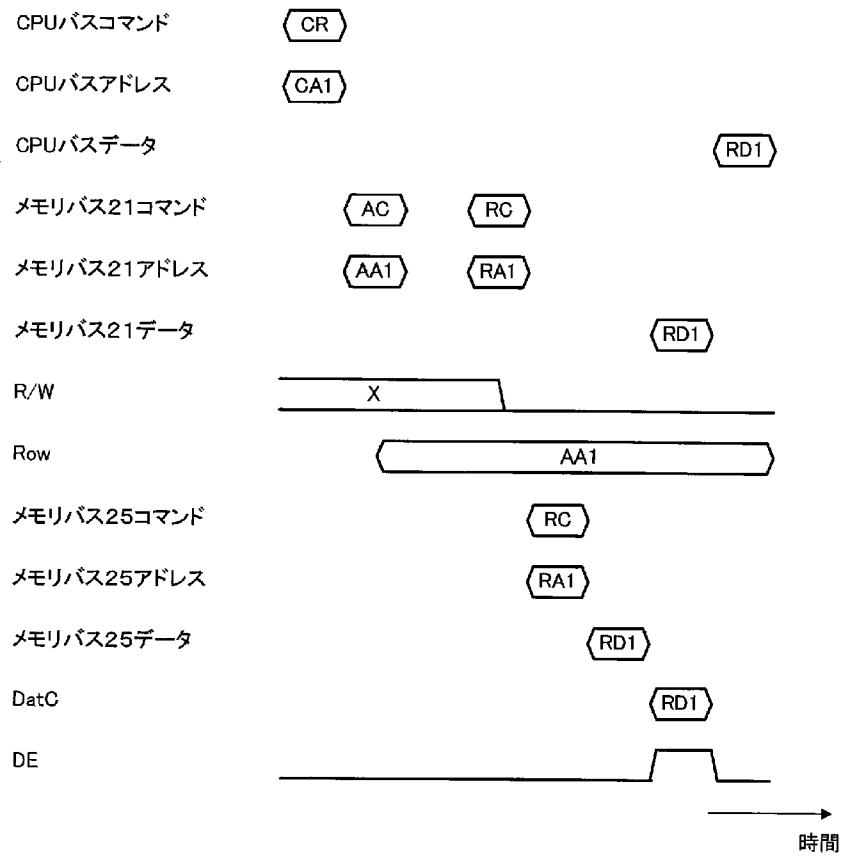
[図9]



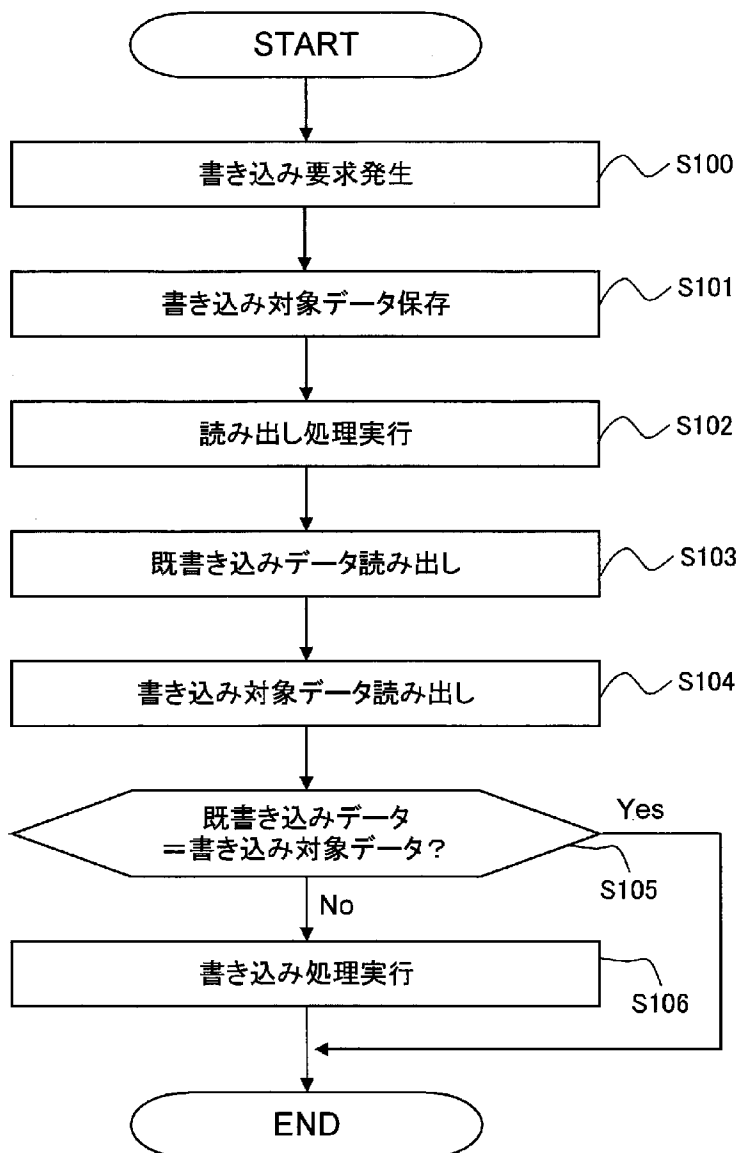
[図11]



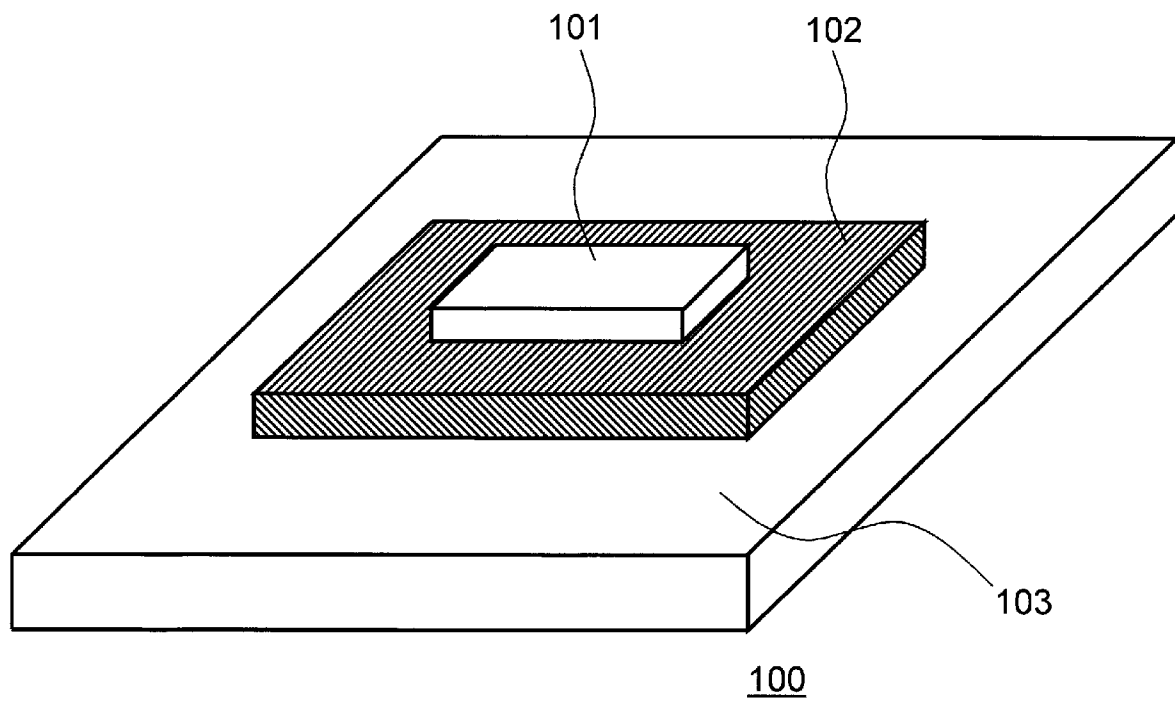
[図12]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/069545

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2008-159178 A (Elpida Memory, Inc.), 10 July 2008 (10.07.2008), paragraphs [0032] to [0103]; fig. 3 to 10 & US 2008/0151656 A1 & CN 101211657 A & TW 200842873 A	9, 10 1-8, 11
A	WO 2008/032394 A1 (Renesas Technology Corp.), 20 March 2008 (20.03.2008), paragraph [0037]; fig. 9 & TW 200814055 A	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 February, 2010 (19.02.10)

Date of mailing of the international search report
02 March, 2010 (02.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C13/00 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-159178 A (エルピーダメモリ株式会社) 2008.07.10, 第 0032-0103 段落, 第 3-10 図	9, 10
A	& US 2008/0151656 A1 & CN 101211657 A & TW 200842873 A	1-8, 11
A	WO 2008/032394 A1 (株式会社ルネサステクノロジ) 2008.03.20, 第 0037 段落, 第 9 図 & TW 200814055 A	1-11

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 2 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

高野 芳徳

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

3 5 6 1