

(由本局填寫)

承辦人代碼:
大 類:
I P C 分類:

本案已向：

德國 (地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2000 年 9 月 1 日 10043218.2 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明(1)

(1)技術背景

磁阻性儲存裝置(MRAM)單元是由一種眾所周知的軟磁性膜、隧道障礙膜與硬磁性膜所構成，此三種膜介於由字元線與位元線所交錯構成之控制電路中，且在控制單元中交錯點是被堆疊起來的。在正常運作情況下經由互相重疊磁場之作用，磁阻性儲存裝置單元可以被寫入資料，此處互相重疊之磁場是經由流過控制電路之電流所產生的。當電流流過時，硬磁性膜會保持自身的磁化方向，同時在軟磁性膜上其自身之磁化方向則是由經由控制電路所流過之電流本身的方向所決定，在特殊情況下軟磁性膜上之磁化方向甚至可能會與硬磁性膜上之磁化方向完全相反。當硬磁性膜上之磁化方向與軟磁性膜上之磁化方向互相平行時，磁阻性儲存裝置單元具有較低之阻抗，而當硬磁性膜與軟磁性膜上之磁化方向反平行時，較高之阻抗將會出現。這兩種不同之阻抗可以被用來當作資訊儲存單元"0"與"1"使用。

這種磁阻性儲存裝置單元已經被證明會受到一種老化過程的影響。舉例來說，經過一段長的時間(比如十年)又或者是當重複存取次數變多(比如 10^{12} 次)時，這種磁阻性儲存裝置單元將會老化，也就是說，硬磁性膜上之磁化方向與極化方向將不再會正確地與軟磁性膜上之磁化方向與極化方向平行或是反平行。當硬磁性膜與軟磁性膜上之磁化方向的平行性與反平行性不再正確時，強迫性的讀取信號衰減將會出現，因為此時平行之磁化方

五、發明說明(2)

向與反平行之磁化方向將不能被正確的區別。到最後這種情況將會使磁阻性儲存裝置單元停止工作。

因為儲存裝置單元會分別的老化，所以對於這種磁阻性儲存裝置單元老化過程的認識是非常重要的。對於這種老化過程的研究是非常複雜與困難的，原因在於若要研究這種老化過程不是要由近乎十年長的觀察時間開始，就是要由近乎高達 10^{12} 次的重複讀取次數著手，而這兩者無論是在實驗觀察時間上與實驗設備上都是非常困難與不可接受的。

(2)本發明之目的及解決課題

此處所提出的發明的課題，是建立一種加速上述老化過程的電路配置與程序，使得較快速與在實驗上較容易執行觀察的老化過程可以達成。

這個課題可以經由信號輸入端之發明性的電路配置來達成，即平行於第一控制單元，一個第二控制單元將被加入，而經由此新增之第二控制單元，一股較經由第一控制單元輸入磁阻性儲存裝置大的電流將被輸入。

這種發明出色的特點在於，比在一般讀寫情況下大的電流可以被輸入至靠近軟磁性膜所配置之控制電路，同時靠近硬磁性膜所配置的控制電路則將會被斷路。

本發明之重點在於，在平行於作為第一控制單元之驅動電晶體之位置上(此驅動電晶體會提供一股電流至靠近軟磁性膜位置所配置之控制電路)，一個作為第二控制單元之驅動電晶體會被加入，這個作為第二控制單元

五、發明說明(3)

之驅動電晶體可以驅動一股較大之電流流過控制電路，且可以經由一個測試模組被激化。這股較大之電流會導致軟磁性膜之硬性電路接通，也就是說，軟磁性膜可以在沒有任何經由其他控制電路流過之電流所產生的疊加磁場下改變自身之極化方向。即靠近硬磁性膜作為控制電路之驅動電晶體可以被斷路，且其功率可以被降低。在測試模組中經由流過第二控制單元之較大電流所產生的硬性電路接通亦可降低硬磁性膜之影響，且可以導致讀取信號的衰減，也就是說，儲存單元的老化過程可以被達到。

在導入一個測試模組下這個發明將可以實現此種硬性的電路接通，而儲存單元的老化加速狀態可以經由這種硬性的電路接通加以達成。

因為儲存單元會因為老化現象而受損，因此此處所提出之發明特別適合用於由此種磁阻性儲存單元陣列所形成之監視單元上。

接下來本發明將會根據附圖一做進一步的解釋，附圖一乃是一個根據本發明所提出的可執行的電路配置範例。

在附圖一中一個由軟磁性膜 WM、硬磁性膜 HM 與隧道障礙膜 TB 所構成之儲存單元 Z 位於由字元線 WL 與位元線 BL 所形成之十字交錯點上，而字元線 WL 則與第一控制單元相連接(在 1 與 2 這兩個位置)。在位置 1 之第一控制單元是由驅動電晶體 T1 與 T2 所構成，同時

五、發明說明(4)

在位置 2 之第一控制單元則是由驅動電晶體 T3 與 T4 所組成。驅動電晶體 T1 及 T2 乃是依照順序被配置在低電位(接地電位)與高電位(供給電位)，同樣的驅動電晶體 T3 與 T4 亦是依照相同的方式配置，且驅動電晶體 T1 至 T4 則是經由電晶體的閘極被控制信號 A,B,B⁻,A⁻,所控制。

驅動電晶體 T1 與 T3 乃是 P 極 MOS 電晶體，而驅動電晶體 T2 與 T4 則是 n 極 MOS 電晶體。

電路節點 K1 與 K2 可以根據由驅動電晶體閘極所輸入之信號(即 A,B,或者是 A⁻,B⁻)被設定在低電位及/或是高電位上。舉例來說當驅動電晶體 T1 與 T4 被斷路而驅動電晶體 T2 與 T3 被導通時(即開關信號 A、B 為高電位)，電路節點 K2 即處於高電位狀態而電路節點 K1 則處於低電位狀態，如此一來則會有一股電流由電路節點 K2 經由字元線 WL 流向電路節點 K1。相反地當驅動電晶體 T2 與 T3 被斷路而驅動電晶體 T1 與 T4 被導通時(即開關信號 A、B 為低電位)，電路節點 K2 即處於低電位狀態而電路節點 K1 則處於高電位狀態，如此一來則會有一股電流由電路節點 K1 經由字元線 WL 由流向電路節點 K2。

相同地位元線 BL 亦是配置與在位置 1 與 2 這二處所配置之第一控制單元相似的控制單元。

軟磁性膜 WM 上之磁化方向可以經由由字元線 WL 與位元線 BL 流過之電流的方向被設定與硬磁性膜 HM 上

五、發明說明(5)

的磁化方向平行或是反平行，如此一來儲存單元 Z 針對上述兩種極化狀態(即硬磁性膜 HM 與軟磁性膜 WM 上的磁化方向互相平行或是互相反平行)便可顯示出低阻抗或是高阻抗的狀態。

本發明的特點在於平行於位置 1 與 2 的第一控制單元(位置 1 之第一控制單元由驅動電晶體 T1 組成，位置 2 之第一控制單元由驅動電晶體 T4 組成)，一個由驅動電晶體 T5 及 T6 組成之第二控制單元(相對於位置 1 與 2)將被加入，而此新加入之驅動電晶體 T5 與 T6 則是由開關信號 TMHS 與 $\overline{\text{TMHS}}$ 所控制。

如同驅動電晶體 T1 一樣，驅動電晶體 T5 是一個 P 極 MOS 電晶體，而驅動電晶體 T6 是一值與驅動電晶體 T4 一樣的 n 極 MOS 電晶體。

此處驅動電晶體 T1 之通道寬度與長度將分別採用 W1 與 L，而驅動電晶體 T5 其通道寬度與長度亦採用 nW1 與 L。

同樣地驅動電晶體 T4 之通道寬度 W2 與長度 L 將被採用，而驅動電晶體 T6 其通道寬度與長度則將採用 nW2 與 L。

當所取之 n 值大於 1 時，驅動電晶體 T5 與 T6 所具有之通道寬度將較驅動電晶體 T1 與 T4 所具有之通道寬度來的寬。在相同通道長度 L 下，經由驅動電晶體 T5 與 T6 所驅動流過字元線 WL 之電流會比經由驅動電晶體 T1 與 T4 所驅動流過字元線 WL 之電流來的大。這股較

五、發明說明(6)

大的電流會導致一個軟磁性膜 WM 的硬性電路接通，如此一來即使在位元線 BL 上沒有任何磁場存在，軟磁性膜 WM 亦可以改變自身之極化方向。也就是說，在位元線 BL 旁的控制單元可以在低功率的情況下被斷路。

經由較大之電流流過由開關信號 TMHS 與 $\overline{\text{TMHS}}$ 所控制之驅動電晶體 T5、T6 所引起的軟磁性膜 WM 之硬性電路接通，將會降低硬磁性膜 HM 的效應，如此一來一個被加速的老化現象會在儲存單元 Z 中發生。開關信號 TMHS 與 $\overline{\text{TMHS}}$ 可同步地與開關信號 A 與 $\overline{A}$ 一致，且亦可共同或是獨立於開關信號 A 與 $\overline{A}$ 被輸入。當開關信號 TMHS 與 $\overline{\text{TMHS}}$ 被輸入時，位元線 BL 之控制單元會被斷路，原因在於因為驅動電晶體 T5、T6 具有較寬的通道寬度，一股足夠產生軟磁性膜 WM 上之磁化方向之電流將會流過字元線 WL。

符號說明

A, B, $\overline{A}$, $\overline{B}$... 電晶體 T1 至 T4 之開關信號

T1 至 T6... 驅動電晶體

K1, K2... 電路節點

Z... 儲存單元

HM... 硬磁性膜

WM... 軟磁性膜

TB... 隧道障礙膜

W1, W2... 通道寬度

L... 通道長度

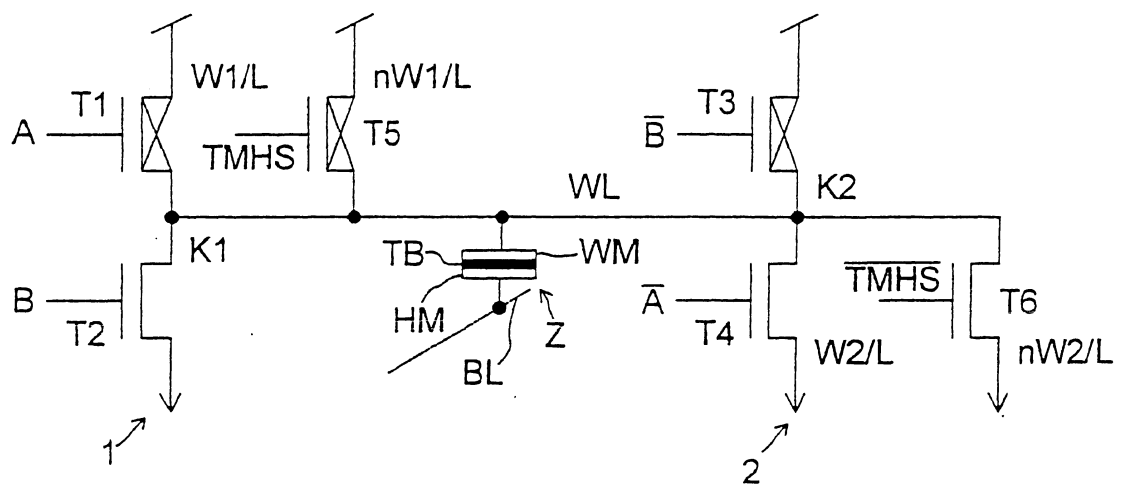
五、發明說明(7)

WL…字元線

BL…位元線

1,2…第一控制單元

1/1



第 1 圖

32.32

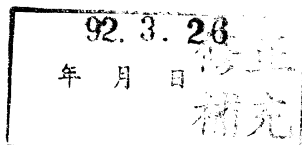
公告本

申請日期	90.08.31
案號	90121638
類別	G11C 29/00

540059

(以上各欄由本局填註)

發明 新型 專利說明書 (92年3月修正)		
一、發明 名稱	中文	在磁性隨機存取記憶體(MRAM)中加速老化所用之方法與電路配置
	英文	CIRCUIT ARRANGEMENT AND METHOD FOR THE SPEEDUP OF AGING PROCESS IN A MRAM
二、發明 創作人	姓名	侯尼格舒米德海茲 HONIGSCHMID, Heinz
	國籍	德國
三、申請人	住、居所	美國紐約州 12524 東費雪基爾傑佛遜道 819 號
	姓名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代表 姓名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)



四、中文發明摘要（發明之名稱： 在磁性隨機存取記憶體(MRAM)中加速老化所用之方法與電路配置)

本發明涉及一種磁性隨機存取記憶體(MRAM)中加速老化過程所用之電路配置與方法，設有其它元件(T5,T6)，以便使較高之電流饋入記憶單元(Z)之位於軟磁性膜(WM)附近之控制線(WL)中。

英文發明摘要（發明之名稱： CIRCUIT ARRANGEMENT AND METHOD FOR THE SPEEDUP OF AGING PROCESS IN A MRAM)

This invention is concerned with a circuit arrangement and a method for the speedup of aging process in a MRAM, in which additional devices (T5,T6) are provided, in order to feed a larger current into a control-line (WL), which is located near the soft-magnetic layer (WM), of a memory-cell.

六、申請專利範圍

第 90121638 號「在磁性隨機存取記憶體(MRAM)中加速老化所用之方法與電路配置」專利案

(92 年 3 月修正)

六、申請專利範圍：

1. 一種加速具有儲存單元陣列之磁阻性儲存裝置(MRAM)之老化所用之電路配置，許多由硬磁性膜(HM)與軟磁性膜(WM)所構成之儲存單元(Z)是被分配在兩條控制線(WL,BL)之交點上，而控制信號則是經由第一控制單元(1,2)而被輸入；其特徵為：

一平行於第一控制單元(1,2)而設置第二控制單元(T5,T6)，且一種較大之電流可以經由此第二控制單元輸入所屬之控制線(WL)中，此種電流比經由第一控制單元(1,2)輸入之電流還大。

2. 如申請專利範圍第 1 項之電路配置，其中第二控制單元(T5,T6)是與靠近軟磁性膜(WM)所配置之控制線(WL)相連接。
3. 如申請專利範圍第 1 項或 2 項之電路配置，其中第二控制單元是由驅動電晶體 T5 與 T6 所組成。
4. 如申請專利範圍第 1 項之電路配置，其中第一控制單元由兩個驅動電晶體(T1,T2;T3,T4)之串連電路所組成。
5. 如申請專利範圍第 3 項之電路配置，其中第二控制單元之驅動電晶體(T5,T6)被配置成與第一控制單元

六、申請專利範圍

之驅動電晶體 (T1 或 T4) 平行。

6. 如申請專利範圍第 5 項之電路配置，其中互相平行之驅動電晶體 (T1 與 T5; T4 與 T6) 具有相同之通道導電形式。
7. 一種加速具有儲存單元陣列之磁阻性儲存裝置 (MRAM) 之老化所用之方法，許多由硬磁性膜 (HM) 與軟磁性膜 (WM) 所構成之儲存單元 (Z) 是被分配在兩條控制線 (WL, BL) 之交點上，而控制信號則是經由第一控制單元 (1, 2) 被輸入；其特徵為：
 - 一種較大之電流將被輸入靠近軟磁性膜 (WM) 所配置之控制線 (BL) 中，此種電流比一般讀 / 寫情況下所輸入之電流大。
8. 如申請專利範圍第 7 項之方法，其中靠近硬磁性膜 (HM) 所配置之另一控制線 (BL) 會被斷路。