

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5540924号
(P5540924)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int. Cl.	F I
HO 2 M 3/155 (2006.01)	HO 2 M 3/155 C
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/822 (2006.01)	

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2010-139296 (P2010-139296)	(73) 特許権者	308014341
(22) 出願日	平成22年6月18日 (2010.6.18)		富士通セミコンダクター株式会社
(65) 公開番号	特開2012-5285 (P2012-5285A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成24年1月5日 (2012.1.5)		23
審査請求日	平成25年2月28日 (2013.2.28)	(74) 代理人	100094525
			弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	田島 章光
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通マイクロソリューションズ株
			式会社内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 集積回路装置及びその静電保護回路の制御方法

(57) 【特許請求の範囲】

【請求項1】

外部端子に接続された第1, 第2の電源線との間に接続されたフィルタと, 前記第1の電源線と前記フィルタの出力端子との間に接続されたスイッチ回路とを有し, 前記第1, 第2の電源線との間に設けられ, 前記第1, 第2の電源線間の電圧の増大にตอบสนองして前記第1, 第2の電源線間に電流経路を形成する静電気保護回路と,

前記第1の電源線の電圧が第1の端子に供給されるスイッチング素子を有し, 前記スイッチング素子をオンオフ制御するスイッチング制御信号を生成し, 前記スイッチング素子の第2の端子の電圧に基づく電源電圧を前記スイッチング制御信号に基づいて制御する電源生成回路とを有し,

前記電源生成回路は, 前記スイッチング制御信号に基づいて前記静電気保護回路を制御する静電気保護回路制御信号を生成し,

前記静電気保護回路は, 前記静電気保護回路制御信号に応じて前記スイッチ回路をオンする集積回路装置。

【請求項2】

請求項1において,

前記電源生成回路は, 前記第1の電源線の電圧から前記スイッチング素子のスイッチング動作によって前記電源電圧を生成し,

前記フィルタは, 前記第1, 第2の電源線間の電圧の増大にตอบสนองして当該電圧の増大に追従する出力信号を出力し,

10

20

前記静電気保護回路は、前記フィルタの出力信号が入力されるCMOSインバータと、前記CMOSインバータの出力で制御され前記第1、第2の電源線間の電圧の増大に応答して導通する電流経路スイッチとを有する集積回路装置。

【請求項3】

第1、第2の電源線との間に接続されたフィルタと、前記第1の電源線と前記フィルタの出力端子との間に接続されたスイッチ回路とを有し、前記第1、第2の電源線との間に設けられ、前記第1、第2の電源線間の電圧の増大に応答して前記第1、第2の電源線間に電流経路を形成する静電気保護回路と、

第3の電源線の電圧が第1の端子に供給されるスイッチング素子を有し、前記スイッチング素子をオンオフ制御するスイッチング制御信号を生成し、前記スイッチング素子の第2の端子の電圧に基づく電源電圧を前記スイッチング制御信号に基づいて制御する電源生成回路とを有し、

前記電源生成回路は、前記電源電圧を前記第1の電源線に供給し、前記静電気保護回路を制御する静電気保護回路制御信号を生成し、

前記静電気保護回路は、前記静電気保護回路制御信号に応じて前記スイッチ回路をオンする集積回路装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記静電気保護回路制御信号は、前記スイッチング素子のスイッチングのタイミングで生成されるパルス信号を有し、前記静電気保護回路制御信号に含まれるパルス信号に基づいて前記スイッチ回路をオンにする集積回路装置。

【請求項5】

請求項1または2において、

前記電源生成回路は、前記スイッチング素子をオンからオフにする前記スイッチング制御信号のタイミングで前記静電気保護回路制御信号を生成する集積回路装置。

【請求項6】

請求項3において、

前記電源生成回路は、電源起動信号に応答して前記スイッチング素子のスイッチング動作を開始し、前記電源起動信号に応答して前記第1の電源線の電圧が立ち上がるタイミングで、前記静電気保護回路制御信号を生成する集積回路装置。

【請求項7】

請求項3において、

前記フィルタは、前記第1、第2の電源線間の電圧の増大に応答して当該電圧の増大に追従する出力信号を出力し、

前記静電気保護回路は、前記フィルタの出力信号が入力されるCMOSインバータと、前記CMOSインバータの出力で制御され前記第1、第2の電源線間の電圧の増大に応答して導通する電流経路スイッチとを有する集積回路装置。

【請求項8】

外部端子に接続された第1、第2の電源線との間に接続されたフィルタと、前記第1の電源線と前記フィルタの出力端子との間に接続されたスイッチ回路とを有し、前記第1、第2の電源線との間に設けられ、前記第1、第2の電源線間の電圧の増大に応答して前記第1、第2の電源線間に電流経路を形成する静電気保護回路と、

前記第1の電源線の電圧が第1の端子に供給されるスイッチング素子を有し、前記スイッチング素子をオンオフ制御するスイッチング制御信号を生成し、前記スイッチング素子の第2の端子の電圧に基づく電源電圧を前記スイッチング制御信号に基づいて制御する電源生成回路とを有し、

前記電源生成回路は、前記スイッチング素子をオンからオフにする前記スイッチング制御信号のタイミングで前記静電気保護回路を制御する静電気保護回路制御信号を生成し、

前記静電気保護回路は、前記静電気保護回路制御信号に応じて前記スイッチ回路をオンする集積回路装置。

10

20

30

40

50

【請求項 9】

請求項 8 において、

前記フィルタは、前記第 1、第 2 の電源線間の電圧の増大にตอบสนองして当該電圧の増大に追従する出力信号を出力し、

前記静電気保護回路は、前記フィルタの出力信号を入力する CMOS インバータと、前記 CMOS インバータの出力で制御され前記第 1、第 2 の電源線間の電圧の増大にตอบสนองして導通する電流経路スイッチとを有する集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及びその静電保護回路の制御方法に関する。

【背景技術】

【0002】

集積回路装置は、集積回路が形成された半導体チップをパッケージ内に收容する。携帯電話や携帯情報端末など、バッテリー駆動される電子機器に実装される集積回路装置は、省電力化のために外部電源電圧を降圧して内部の電源電圧を生成する電源生成回路を内蔵する。この電源生成回路は、例えば DCDC コンバータなどが知られている。

【0003】

一方で、集積回路装置は、静電気保護対策の目的で、パッケージの外部端子に接続される入出力端子には静電保護回路が設けられている。静電保護回路は、通常の使用状態では動作することはないが、静電気等のチャージの印加により入出力端子とグランド端子との間の電圧が急峻に上昇した時に動作し、印加されたチャージを吸収する。

【0004】

このような静電保護回路は、例えば、以下の特許文献に記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007 - 142423 号公報

【特許文献 2】特開 2007 - 59444 号公報

【特許文献 3】特開 2007 - 202194 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

DCDC コンバータなどの電源生成回路は、通常動作時において、生成した電源電圧が供給される負荷回路の消費電流に応じて、外部電源からパルス駆動で電流を供給して電源電圧を生成する。このパルス駆動により外部電源の配線にノイズが発生することがあり、このノイズが静電保護回路の誤動作を招くことがある。

【0007】

また、電源生成回路が生成する電源電圧を供給される集積回路において、電源生成回路の起動時において生成される電源電圧が急峻に立ち上がり、電源電圧供給端子に設けられている静電気保護回路が動作して、電源電圧の立ち上がりを抑制し、電源電圧の立ち上がりに支障を来すことがある。

【0008】

そこで、本発明の目的は、電源生成回路の動作に起因して静電保護回路の誤動作を抑制する集積回路装置を提供することにある。

【課題を解決するための手段】

【0009】

集積回路装置の第 1 の側面は、外部端子に接続された第 1、第 2 の電源線との間に設けられ、前記第 1、第 2 の電源線間の電圧の増大にตอบสนองして所定の時定数期間中に前記第 1、第 2 の電源線間に電流経路を形成する静電気保護回路と、前記第 1 の電源線の電圧に基

10

20

30

40

50

づいて電源制御を行い，当該電源制御のスイッチングのタイミングに対応して制御信号を生成する電源生成回路とを有し，前記静電気保護回路は，前記制御信号に応答して前記所定の時定数期間を短くする調整回路を有する。

【発明の効果】

【0010】

第1の側面によれば，電源生成回路の動作に起因して静電保護回路の誤動作を抑制することができる。

【図面の簡単な説明】

【0011】

【図1】本実施の形態にかかる集積回路装置の構成図である。

10

【図2】本実施の形態における集積回路装置の構成図である。

【図3】図2の動作波形図である。

【図4】電源生成回路の制御回路22内の制御信号CONT1を生成する回路図である。

【図5】図4の動作を示す波形図である。

【図6】第2の実施の形態にかかる集積回路の構成図である。

【図7】第2の実施の形態における動作波形を示す図である。

【図8】第2の実施の形態における集積回路装置の構成図である。

【図9】第2の実施の形態における電源生成回路20内の制御回路22の構成図である。

【図10】第2の制御信号CONT2を生成する制御信号生成部28の動作を示す波形図である。

20

【図11】第3の実施の形態における集積回路装置の構成図である。

【発明を実施するための形態】

【0012】

[第1の実施の形態]

図1は，本実施の形態にかかる集積回路装置の構成図である。集積回路装置ICは，静電気保護回路10と電源生成回路20とを有する集積回路チップを，外部端子を有するパッケージに収容している。例えば，外部電源EXVの電圧が供給される供給電源端子VDDHやグランド電源GNDの外部端子は，ボンディングワイヤL_{PKG}を介して，集積回路チップ内の第1の電源線12と第2の電源線14と接続される。図中右側の外部端子FB，LX，GNDにはボンディングワイヤが省略されている。

30

【0013】

静電気保護回路10は，第1，第2の電源線12，14の間の電圧の急峻な上昇に応答して，所定の時定数期間中に両電源線12，14間にトランジスタN3による電流経路を形成する。すなわち，静電気保護回路10は，抵抗R1とキャパシタC1とからなるフィルタ回路と，フィルタ回路のノードn10が入力されPチャネルトランジスタP1とNチャネルトランジスタN2とからなるCOMSインバータと，COMSインバータの出力n12がゲートに入力され両電源線12，14間に接続されたNチャネルトランジスタN3とを有する。

【0014】

一方，電源生成回路20は，一例としてDCDCコンバータであり，第1の電源線12の供給電源電圧V_aから出力電源電圧V_{out}を生成する。電源生成回路20は，第1の電源線12と出力端子LXとの間に設けられたPチャネルトランジスタP10と，第2の電源線14と出力端子LXとの間に設けられたNチャネルトランジスタN12と，これらのトランジスタP10，N12を交互にスイッチングする制御回路22とを有する。出力端子LXは，集積回路装置ICの外側に設けられる出力インダクタL_{out}に接続され，出力インダクタL_{out}は出力キャパシタC_{out}に接続される。出力インダクタンスL_{out}と出力キャパシタC_{out}との接続ノードに，所望の電圧に制御された出力電圧V_{out}が生成される。出力電圧V_{out}は，負荷回路30にその電源電圧として供給される。

40

【0015】

50

静電気保護回路10は、外部端子VDDH、GNDに静電気が印加された時に内部の第1、第2の電源線12、14間の電圧が急峻に上昇することにより内部回路が破壊されることを防止する。その動作は以下の通りである。まず、通常動作状態では、フィルタ回路のキャパシタC1が第1の電源線12の電圧により充電されノードn10がHレベルにある。それにより、CMOSインバータのトランジスタN2がオン、P1がオフとなってノードn12がLレベルにあり、トランジスタN3は非導通状態である。これにより、第1、第2の電源線12、14間に電流経路は形成されず、内部回路は通常動作を行う。

【0016】

次に、外部端子VDDHに正極性の静電気が印加された時は、第1、第2の電源線12、14間の電圧が急峻に上昇し、フィルタ回路を構成する抵抗R1とキャパシタC1との接続ノードn10はフィルタ回路のCR時定数にしたがって緩やかに上昇する。それに伴い、PチャネルトランジスタP1のゲートソース間電圧が閾値電圧を超えてトランジスタP1が導通し、ノードn12が上昇し、トランジスタN3が導通する。これにより、第1、第2の電源線12、14間にトランジスタN3の電流経路が形成され、第1の電源線12に印加された静電気の電荷が第2の電源線14側に流れて、内部回路の破壊が防止される。フィルタ回路のCR時定数の期間を過ぎると、キャパシタC1は充電されノードn10が上昇し、トランジスタP1は非導通になり、ノードn12は低下し、トランジスタN3は非導通になる。その後は、通常動作状態と同じになる。

【0017】

一方、外部端子GNDに負極性の静電気が印加された場合も、第1、第2の電源線12、14間の電圧が急峻に上昇し、フィルタ回路とCMOSインバータとトランジスタN3は同様に動作し、フィルタ回路のCR時定数の期間だけトランジスタN3が導通し、電流経路を形成する。

【0018】

なお、外部端子VDDHに負極性の静電気が印加された場合と、外部端子GNDに正極性の静電気が印加された場合は、トランジスタN3の基板とソースまたはドレイン間のダイオードが導通し、第2から第1の電源線14、12に向かって電流経路が形成される。

【0019】

このような静電気保護回路10は、他の外部端子に接続される入出力端子と第2の電源線14との間にも設けられている。

【0020】

次に、電源生成回路20の動作とそれによる静電気保護回路10の誤動作について説明する。電源生成回路20では、制御回路22が出力電圧Voutをフィードバック端子FBを経由して監視し、出力電圧Voutの電位に基づいて、所定のパルス変調制御により駆動パルスPd、Ndを生成する。つまり、制御回路22は、出力電圧Voutが所望の電圧レベルになるように駆動パルスPd、Ndを生成する。パルス変調制御は、例えばパルス幅変調(PWM)またはパルス周波数変調(PFM)である。パルス幅変調なら駆動パルスPdのLレベルのパルス幅を広くすることで出力電圧Voutをより高くし、狭くすることでより低くすることができる。パルス周波数変調なら、駆動パルスPdのLレベルのパルスの周波数を高くすることで出力電圧Voutをより高くし、低くすることでより低くすることができる。

【0021】

駆動パルスPd、Ndは、例えば同相パルスであり、駆動パルスPd、NdがLレベルになるとトランジスタP10が導通し、トランジスタN12が非導通になり、図中の電流I1が第1の電源線12から出力端子LXに向かって流れる。この駆動電流I1により出力インダクタLoutはエネルギーを蓄積するとともに、出力電圧Voutは上昇する。逆に、駆動パルスPd、NdがHレベルになるとトランジスタP10が非導通となり、トランジスタN12が導通し、第1の電源線12から出力端子LXに向かう電流は遮断される。しかし、出力インダクタLoutの誘導起電力により、出力端子LXから出力電圧Vout側への電流がトランジスタN12を介して継続して流れる。やがて、出力インダク

10

20

30

40

50

タL o u tのエネルギーがなくなると，出力端子L Xから出力電圧V o u t側への電流はなくなり，トランジスタN 1 2の導通状態を維持すると，出力インダクタL o u tには逆流電流が流れる。

【 0 0 2 2 】

上記のような電源生成回路20のスイッチング動作により電源制御では，トランジスタP 1 0が導通状態から非導通状態に切り替わったとき，パッケージと集積回路チップ間のボンディングワイヤL_{pkg}の誘導起電力により，第1の電源線12には電流I 1が継続して流れる。しかし，トランジスタP 1 0が非導通状態になっているため，電流I 1の経路がなくなり，第1の電源線12の電圧V aが急激に上昇する。ボンディングワイヤL_p_{kg}のインダクタは，ボンディングワイヤが長いほど，また細いほど大きくなり，上記の継続して流れる電流I 1もそれに伴って大きくなり，第1の電源線12の電圧V aに発生するノイズ成分は無視できなくなる。

10

【 0 0 2 3 】

第1の電源線12の電圧V aのノイズ成分が無視できないレベルの場合は，静電気印加時と同様の原理で，フィルタ回路のノードn10が電圧V aの上昇に追従できずトランジスタP 1が導通状態になり，トランジスタP 1，N 2を經由して微少な貫通電流I 2が流れる。ノイズ成分は静電気ほどの高い電圧上昇を伴わないので，トランジスタN 3が導通する程でもないかもしれないが，トランジスタP 1，N 2のC M O Sインバータには微少な貫通電流I 2が流れ，消費電流の増大を招く。この貫通電流I 2は微少ではあるが，電圧生成回路20のトランジスタP 1 0のオフスイッチングの度に発生するので，電流消費の増大は無視できない。

20

【 0 0 2 4 】

図2は，本実施の形態における集積回路装置の構成図である。図3は，その動作波形図である。図1の集積回路装置と異なる構成は，制御回路22が，駆動パルス信号P d，N dをLレベルからHレベルに切り替えるタイミングに整合したパルスをもつ制御信号C O N T 1を生成することと，静電気保護回路10内のフィルタ回路の抵抗R 1の両端を短絡するNチャネルトランジスタN 4を設け，そのトランジスタN 4のゲートに制御信号C O N T 1を印加することである。それ以外の構成は，図1と同じである。このトランジスタN 4がフィルタ回路のR C時定数の期間を一時的に短くする調整回路である。

【 0 0 2 5 】

図3に示されるとおり，駆動パルス信号P d，N dがLレベルからHレベルに切り替わるときに，電源生成回路20のPチャネルトランジスタP 1 0が導通状態から非導通状態に切り替わる。制御信号C O N T 1は，このタイミングに整合するパルスをもつ。図1の場合は，第1の電源線10の電圧V aはボンディングワイヤL_p_{kg}を流れる電流により微少なノイズ成分を有することになり，フィルタ回路のR C時定数によりノードn10がノイズに追従せず，C M O Sインバータに貫通電流を発生させている。

30

【 0 0 2 6 】

しかし，図2の構成の場合，電源生成回路20のトランジスタP 1 0がオンからオフに切り替わるタイミングで，静電気保護回路10内のトランジスタN 4が制御信号C O N T 1のパルスにより導通し，フィルタ回路のR C時定数を一時的に短くする。そのため，第1の電源線10の電圧V aの上昇にตอบสนองしてノードn10も短時間で上昇しトランジスタP 1が非導通を維持して貫通電流I 2の発生を防止する。これで，第1の電源線10に流れる電流が第2の電源線のグラウンドに流れることはなく，バッテリーから無駄に電流が消費されることもない。

40

【 0 0 2 7 】

図4は，電源生成回路の制御回路22内の制御信号C O N T 1を生成する回路図である。また，図5はその動作を示す波形図である。制御回路22は，前述のとおり，電源駆動のためにスイッチングするトランジスタP 1 0，N 1 2を駆動する駆動パルス信号P d，N dを生成する。図4中には，制御回路22内の駆動パルス信号P d，N dが，パルス信号P d0，N d0から遅延素子23を經由して出力されている。

50

【 0 0 2 8 】

一方、制御信号CONT1を生成する回路24は、インバータINV1とキャパシタC2とアンドゲートAND1とを有する。制御信号生成回路24は、このパルス信号Pd0の立ち上がりエッジのタイミングで、制御信号CONT1を生成する。図5に示されるとおり、パルス信号Pd0の時間t2での立ち上がりエッジのタイミングで、パルス信号Pd0のHレベルとキャパシタC2により緩慢に低下するインバータINV1の出力のHレベルとから、アンドゲートAND1が短いパルスの制御信号CONT1を生成する。この制御信号CONT1の短いパルスは、制御回路22が遅延素子23を経由して出力する駆動パルス信号Pdの立ち上がりエッジとタイミング整合される。

【 0 0 2 9 】

このように、本実施の形態では、駆動パルス信号Pdの立ち上がりエッジに整合したパルスを有する制御信号CONT1が静電気保護回路内のフィルタ回路に設けたトランジスタN4を一時的に導通させて、第1の電源線の電圧Vaのノイズによる貫通電流の発生を抑制する。

【 0 0 3 0 】

[第2の実施の形態]

図6は、第2の実施の形態にかかる集積回路の構成図である。第1の集積回路装置IC1内には電源電圧生成回路20が設けられている。そして、電源生成回路内の制御回路22の駆動パルスPd,Ndによりスイッチング制御されるトランジスタP10,N12の接続ノードLXが、外部の出力インダクタLoutと出力キャパシタCoutに接続される。出力インダクタLoutと出力キャパシタCoutの接続ノードに生成される出力電圧Voutは、第2の集積回路装置IC2の外部電源端子VDDに供給される。

【 0 0 3 1 】

第2の集積回路装置IC2内には、外部電源端子VDDと外部グランド端子GNDとが、内部の第1の電源線32と第2の電源線34とにそれぞれ接続されている。第1の電源線23と第2の電源線34との間には、静電気保護回路10(2)が設けられている。この静電気保護回路10(2)も、図1と同じように、抵抗R1、キャパシタC1とからなるフィルタ回路と、PチャネルトランジスタP1とNチャネルトランジスタN2とからなるCMOSインバータと、電荷を吸収する電流路を形成する電荷吸収用トランジスタN3とを有する。

【 0 0 3 2 】

さらに、第2の集積回路IC2内には、内部負荷回路30が設けられ、内部負荷回路30には、第1の集積回路IC1内の電源生成回路22が生成した出力電圧Voutが内部電源VDDとして供給される。

【 0 0 3 3 】

電源生成回路20は、トランジスタP10,N12によるスイッチング動作により供給電源線12(Va)から電流を出力ノードLXを介して出力インダクタLoutと出力キャパシタCoutに供給し、安定した出力電圧Voutを生成する。この出力電圧Voutは第2の集積回路装置IC2内の第1の電源線34(Ve)に供給されるとともに、第1の集積回路装置IC1内のフィードバック端子FBを介して、電源生成回路20内の制御回路22にも供給される。制御回路22は、前述のとおり、このフィードバックされる出力電圧Voutが所望の電圧に維持されるように、パルス幅変調やパルス周波数変調により駆動パルス信号Pd,Ndを生成し、トランジスタP10,N12を駆動する。つまり、電源生成回路20内の制御回路22は、第2の集積回路装置IC2内の第1の電源線32の電圧Voutに基づいて電源制御を行っている。

【 0 0 3 4 】

図7は、第2の実施の形態における動作波形を示す図である。図7(A)が問題となる動作波形を、図7(B)が第2の実施の形態により改善された動作波形を示す。電源生成回路20は、起動信号ENに応答して、供給電源線12の電圧Vaから出力電圧Voutの生成を開始する。すると、制御回路22の駆動パルス信号Pd,NdによるトランジスタP10,N12のスイッチング動作にともなって、出力電圧Voutが上昇する。第2の集積回路装置IC2内の静電気保護回路10(2)が、この出力電圧Voutの上昇を、静電気によるサージ電圧とみなし、トランジスタN3を導通させて電流Ih(図6参照)を流す。これにより、図7(A)に

10

20

30

40

50

示されるように、出力電圧 V_{out} の上昇が一旦停止する。やがて、静電気保護回路10(2)内のフィルタ回路の時定数の期間が過ぎると、トランジスタN3は非導通になり電流 I_h が停止し、出力電圧 V_{out} は所望の電圧レベルまで上昇する。

【0035】

このように、電源生成回路20による出力電圧 V_{out} の起動が、静電気保護回路10(2)による電流吸収機能により一時的に停止することで、内部負荷回路30に供給される内部電源線32の電圧 V_e の起動波形が段付きになる。このような起動波形は、例えば省電力化のために電源生成回路20が頻繁にスリープ状態に移行する場合にその起動動作の遅れを招くなど、好ましくない。

【0036】

図8は、第2の実施の形態における集積回路装置の構成図である。図6と異なり、図8の構成では、電源生成回路20内の制御回路22が第2の制御信号CONT2をその起動時に生成し、その第2の制御信号CONT2により静電気保護回路10(2)内のトランジスタN5が導通し、静電気保護回路10(2)の時定数の期間を一時的に短くする。つまり、トランジスタN5がフィルタ回路の時定数の期間を一時的に短くする調整回路に該当する。それ以外の構成は、図6と同じである。

【0037】

図7(B)に示されるとおり、電源生成回路20に対する起動信号ENのタイミングで、制御回路22が第2の制御信号CONT2をHレベルにする。これに应答して、静電気保護回路10(2)内のトランジスタN5が導通し、フィルタ回路の時定数の期間を一時的に短くする。つまり、第2の制御信号CONT2によりフィルタ回路の時定数は、トランジスタN5のオン抵抗とキャパシタC1とのCR時定数になる。これにより、静電気保護回路10(2)は、出力電圧 V_{out} 、つまり外部電源端子VDDから供給される第1の電源線32の電圧 V_e の上昇に应答してノードn10も上昇するので、トランジスタN3が導通することが回避される。つまり、吸収電流 I_h は発生しない。その結果、電源生成回路の起動時に、出力電圧 V_{out} は一時停止することなく、所望の電圧レベルまで上昇し、電源生成回路20による起動動作は短時間で完了する。

【0038】

図9は、第2の実施の形態における電源生成回路20内の制御回路22の構成図である。制御回路22は、供給電源12(V_a)から基準電圧 V_{ref} を生成する基準電圧生成回路25と、変調部26とを有する。変調部26は、基準電圧 V_{ref} と出力電圧 V_{out} とを比較する第1のコンパレータCOMP1と、コンパレータCOMP1の出力に基づいて駆動パルス信号Pd,Ndを生成するパルス生成部27とを有する。これにより、変調部26は、基準電圧 V_{ref} とフィードバックされる出力電圧 V_{out} とに基づいて、駆動パルス信号Pd,Ndを生成する。これらの基準電圧生成回路25とコンパレータCOMP1は、供給電源12(V_a)の電圧を電源電圧とする。

【0039】

さらに、制御回路22は制御信号生成部28を有する。制御信号生成部28は、基準電圧 V_{ref} を抵抗R10,R11により分割した低い基準電圧 V_{ref1} と出力電圧 V_{out} とを比較する第2のコンパレータCOMP2からなり、第2のコンパレータCOMP2が第2の制御信号CONT2を生成する。

【0040】

図10は、第2の制御信号CONT2を生成する制御信号生成部28の動作を示す波形図である。起動信号ENが立ち上がると、基準電圧 V_{ref} 及び V_{ref1} はいち早く立ち上がる若しくは既に立ち上がっている(図中破線)。それに対して、起動信号ENに应答して制御回路22は駆動パルス信号Pd,Ndの生成を開始し、出力電圧 V_{out} を立ち上げる。この基準電圧 V_{ref1} とそれより遅れて立ち上がる出力電圧 V_{out} とを第2のコンパレータCOMP2が比較して、第2の制御信号CONT2をHレベルにし、出力電圧 V_{out} が立ち上がるまでそのHレベルを維持する。

【0041】

10

20

30

40

50

これにより、図8に示されるトランジスタN5が、出力電圧Voutの立ち上がりが完了するまで導通し、静電気保護回路10(2)のCR時定数の期間を短くし、静電気保護回路のトランジスタN3による電流吸収動作が抑制される。

【0042】

このように、制御回路22内に生成される基準電圧Vrefを利用することにより、第2のコンパレータCOMP2が第2の制御信号CONT2を生成する。

【0043】

[第3の実施の形態]

図11は、第3の実施の形態における集積回路装置の構成図である。この集積回路装置ICは、外部電源電圧EXVが供給される電源電圧VDDHから電圧Voutを生成する電源生成回路20と、その電源電圧VDDHが供給される第1の電源線12と、グランド端子GNDに接続される第2の電源線14とを有する。そして、これらの外部端子VDDHとGNDには、静電気保護回路10(1)が設けられている。

10

【0044】

一方、出力電圧Voutは、電源生成回路20のノードLXに接続された外付けの出力インダクタLoutと出力キャパシタCoutとの接続ノードに生成される。そして、この生成された出力電圧Voutは、内部負荷回路30の内部電源VDDとして再度集積回路装置ICに供給される。この外部端子VDDとVSSにも、静電気保護回路10(2)が設けられている。

【0045】

第1の実施の形態で説明したとおり、電源生成回路20による出力電圧Voutを生成するためのスイッチング動作により第1の電源線12に生じる微少なノイズが原因で、静電気保護回路10(1)のCMOSインバータに貫通電流が流れることは、第1の制御信号CONT1とそれにより導通制御されるトランジスタN4とにより防止される。これにより、無駄な電流消費を防止することができる。

20

【0046】

さらに、第2の実施の形態で説明したとおり、電源生成回路20の起動時において、出力電圧Voutの立ち上がりに対応して、静電気保護回路10(2)が動作して内部の電源線32の電圧Veの立ち上がりを一時的に停止することは、第2の制御信号CONT2とそれにより導通制御されるトランジスタN5とにより防止される。これにより、電源生成回路20による出力電圧の立ち上がり波形はスムーズに立ち上がり、起動完了までの時間が長くなることや内部電源VDDの立ち上がり波形が不適切になることが防止される。

30

【0047】

以上説明したとおり、本実施の形態によれば、静電気保護回路が制御信号CONT1,CONT2に対応してCR時定数期間を短くする調整回路N4,N5を設けたことにより、第1の電源線の電圧に基づいて電源制御を行う電源生成回路の動作に起因して静電保護回路が誤動作し、消費電流を増大させたり起動動作が不適切になることが防止される。

【0048】

以上の実施の形態をまとめると、次の付記のとおりである。

【0049】

(付記1)

外部端子に接続された第1、第2の電源線との間に設けられ、前記第1、第2の電源線間の電圧の増大に対応して所定の時定数期間中に前記第1、第2の電源線間に電流経路を形成する静電気保護回路と、

40

前記第1の電源線の電圧に基づいて電源制御を行い、当該電源制御のスイッチングのタイミングに対応して制御信号を生成する電源生成回路とを有し、

前記静電気保護回路は、前記制御信号に対応して前記所定の時定数期間を短くする調整回路を有する集積回路装置。

【0050】

(付記2)

付記1において、

50

前記電源生成回路は、前記第1の電源線の電圧から前記電源制御のスイッチング動作によって内部電源電圧を生成し、

前記静電気保護回路は、前記第1、第2の電源線間の電圧の増大にตอบสนองして前記所定の時定数後に当該電圧の増大に追従する出力信号を生成するフィルタと、前記フィルタの出力信号を入力するCMOSインバータと、前記CMOSインバータの出力で制御され前記第1、第2の電源線間の電圧の増大から前記所定の時定数期間中導通する電流経路スイッチとを有する集積回路装置。

【0051】

(付記3)

付記1において、

前記電源生成回路は、第3の電源線の電圧から前記第1の電源線の電圧が所望の電圧になるよう前記電源制御のスイッチング動作によって当該第1の電源線の電圧を生成し、

前記静電気保護回路は、前記第1、第2の電源線間の電圧の増大にตอบสนองして前記所定の時定数後に当該電圧の増大に追従する出力信号を生成するフィルタと、前記フィルタの出力信号を入力するCMOSインバータと、前記CMOSインバータの出力で制御され前記第1、第2の電源線間の電圧の増大から前記所定の時定数期間中導通する電流経路スイッチとを有する集積回路装置。

【0052】

(付記4)

付記1乃至3のいずれかにおいて、

前記制御信号は、前記電源制御のスイッチングのタイミングで生成されるパルス信号を有し、前記調整回路は、前記制御信号に含まれるパルス信号に基づいて前記所定の時定数期間を短くする集積回路装置。

【0053】

(付記5)

付記1または2において、

前記電源生成回路は、前記第1の電源線と前記内部電源電圧を出力する出力ノードとの間に設けられた第1のスイッチ素子と、前記出力ノードと前記第2の電源線との間に設けられた第2のスイッチ素子と、前記第1、第2のスイッチ素子を交互にスイッチングする制御パルスを生成するパルス制御回路とを有し、前記第1のスイッチ素子をオンからオフにする前記スイッチングのタイミングで前記制御信号を生成する集積回路装置。

【0054】

(付記6)

付記1または3において、

前記電源生成回路は、電源起動信号にตอบสนองして前記電源制御のスイッチング動作を開始し、前記電源起動信号にตอบสนองして前記第1の電源線の電圧が立ち上がるタイミングで、前記制御信号を生成する集積回路装置。

【0055】

(付記7)

供給電源電圧から第1の電源線の電圧が所望の電圧になるよう前記第1の電源線の電圧を生成する電源生成回路と、

前記電源生成回路が起動する時にตอบสนองして前記第1の電源線の電圧が立ち上がるタイミングで制御信号を生成する制御信号生成回路とを有し、

前記第1の電源線に接続され、前記第1の電源線と第2の電源線との間の電圧の増大にตอบสนองして所定の時定数期間中に前記第1、第2の電源線間に電流経路を形成する静電気保護回路に、前記制御信号が供給され、当該制御信号にตอบสนองして前記所定の時定数期間が短くされる集積回路装置。

【0056】

(付記8)

外部端子に接続された第1、第2の電源線との間に設けられ、前記第1、第2の電源線

10

20

30

40

50

間の電圧の増大にตอบสนองして所定の時定数期間中に前記第 1 , 第 2 の電源線間に電流経路を形成する静電気保護回路と ,

前記第 1 の電源線の電圧に基づいて電源制御を行い , 当該電源制御のスイッチングのタイミングに対応して制御信号を生成する電源生成回路とを有する集積回路装置において , 前記静電気保護回路の前記所定の時定数期間を , 前記制御信号にตอบสนองして短くする集積回路装置の静電気保護回路の制御方法。

【 0 0 5 7 】

(付記 9)

外部端子に接続された第 1 , 第 2 の電源線との間に設けられ , 前記第 1 , 第 2 の電源線間の電圧の増大にตอบสนองして所定の時定数期間中に前記第 1 , 第 2 の電源線間に電流経路を形成する静電気保護回路と ,

前記第 1 の電源線と内部電源電圧を出力する出力ノードとの間に設けられた第 1 のスイッチ素子と , 前記出力ノードと前記第 2 の電源線との間に設けられた第 2 のスイッチ素子と , 前記第 1 , 第 2 のスイッチ素子を交互にスイッチングする制御パルスを生成するパルス制御回路とを有し , 前記第 1 の電源線の電圧から前記内部電源電圧を生成する電源生成回路とを有し ,

前記電源生成回路は , 前記第 1 のスイッチ素子をオンからオフにする前記スイッチングのタイミングで制御信号を生成し ,

前記静電気保護回路は , 前記制御信号にตอบสนองして前記所定の時定数期間を短くする調整回路を有する集積回路装置。

【 0 0 5 8 】

(付記 1 0)

付記 9 において ,

前記静電気保護回路は , 前記第 1 , 第 2 の電源線間の電圧の増大にตอบสนองして前記所定の時定数後に当該電圧の増大に追従する出力信号を生成するフィルタと , 前記フィルタの出力信号を入力する C M O S インバータと , 前記 C M O S インバータの出力で制御され前記第 1 , 第 2 の電源線間の電圧の増大から前記所定の時定数期間中導通する電流経路スイッチとを有する集積回路装置。

【 0 0 5 9 】

(付記 1 1)

外部端子に接続された第 1 , 第 2 の電源線との間に設けられ , 前記第 1 , 第 2 の電源線間の電圧の増大にตอบสนองして所定の時定数期間中に前記第 1 , 第 2 の電源線間に電流経路を形成する静電気保護回路と ,

電源起動信号にตอบสนองして , 供給電源電圧から前記第 1 の電源線の電圧が所望の電圧になるよう当該第 1 の電源線の電圧を生成する電源生成回路とを有し ,

前記電源生成回路は , 前記電源起動信号にตอบสนองして前記第 1 の電源線の電圧が立ち上がるタイミングで , 制御信号を生成する制御信号生成回路を有し ,

前記静電気保護回路は , 前記制御信号にตอบสนองして前記所定の時定数期間を短くする調整回路を有する集積回路装置。

【 0 0 6 0 】

(付記 1 2)

付記 1 1 において ,

前記静電気保護回路は , 前記第 1 , 第 2 の電源線間の電圧の増大にตอบสนองして前記所定の時定数後に当該電圧の増大に追従する出力信号を生成するフィルタと , 前記フィルタの出力信号を入力する C M O S インバータと , 前記 C M O S インバータの出力で制御され前記第 1 , 第 2 の電源線間の電圧の増大から前記所定の時定数期間中導通する電流経路スイッチとを有する集積回路装置。

【 符号の説明 】

【 0 0 6 1 】

1 0 : 静電気保護回路

1 2 : 第 1 の電源線

10

20

30

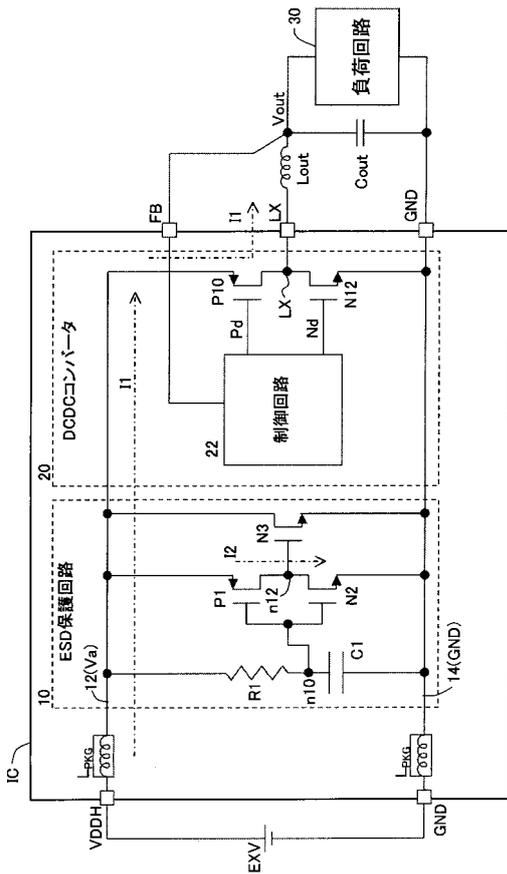
40

50

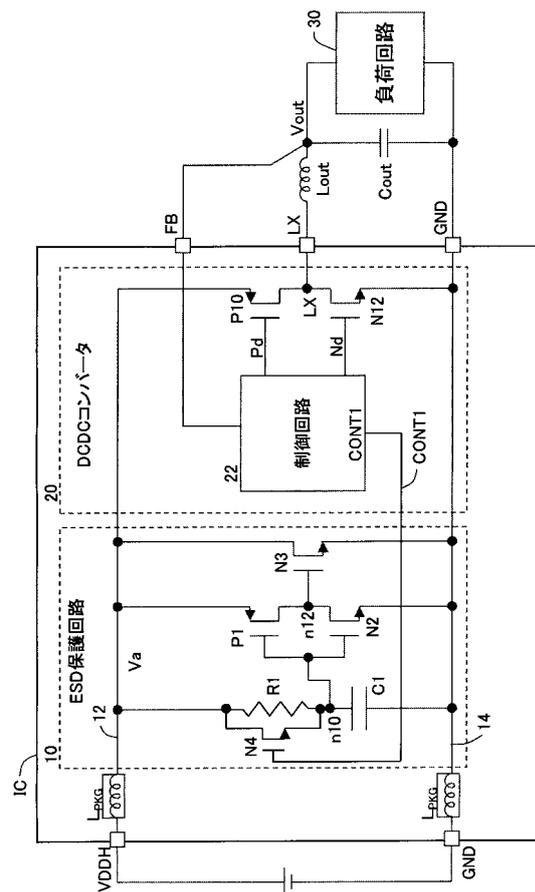
14 : 第2の電源線
 N4 : 調整回路
 22 : 制御回路
 Vout : 出力電圧

20 : 電源生成回路
 N3 : 電流経路
 P10, N12 : スwitchングトランジスタ

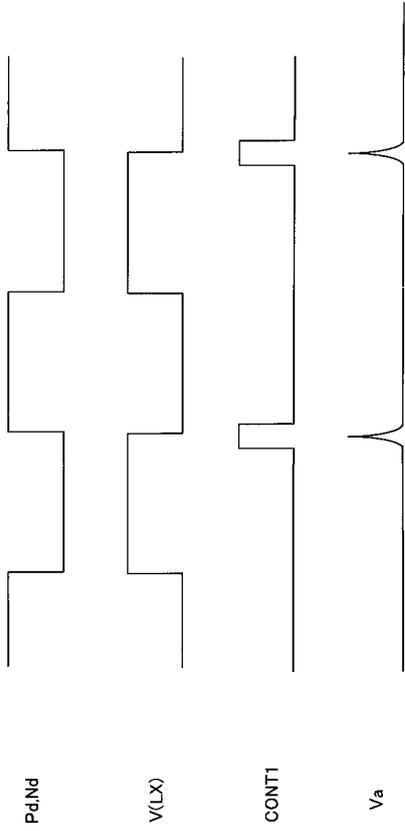
【図1】



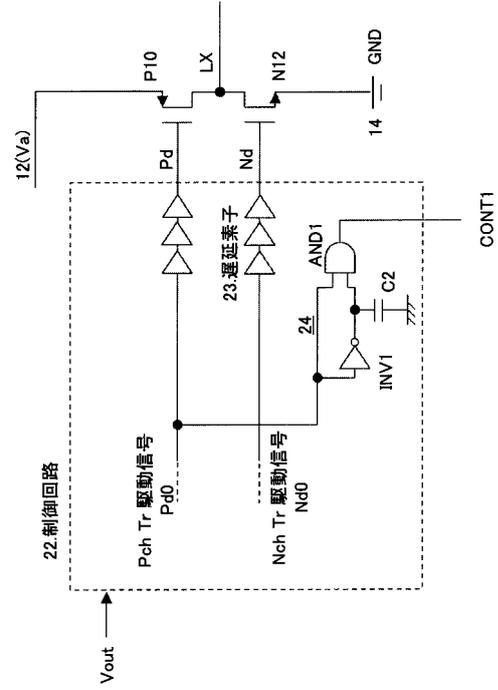
【図2】



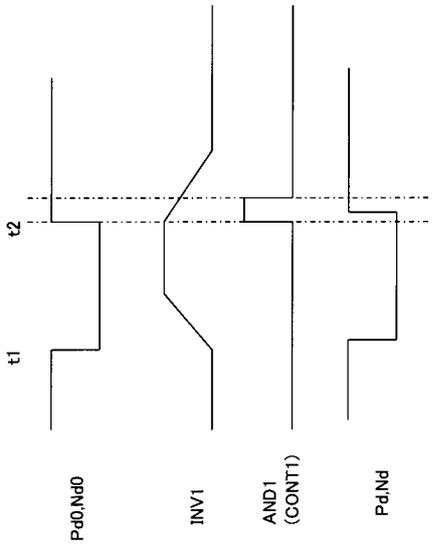
【 図 3 】



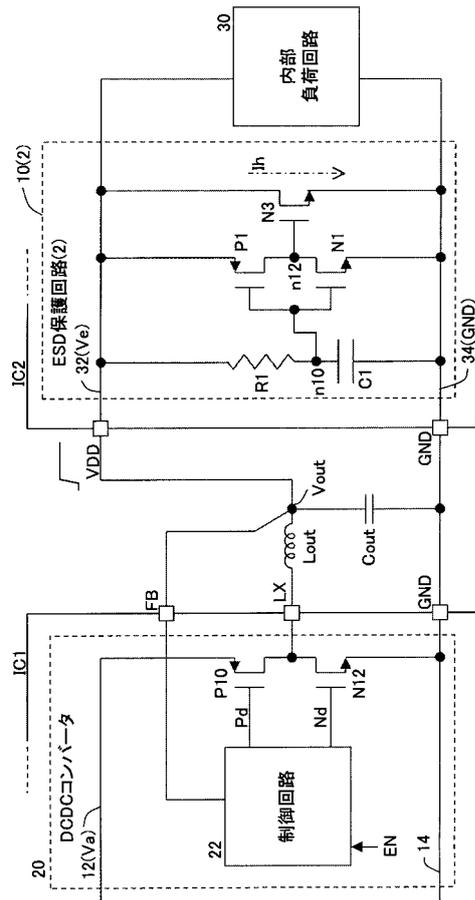
【 図 4 】



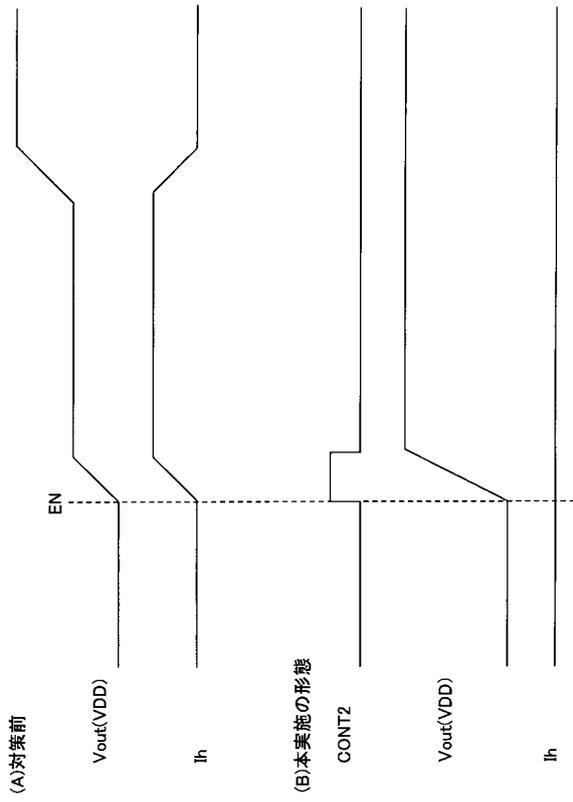
【 図 5 】



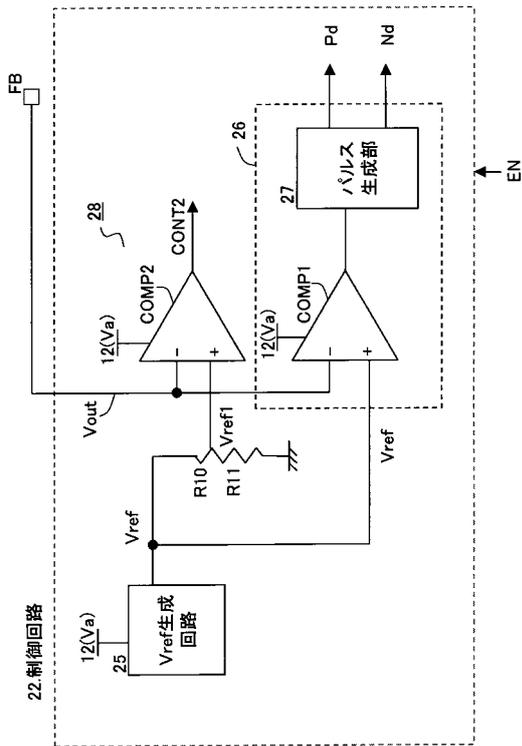
【 図 6 】



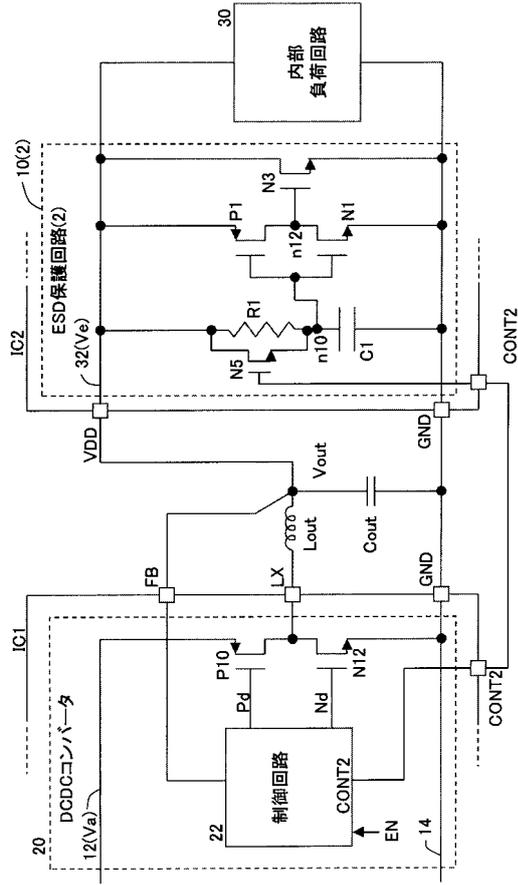
【 図 7 】



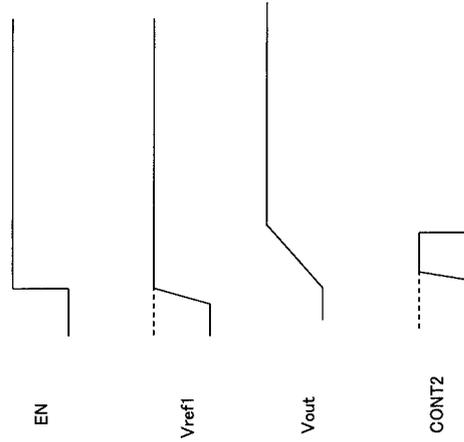
【 図 9 】



【 図 8 】



【 図 10 】



フロントページの続き

(56)参考文献 米国特許第07164565 (US, B2)

特表2009-534845 (JP, A)

特開平11-354649 (JP, A)

特開2005-093497 (JP, A)

特開平08-066007 (JP, A)

特開平11-032429 (JP, A)

特開2007-151328 (JP, A)

特開2007-142423 (JP, A)

特開2007-059444 (JP, A)

特開2007-202194 (JP, A)

特開2008-092617 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/28

H01L 27/04