

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97116861

※ 申請日期： 97.5.07

※IPC 分類：H01L

27/10, 21/82, 245/00

一、發明名稱：(中文/英文)

(970603)

反相可變電阻記憶體單元以及製造其之方法

INVERTED VARIABLE RESISTANCE MEMORY CELL AND
METHOD OF MAKING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

威廉 史丹頓

STANTON, WILLIAM

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年05月08日；11/797,872

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

所揭示之具體實施例一般係關於記憶體裝置以及製造記憶體裝置之方法，特定言之係關於一種反相可變電阻記憶體單元以及製造其之方法。

【先前技術】

在電子系統與電腦中廣泛使用半導體記憶體裝置來以二進制資料的形式來儲存資訊。該些記憶體裝置可特徵化為若斷開或移除電源，所儲存之資料便會遺失的揮發性記憶體，或甚至在電力中斷期間仍保持所儲存資料的非揮發性記憶體。但是，傳統上，非揮發性記憶體裝置佔據大量空間且消耗大量功率，使得該些裝置不適合用於可攜式裝置，或作為頻繁存取揮發性記憶體裝置之替代品。另一方面，揮發性記憶體裝置傾向於比非揮發性記憶體裝置提供更大儲存容量與程式化選項。揮發性記憶體裝置一般還比非揮發性裝置消耗更少的功率。

一非揮發性隨機存取記憶體裝置之一範例係可變電阻記憶體裝置，其包含許多類型的電阻變化材料，包括磁性材料、摻雜硫族化合物材料、相變材料及其他材料。

在非揮發性隨機存取記憶體裝置中使用的一類可變電阻變化材料係磁性材料。該些裝置採用磁阻效應以儲存記憶體狀態且一般使用一磁阻材料層之磁化定向來表示並儲存一二進制狀態。例如，在一方向上的磁化定向可定義為一邏輯"0"，而在另一方向上的磁化定向可定義為一邏輯

"1"。

讀取所儲存二進制狀態之能力係該磁阻效應之結果。此效應之特徵在於多個磁阻材料層之一電阻變化，取決於該等層之該等相對磁化定向。因此，一磁阻記憶體單元一般具有兩個磁性層，其可相對於彼此改變定向。在該等磁化向量之方向在相同方向上指向時，認為該等層處於一平行定向，而在該等磁化向量在相反方向上指向時，認為該等層係處於一反平行定向。實際上，一般允許一層(即自由或"軟"磁性層)改變定向，而另一層(針扎或"硬"磁性層)具有一固定磁化定向以為該自由磁性層之定向提供一參考。接著該兩層之磁化定向可藉由決定記憶體單元之相對電阻來加以偵測。若其磁性層之磁化定向係實質上平行，則一記憶體單元一般係處於一低電阻狀態。相反，若其磁性層之磁化定向係實質上反平行，則該記憶體單元一般係處於一高電阻狀態。因此，理想上，在典型磁阻記憶體中，二進制邏輯狀態係作為在磁阻材料中的二進制磁化定向而儲存並作為包含該等磁阻材料之該等磁阻記憶體單元之該等二進制電阻狀態而讀取。

巨磁阻(GMR)與穿隧磁阻(TMR)記憶體單元係利用此電阻行為的兩個常見類型記憶體單元。在GMR單元中，透過一位於一自由磁性層與一針扎磁性層之間的導體的電子之流動發生變化，取決於該導體之任一側上的該等磁性層之該等相對磁化定向。藉由切換該自由磁性層之磁化定向，改變透過該導體之電子流且該導體之有效電阻會變化。

在TMR單元中，一電性阻障層係位於一自由磁性層與一針扎磁性層之間而非一導體。電荷量子機械性地穿隧透過該阻障層。由於該穿隧之自旋相依性質，電荷穿過該阻障之程度隨著該阻障層之任一側上的該兩個磁性層之相對磁化定向而改變。因此，TMR單元之所測量電阻可藉由切換該自由磁性層之磁化定向來加以切換。

磁阻記憶體之一些範例係揭示於美國專利案第7,200,035號；第7,196,882號；第7,189,583號；第7,072,209號；第7,038,286號以及第6,982,450號內，以上專利係讓渡給Micron Technology公司並以引用方式併入本文內。

在非揮發性隨機存取記憶體裝置中使用的另一類可變電阻變化材料係摻雜硫族化合物材料。硫族化合物係週期表之第VI族元素之合金，例如Te或Se。在此類裝置中，諸如一硫族化合物金屬離子之一快離子導體與具有一導電材料並佈置於該快離子導體之表面處的至少兩個電極(例如，一陽極與一陰極)係設定一相互隔開的距離。一摻雜硫族化合物之一特定範例係具有銀離子的硒化鍺。一般而言，為了在硒化鍺材料內提供銀離子，使用化學汽相沈積在第一電極上沈積硒化鍺。接著，例如藉由物理汽相沈積或另一技術在玻璃上沈積一銀薄層。接著使用紫外線照射該銀層。所沈積銀之細薄性質允許能量穿過該銀到達銀/玻璃介面以引起銀擴散至該硫族化合物材料內。所施加能量與覆蓋銀導致銀遷移至玻璃層內，使得最終實現遍及該層的銀之一均質分佈。

當一電壓施加至該陽極與該陰極時，一非揮發性金屬枝晶沿該快離子導體之表面迅速從該陰極向該陽極生長。該枝晶之生長速率係所施加電壓與時間之一函數；該枝晶之生長可藉由移除電壓來停止或該枝晶可向陰極縮回，或甚至藉由在陽極與陰極反轉電壓極性來使之崩解。該枝晶之長度與寬度變化會影響該可變電阻記憶體裝置之電阻與電容。

可變電阻記憶體裝置之一些範例與製造此類裝置之方法係揭示於美國專利案第 7,149,100 號；第 7,064,970 號；第 6,348,365 號與第 6,930,909 號內，以及美國公開案第 2006/0099822 號與第 2004/0238918 號內，其係讓渡給 Micron Technology 公司並以引用的方式併入本文內。使用上述公開案中所揭示之方法所製造的該等記憶體單元導致在一硫族化合物材料層之頂部的一平面電極，其導致不均勻電場與後續信號完整性問題。

在非揮發性隨機存取記憶體裝置中使用的另一類可變電阻變化材料係相變材料。在重寫光碟 ("CD-RW") 中目前使用之一特定硫族化合物係 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。除了具有在 CD-RW 碟片中利用的有價值光學特性外， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 還具有作為一可變電阻材料所需的實體特性。Ge、Sb 與 Te 之各種組合可用作可變電阻材料且本文通稱為 GST 材料。明確而言，GST 可在一非晶相與兩個結晶相之間改變結構相位。該非晶相 ("a-GST") 之電阻與該等立方體及六邊形結晶相 (分別係 "c-GST" 與 "h-GST") 之電阻可明顯不同。非晶 GST 之電阻

係大於立方體 GST 或六邊形 GST 之電阻，其電阻係彼此類似。因此，在比較 GST 之各種相位之該等電阻時，可考慮 GST 為一雙態材料(非晶 GST 與結晶 GST)，而每一狀態具有一可等同於一對應二進制狀態的不同電阻。諸如 GST 之一可變電阻材料由於其電阻依據其材料相位變化而被稱為一相變材料。

從一 GST 相到另一 GST 相之轉變回應 GST 材料之溫度變化而發生。如圖 1 所示，GST 材料具有一熔化溫度 T_m 與一結晶溫度 T_x 。該結晶溫度 T_x 係低於該熔化溫度 T_m 。該結晶溫度 T_x 與該熔化溫度 T_m 兩者均高於室溫。圖 1 中顯示兩個曲線，一曲線代表 a-GST 而另一曲線代表 c-GST、h-GST。當加熱 GST 材料高於該熔化溫度 T_m 時，GST 材料失去其結晶結構。接著若 GST 材料迅速冷卻至室溫，則 GST 材料係形成於一非晶狀態，因為冷卻發生的太快以至於不允許一結晶結構生長。另一方面，若加溫 GST 材料至一高於該結晶溫度 T_x 但低於該熔化溫度 T_m 之溫度，則能夠生長一結晶結構。一旦轉換成一結晶結構，GST 材料便保持在一結晶結構下，直至其再次加熱高於該熔化溫度 T_m 。換言之，在室溫下，GST 材料在非晶或結晶相下係穩定的。

在一相變記憶體單元中，加熱與冷卻可藉由使不同電流之強度流過 GST 材料而發生。GST 材料係藉由使一結晶電流穿過 GST 材料，從而加溫 GST 材料至一結晶結構可生長的一溫度來置於一結晶狀態下。一更強熔化電流係用以熔化 GST 材料用於後續冷卻至一非晶狀態。由於典型相變記

憶體單元使用結晶狀態來表示一邏輯值，如一二進制"1"，以及非晶狀態表示另一邏輯值，如一二進制"0"，故該結晶電流係稱為一設定電流 I_{SET} 而該熔化電流係稱為一抹除或重設電流 I_{RST} 。但是，熟習本技術人士應瞭解可視需要切換GST狀態至二進制值之指派。

GST材料之狀態係藉由橫跨兩個電極施加一較小讀取電壓 V_r 並藉由測量所得讀取電流 I_r 來決定。一更低讀取電流 I_r 對應於一更高電阻。因此，一相對較低讀取電流 I_r 表示GST材料處於一非晶狀態，而一相對較高讀取電流 I_r 表示GST材料處於一結晶狀態。

該相變電流係經由電極來施加至GST材料，該等電極界定GST材料之一層。目前製程導致在GST層之頂部的一平面電極。因為該兩個電極與該GST層之界定表面區域之該等組態，在GST材料內的電流密度會不相等地分佈。

因此，需要其中電流密度與電場可均勻分佈之方法與結構，從而產生後續均勻信號完整性。

【發明內容】

所揭示之具體實施例係關於一種反相可變電阻記憶體單元以及製造其之方法。

以下說明中所使用之術語"基板"可包括任何支撐結構，其包括(但不受限於)具有已曝露基板表面的一半導體基板。一半導體基板應理解為包括絕緣物上覆矽(SOI)、藍寶石上覆矽(SOS)、摻雜及未摻雜半導體、由一基底半導體基座所支撐的矽之磊晶層及其他半導體結構。當在以下

說明中引用一半導體基板或晶圓時，可能已利用先前程序步驟在該基底半導體或基座內或其上形成區域或接面。該基板不必以半導體為主，但可以係任一適合於支撐所有積體電路之支撐結構。

術語"可變電阻材料"意在包括摻雜V、Co、Ni、Pd、Fe與Mn的非晶矽，如授予Rose等人的美國專利案第5,541,869號中所揭示；諸如 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ (PCMO)、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ (LCMO)、 LaSrMnO_3 (LSMO)、 $\text{GdBaCo}_x\text{O}_y$ (GBCO)之鈣鈦礦材料，如授予Ignatiev等人的美國專利案第6,473,332號中所揭示；化學式 A_xB_y 的摻雜硫族化合物玻璃，其中B係選自S、Se、Te及其混合物，且其中A包括來自週期表之第III-B族(B、Al、Ga、In、Tl)，第IV-B族(C、Si、Ge、Sn、Pb)，第V-B族(N、P、As、Sb、Bi)或第VII-B族(F、Cl、Br、I、At)的至少一元素，而摻雜物係選自貴金屬與過渡金屬中，包括Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni，分別如授予Campbell等人與Campbell的美國專利案第6,881,623號與第6,888,155號中所揭示；以及一包含碳黑微粒或石墨的碳聚合物膜，例如混合至一塑膠聚合物內，諸如Jacobson等人的美國專利案第6,072,716號所揭示者。

術語"硫族化合物玻璃"意在包括包含來自週期表之第VIA族(或第16族)之一元素的玻璃。第VIA族元素亦稱為硫族元素，包括硫(S)、硒(Se)、碲(Te)、釷(Po)與氧(O)。

術語"相變材料"意在包括各種相變材料，例如

$\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)、 GeSbTe 、 $\text{GeTe-Sb}_2\text{Te}_3$ 以及 AgInSbTe 。

【實施方式】

參考圖2，顯示處於一第一製造階段之一相變記憶體單元100。一半導體基板10(例如一矽晶圓)較佳的係約1000 Å至3000 Å厚，包括用於存取該記憶體單元100之電晶體(未顯示)，該等電晶體在該基板10中具有源極/汲極作用區域。一第一絕緣層11(例如一硼磷矽酸鹽玻璃(BPSG)層)係形成於基板10以及與基板10相關聯的任何電晶體閘極堆疊(未顯示)上。第一絕緣層11可藉由任一沈積方法來形成，例如濺鍍、化學汽相沈積(CVD)、電漿增強CVD(PECVD)或物理汽相沈積(PVD)。第一絕緣層11之厚度較佳的係處於3000 Å至6000 Å之範圍內。

第一絕緣層11可由一傳統絕緣氮化物、氧化物或任何其他絕緣或介電材料來形成。第一絕緣層11可以係(例如)矽或以矽為主，例如氮化矽。可由多晶矽形成的傳導插塞(未顯示)係形成於第一絕緣層11內，該第一絕緣層係連接至基板10內的該等電晶體源極汲極區域。一圖案化以具有必要開口之遮罩材料12係形成於第一絕緣層11上。

參考圖3，蝕刻該第一絕緣層11以形成一通道14。該蝕刻係使用遮罩材料12(圖2)以及相關聯開口13(圖2)來完成。該蝕刻移除第一絕緣層11之未遮罩部分以形成實質上具有垂直側壁14a的通道14。

接著執行一琢面蝕刻以平滑化在通道14之頂部部分上的輪廓，以形成一實質上均勻的半球狀頂部部分15，如圖4

所示。在執行該琢面蝕刻之後，通道14之底部部分具有實質上垂直側壁15b且通道14之頂部部分15具有實質上均勻半球形側壁15a。該等垂直側壁15b之間的距離較佳的係約300 Å。頂部部分15之該等半球形側壁15a之半徑較佳的係約1500 Å。

現參考圖5，通道14之部分係填充有一傳導材料，例如鎢、鉑、氮化鈦(TiN)、氮化鈮或氮化鈦鋁，以形成一第一傳導層16。第一傳導層16沿著頂部部分15之該等側壁15a(圖4)具有實質上均勻厚度(較佳的係150 Å)並實質上完全填充通道14之底部部分。接著藉由使用諸如化學機械平坦化(CMP)之研磨平坦化蝕刻技術來向下平坦化第一傳導層16至第一絕緣層11之頂部表面。該第一傳導層16用作用於記憶體單元100的一第一電極。

參考圖6，一相變材料係沈積於該第一傳導層16上以形成一相變材料層17。該相變材料可藉由任一沈積方法來沈積，例如濺鍍、化學汽相沈積(CVD)、電漿增強CVD(PECVD)或物理汽相沈積(PVD)。接著藉由使用諸如化學機械平坦化(CMP)之研磨平坦化蝕刻技術來向下平坦化相變材料層17至第一絕緣層11之頂部表面。因此，相變材料層17僅留在通道14(圖4)內。

操作中，相變材料層17之實質上半球形狀將會促進施加一均勻電場至該相變材料。更均勻分佈的電場產生一更均勻且完整變換的半球狀非晶區域，從而產生所需的信號完整性。

相變材料層 17 還可由其他可變電阻材料或硫族化合物玻璃來形成。實質上均勻半球形相變材料層 17 可促進施加一均勻電場至可變電阻材料或硫族化合物玻璃。

參考圖 7 至 8，一第二絕緣層 18 係形成於相變材料層 17、該第一傳導層 16 與該第一絕緣層 11 上。第二絕緣層 18 可由硼磷矽酸鹽玻璃 (BPSG)、一傳統絕緣氮化物、氧化物或任何其他絕緣或介電材料來形成。第二絕緣層 18 可藉由任何沈積方法來形成，例如濺鍍、化學汽相沈積 (CVD)、電漿增強 CVD (PECVD) 或物理汽相沈積 (PVD)。該第二絕緣層 18 之厚度係處於 100 \AA 至 5000 \AA 之一範圍內。

一遮罩材料層 19 係形成於該第二絕緣層 18 上。圖案化遮罩材料層 19，其在適當位置內具有開口。第二絕緣層 18 係蝕刻以使用遮罩材料層 19 (圖 7) 來形成一通道 21 (圖 8)。該蝕刻移除該第二絕緣層 18 之未遮罩部分以形成該通道 21 (圖 8)。

參考圖 9，一第二傳導層 20 係形成於該第二絕緣層 18 上，實質上填充通道 21 (圖 8)。第二傳導層 20 可由諸如氮化鈦 (TiN) 或銀之材料來形成。第二傳導層 20 用作用於記憶體單元 100 的一第二電極。第二絕緣層 20 之厚度係處於 300 \AA 至 2000 \AA 之一範圍內。

如圖 2 至 9 解說所製造之反相相變記憶體單元 100 在相變材料層 17 中產生一均勻電場。該製程之另一優點係任一潛在反應性離子蝕刻 (RIE) 對相變材料層 17 的最小破壞並因此防止在相變材料層 17 上形成任何非均勻表面，從而產生

一均勻電場。

如圖 10 中解說，相變記憶體單元 100 可配置成一記憶體位元結構 1001。記憶體單元 100 係經由該單元的第一或第二電極來連接至一單元選擇線 1002。反向電極係連接至諸如一存取電晶體之存取裝置 1003 之一源極/汲極端子。存取裝置 1003 係由一字線 1004 來開控。一位元線 1005 提供一源極至存取裝置 1003 並在存取裝置 1003 係由該字線 1004 上的一信號啟動時連接至記憶體單元 100。

圖 10 之該等記憶體位元結構 1001 可配置成一記憶體位元結構之陣列，如圖 11 中所解說。在圖 11 中，一記憶體裝置 1100 包括記憶體位元結構 1001a 至 1001p 之一陣列。該等記憶體位元結構 1001a 至 1001p 係按行與列配置。該等行與列可以係部分交錯或如圖 11 中以一簡單平行柵格對齊。沿任一給定單元選擇線 1120a 至 1120d 的該等記憶體位元結構 1001a 至 1001p 並不共用一共同字線 1130a 至 1130d。此外，沿著任何給定單元選擇線 1120a 至 1120d 之該等記憶體位元結構 1001a 至 1001p 並不共用一共同位元線 1140a 至 1140d。依此方式，每一記憶體位元結構係藉由記憶體單元存取裝置之閘極所連接之字線與記憶體單元所連接之單元選擇線之組合選擇來獨特地識別。

每一字線 1130a 至 1130d 係連接至採取一列解碼器 1160 之形式的一字線驅動器用於選擇個別字線用於一存取操作。類似地，每一單元選擇線 1120a 至 1120d 係耦合至採取一行解碼器 1150 之形式的一驅動器。穿過一選定記憶體位元結

構1001a至1001p的電流係藉由分別連接至該等單元選擇線1120a至1120d的感測放大器1170a、1170d來加以測量。

為簡化起見，圖11解說在四個單元選擇線1120a至1120d上僅具有四列記憶體位元結構1001且在四個字線1130a至1130d上僅具有四行記憶體位元結構1001的一記憶體陣列。但是，應明白在實際應用中記憶體裝置1100在一陣列中具有更多的記憶體位元結構。例如，一實際記憶體裝置可包括配置成若干子陣列的數百萬個記憶體位元結構1001。

雖然在圖11中解說為一單一記憶體裝置1100，但記憶體裝置1100可作為一記憶體陣列之部分而製造並可與記憶體元件存取電路一起操作，該存取電路包括具有鎳蓋之銅接合墊。

圖12解說記憶體裝置1100(圖11)可用於一積體電路記憶體封裝1200中。記憶體裝置1100(圖11)係使用一適當附著材料來實體安裝於一安裝基板1203上。接合線1205係用於在該等積體晶片接合墊1201、1202與該等安裝基板接合墊1204及/或連接晶粒1206至封裝1200之外部周邊電路(未顯示)的引線之間提供電性連接。該周邊電路可包括用於定址該記憶體裝置1100(圖11)之電路以及用於在該記憶體裝置1100(圖11)中儲存資料並從其擷取資料的電路。該周邊電路還可包括其他用於控制或另外確保該記憶體裝置1100(圖11)之正常運作的電路。

圖13解說利用一記憶體裝置1100之一處理系統900，該

記憶體裝置1100包含如上文參考圖2至11所說明而構造的相變記憶體單元100(圖10)之一陣列。該處理系統900包括耦合至一局部匯流排904的一或多個處理器901。一記憶體控制器902及一主要匯流排橋接器903係亦耦合至局部匯流排904。處理系統900可包括多個記憶體控制器902及/或多個主要匯流排橋接器903。記憶體控制器902與主要匯流排橋接器903可整合為一單一裝置906。

記憶體控制器902係亦耦合至一或多個記憶體匯流排907。每一記憶體匯流排接受記憶體組件908，其包括至少一記憶體裝置1100。或者，在一簡化系統中，可以省略記憶體控制器902而該等記憶體組件直接耦合至一或多個處理器901。該等記憶體組件908可以係一記憶卡或一記憶體模組。該等記憶體組件908可包括一或多個額外裝置909。例如，額外裝置909可以係一組態記憶體。記憶體控制器902亦可耦合至一快取記憶體905。快取記憶體905可以係該處理系統中的唯一快取記憶體。或者，其他裝置(例如處理器901)亦可包括快取記憶體，該等快取記憶體可與快取記憶體905形成一快取階層。若處理系統900包括作為匯流排主控器或支援直接記憶體存取(DMA)的周邊設備或控制器，則記憶體控制器902可實施一快取相干性協定。若記憶體控制器902係耦合至複數個記憶體匯流排907，則可平行操作各記憶體匯流排907，或可將不同位址範圍映射至不同記憶體匯流排907。

主要匯流排橋接器903係耦合至至少一周邊匯流排910。

各種裝置(例如周邊設備或額外匯流排橋接器)可係耦合至周邊匯流排910。該些裝置可包括一儲存控制器911、一雜項I/O裝置914、一次要匯流排橋接器915、一多媒體處理器918及一舊型裝置介面920、一軟碟機及一光碟ROM驅動機。主要匯流排橋接器903亦可係耦合至一或多個專用高速埠922。例如，在一個人電腦中，該專用埠可能係用於將一高效能視訊卡耦合至處理系統900的加速圖形埠(AGP)。

儲存控制器911經由一儲存匯流排912將一或多個儲存裝置913耦合至周邊匯流排910。例如，儲存控制器911可以係一SCSI控制器，而儲存裝置913可以係SCSI磁碟。I/O裝置914可以係任一種類周邊設備。例如，I/O裝置914可以係一區域網路介面，例如乙太網路卡或可卸除式媒體裝置。次要匯流排橋接器可係用於經由另一匯流排介接額外裝置至該處理系統。例如，該次要匯流排橋接器可以係一通用串列匯流排(USB)控制器，其係用於將USB裝置917耦合至處理系統900。多媒體處理器918可以係一音效卡、一視訊捕捉卡或亦可係耦合至額外裝置(例如揚聲器919)的任一其他類型媒體介面。舊型裝置介面920係用於將舊型裝置921(例如，舊式鍵盤及滑鼠)耦合至處理系統900。

雖然圖13解說尤其適合於一般用途電腦(例如一個人電腦或工作站)之一處理架構，但是應認識到，可進行熟知的修改以組態處理系統900使之更適用於各種應用。例如，可使用一更簡單的架構來實施許多需要處理的電子裝

置，該架構依賴耦合至記憶體組件908及/或記憶體裝置1100的一CPU 901。該些電子裝置可包括(但不限於)音訊/視訊處理器及記錄器、遊戲控制台、數位電視機、有線或無線電話、導航裝置(包括基於全球定位系統(GPS)及/或慣性導航之系統)及數位相機及/或記錄器。該等修改可包括(例如)不必要組件之刪除、專用裝置或電路之添加及/或多個裝置之整合。

還應瞭解，已說明各種具體實施例使用一相變材料作為一範例性可變電阻材料。本發明還可用於非揮發性記憶體裝置，其使用其他類型可變電阻材料來製造電流密度與電場可以均勻地分佈，從而產生後續均勻信號完整性的結構。

雖然以上已說明各種具體實施例，但應明白，其係藉由範例而非限制來呈現。熟習本技術之人士會清楚可進行各種形式及細節變化。

【圖式簡單說明】

圖1解說用於一GST材料之相位轉變。

圖2係本文所說明之一第一具體實施例之一斷面圖，其描述在一初始處理階段的一半導體基板。

圖3係在圖2所示者之後的一製造階段期間該第一具體實施例之一斷面圖。

圖4係在圖3所示者之後的一製造階段期間該第一具體實施例之一斷面圖。

圖5係在圖4所示者之後的一製造階段期間該第一具體實

施例之一斷面圖。

圖6係在圖5所示者之後的一製造階段期間該第一具體實施例之一斷面圖。

圖7係在圖6所示者之後的一製造階段期間該第一具體實施例之一斷面圖。

圖8係在圖7所示者之後的一製造階段期間的該第一具體實施例之一斷面圖。

圖9係在圖8所示者之後的一製造階段期間的該第一具體實施例之一斷面圖。

圖10解說包含本文所說明之具體實施例之一相變記憶體位元結構。

圖11解說包含本文所說明之具體實施例之一相變記憶體位元結構之陣列。

圖12解說包含本文所說明之具體實施例之一積體電路封裝。

圖13解說包含本文所說明之具體實施例之一處理系統。

【主要元件符號說明】

10	半導體基板
11	第一絕緣層
12	遮罩材料
13	開口
14	通道
14a	垂直側壁
15	半球狀頂部部分

15a	半球形側壁
15b	垂直側壁
16	第一傳導層
17	相變材料層
18	第二絕緣層
19	遮罩材料層
20	第二傳導層
21	通道
100	相變記憶體單元
900	處理系統
901	處理器 /CPU
902	記憶體控制器
903	主要匯流排橋接器
904	局域匯流排
905	快取記憶體
906	單一裝置
907	記憶體匯流排
908	記憶體組件
909	額外裝置
910	周邊匯流排
911	儲存控制器
912	儲存匯流排
913	儲存裝置
914	雜項 I/O 裝置

915	次要匯流排橋接器
916	次要匯流排
917	USB裝置
918	多媒體處理器
919	揚聲器
920	舊型裝置介面
921	舊型裝置
922	高速埠
1001	記憶體位元結構
1001a至1001p	記憶體位元結構
1002	單元選擇線
1003	存取裝置
1004	字線
1005	位元線
1100	記憶體裝置
1120a至1120d	單元選擇線
1130a至1130d	共同字線
1140a至1140d	共同位元線
1150	行解碼器
1160	列解碼器
1170a、1170d	感測放大器
1200	積體電路記憶體封裝
1201	積體晶片接合墊
1202	積體晶片接合墊

1203	安裝基板
1204	安裝基板接合墊
1205	接合線
1206	晶粒

五、中文發明摘要：

本發明揭示一種反相可變電阻記憶體單元以及製造其之方法。製造該記憶體單元，其係藉由：在沈積於一半導體基板上的一絕緣層內形成一開口；蝕刻該開口之頂部部分以具有一實質上半球形，在該開口內形成一金屬層；及在該金屬層上覆蓋一可變電阻材料。

六、英文發明摘要：

An inverted variable resistance memory cell and a method of fabricating the same. The memory cell is fabricated by forming an opening in an insulating layer deposited over a semiconductor substrate, etching the top portion of the opening to have a substantially hemispherical-shape, forming a metal layer in the opening, and overlying a variable resistance material over the metal layer.

十、申請專利範圍：

1. 一種相變記憶體單元，其包含：

一第一絕緣層，其具有一開口，該開口具有一頂部部分與一底部部分；

一第一傳導層，其係形成於該開口上，該第一傳導層沿著該頂部部分之側壁具有實質上均勻厚度且實質上填充該底部部分；以及

一相變材料層，其係形成於該第一傳導層上。

2. 如請求項1之相變記憶體單元，其進一步包含：

一第二絕緣層，其具有一開口，該第二絕緣層係形成於該第一絕緣層、該第一傳導層與該相變材料層上；以及

一第二傳導層，其係形成於該第二絕緣層上且實質上填充該第二絕緣層之該開口。

3. 如請求項2之相變記憶體單元，其中該第二絕緣層係由包括硼磷矽酸鹽玻璃之材料所形成。

4. 如請求項1之相變記憶體單元，其中該相變材料層係由包含 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 之材料所形成。

5. 如請求項1之相變記憶體單元，其中在該第一絕緣層中該開口之該頂部部分係實質上半球狀。

6. 如請求項1之相變記憶體單元，其中在該第一絕緣層中該開口之該底部部分具有實質上垂直側壁。

7. 如請求項1之相變記憶體單元，其中該第一傳導層係由包含鎢、氮化鈦與氮化鉭之傳導材料所形成。

8. 如請求項1之相變記憶體單元，其中該第一絕緣層係由包括硼磷矽酸鹽玻璃之材料所形成。
9. 一種可變電阻記憶體單元，其包含：
 - 一第一絕緣層，該第一絕緣層形成於一基板上；
 - 一第一電極，其係配置成透過該第一絕緣層的一通道；
 - 一可變電阻層，其係形成於該第一電極上；
 - 一第二絕緣層，其係形成於該第一絕緣層、該第一電極與該可變電阻層上；以及
 - 一第二電極，其係配置成透過該第二絕緣層的一通道。
10. 如請求項9之可變電阻記憶體單元，其中該可變電阻層係實質上半球狀。
11. 如請求項9之可變電阻記憶體單元，其中該第一電極之一頂部部分係一般半球狀。
12. 如請求項9之可變電阻記憶體單元，其中該第一電極與該第二電極係由一包含氮化鈦、銀與鎢之材料所形成。
13. 如請求項9之可變電阻記憶體單元，其中該可變電阻層係由一包括摻雜硫族化合物玻璃、鈣鈦礦材料、摻雜非晶矽與碳塑膠聚合物之材料所形成。
14. 一種相變記憶體位元結構，其包含：
 - 一存取裝置；
 - 一單元選擇線；
 - 一位元線；

一字線；以及

一相變記憶體單元，該相變記憶體單元包含：

一第一絕緣層，其具有一開口，該開口之一頂部部分係一般半球狀；

一第一傳導層，其係形成於該開口上，該第一傳導層沿該頂部部分之側壁具有實質上均勻厚度並實質上填充該開口之一底部部分；

一相變材料層，其係形成於該第一傳導層上；

一第二絕緣層，其具有一開口，該第二絕緣層係形成於該第一絕緣層、該第一傳導層與該相變材料層上；以及

一第二傳導層，其係形成於該第二絕緣層上，該第二傳導層實質上填充該第二絕緣層之該開口，

其中該相變記憶體單元係連接至該單元選擇線並透過藉由該字線所閘控之該存取裝置來耦合至該位元線。

15. 一種記憶體裝置，其包含：

一相變記憶體陣列，該相變記憶體陣列包含：

複數個字線；

複數個單元選擇線；

複數個位元線，以及

複數個記憶體位元結構，該等記憶體位元結構之每一記憶體位元結構包括一存取裝置與一相變記憶體單元，該相變記憶體單元係連接該複數個單元選擇線之一者並透過由該複數個字線之一者閘控的該存取裝置

來耦合該複數個位元線之一者，該相變記憶體單元包含：

一第一絕緣層，其具有一開口；

一第一金屬層，其係形成於該開口上，該金屬層沿該開口之一頂部部分之側壁具有實質上均勻厚度並實質上填充該開口之一底部部分；

一相變材料層，其係形成於該第一金屬層上；

一第二絕緣層，其具有一開口，該第二絕緣層係形成於該第一絕緣層、該第一金屬層與該相變材料層上；以及

一第二金屬層，其係形成於該第二絕緣層上；以及
周邊電路，其係形成於一基板上並電性連接至該相變記憶體陣列。

16. 一種製造一相變記憶體單元之方法，其包含下列步驟：

在一第一絕緣層中形成一通道；

蝕刻該通道之一頂部部分以形成一實質上半球形部分；

在該通道上形成一第一傳導層，該第一傳導層沿該頂部部分之側壁具有實質上均勻厚度並實質上填充該通道之一底部部分；以及

在該第一傳導層上形成一相變材料層。

17. 如請求項16之方法，其進一步包含：

提供一第二絕緣層，其係形成於該第一絕緣層、該第一傳導層與該相變材料層上；

在該第二絕緣層中形成一通道；以及

在該第二絕緣層上形成一第二傳導層。

18. 如請求項17之方法，其中在該第二絕緣層上形成一通道之該步驟進一步包含：

圖案化一遮罩材料，其在該第二絕緣層上具有一開口；以及

蝕刻以移除該第二絕緣層之未遮罩部分以形成該通道。

19. 如請求項17之方法，其中該第一絕緣層及該第二絕緣層係藉由沈積方法來形成，包括濺鍍、化學汽相沈積、電漿增強化學汽相沈積與物理汽相沈積。

20. 如請求項16之方法，其中在該第一絕緣層上形成一通道之該步驟進一步包含：

圖案化一遮罩材料，其在該第一絕緣層上具有一開口；以及

蝕刻以移除該第一絕緣層之未遮罩部分以形成該通道。

21. 如請求項16之方法，其進一步包含在該相變材料層形成之前，使用化學機械平坦化來平坦化該第一傳導層。

22. 如請求項16之方法，其進一步包含在形成該相變材料層之後，使用化學機械平坦化來平坦化該相變材料層。

23. 一種製造一相變記憶體單元之方法，其包含下列步驟：

形成一第一絕緣層；

圖案化一遮罩材料，其在該第一絕緣層上具有一開

口；

蝕刻以移除該第一絕緣層之未遮罩部分以在該第一絕緣層中形成一第一通道；

蝕刻該第一通道之一頂部部分以形成一實質上半球形部分；

在該第一通道上形成一第一傳導層，該第一傳導層沿該頂部部分之側壁具有實質上均勻厚度並實質上填充該第一通道之一底部部分；

平坦化該第一傳導層至該第一絕緣層之一頂部表面；

在該第一傳導層上形成一相變材料層；

平坦化該相變材料層至該第一絕緣層之該頂部表面；

在該第一絕緣層、該第一傳導層與該相變材料層上形成一第二絕緣層；

圖案化一遮罩材料，其在該第二絕緣層上具有一開口；

蝕刻以移除該第二絕緣層之未遮罩部分以形成一第二通道；以及

在該第二絕緣層上形成一第二傳導層，該第二傳導層實質上填充該第二通道。

十一、圖式：

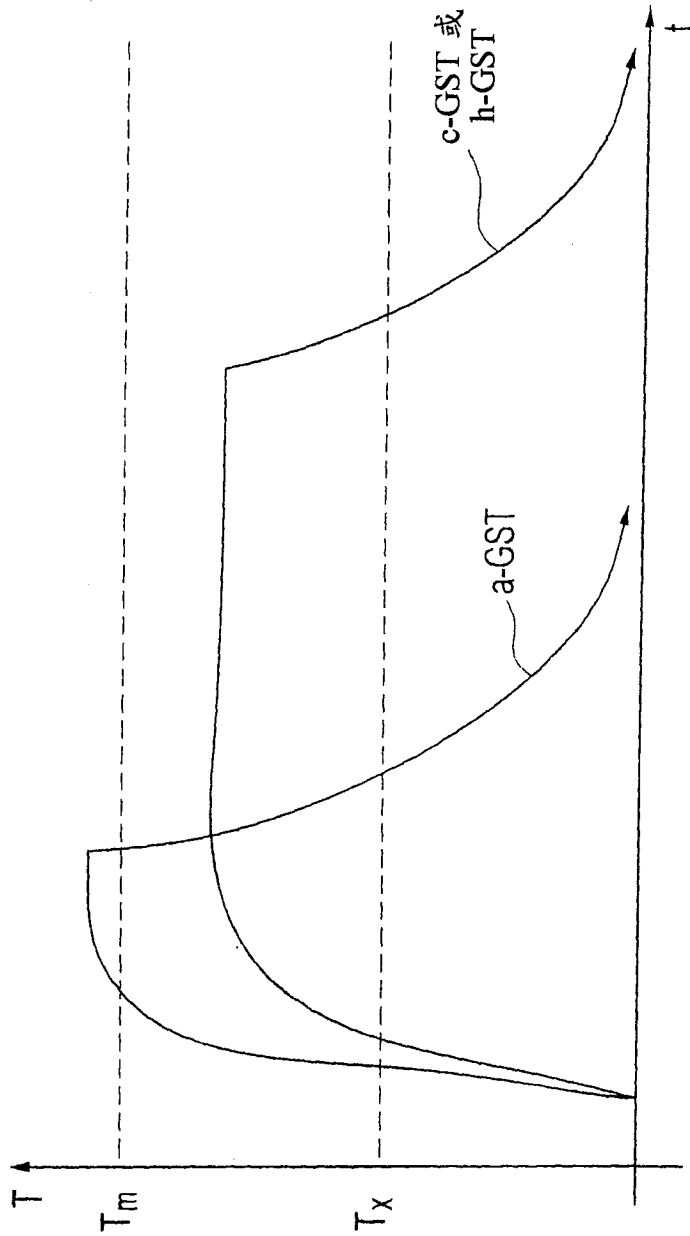


圖 1

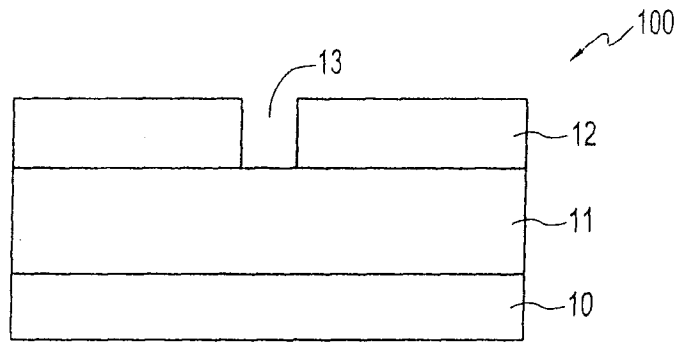


圖 2

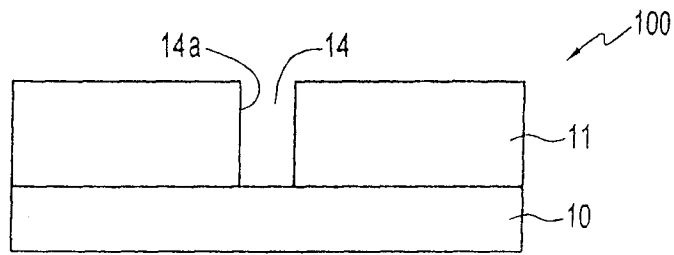


圖 3

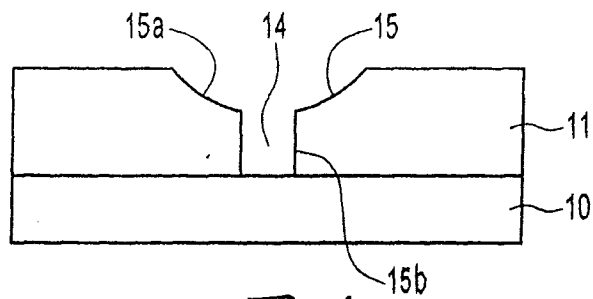


圖 4

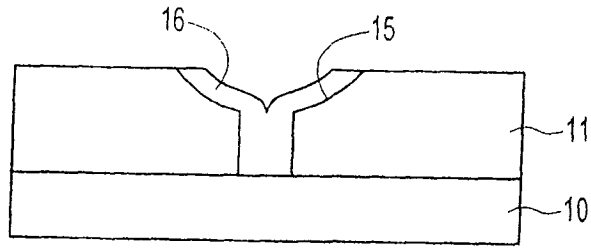


圖 5

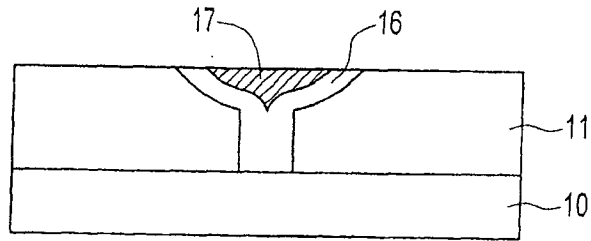


圖 6

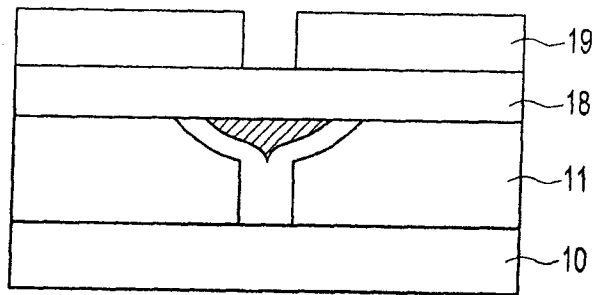


圖 7

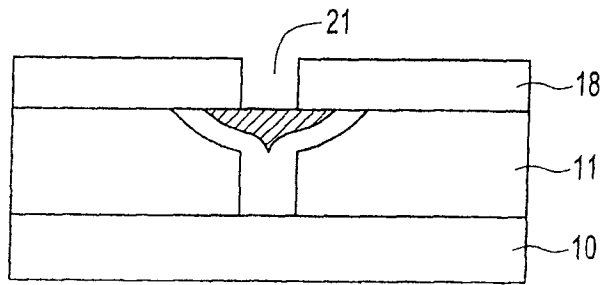


圖 8

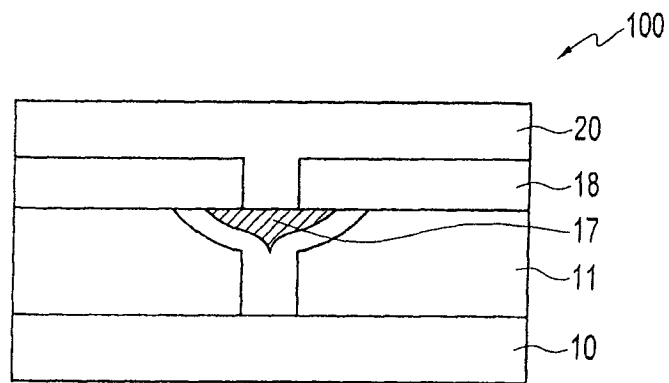


圖 9

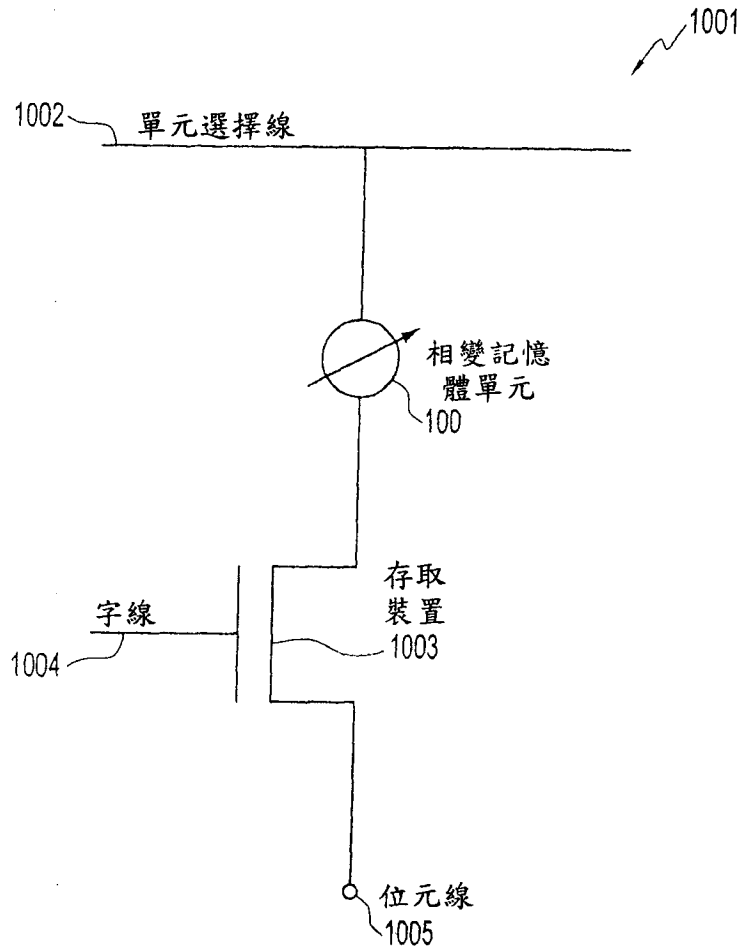


圖 10

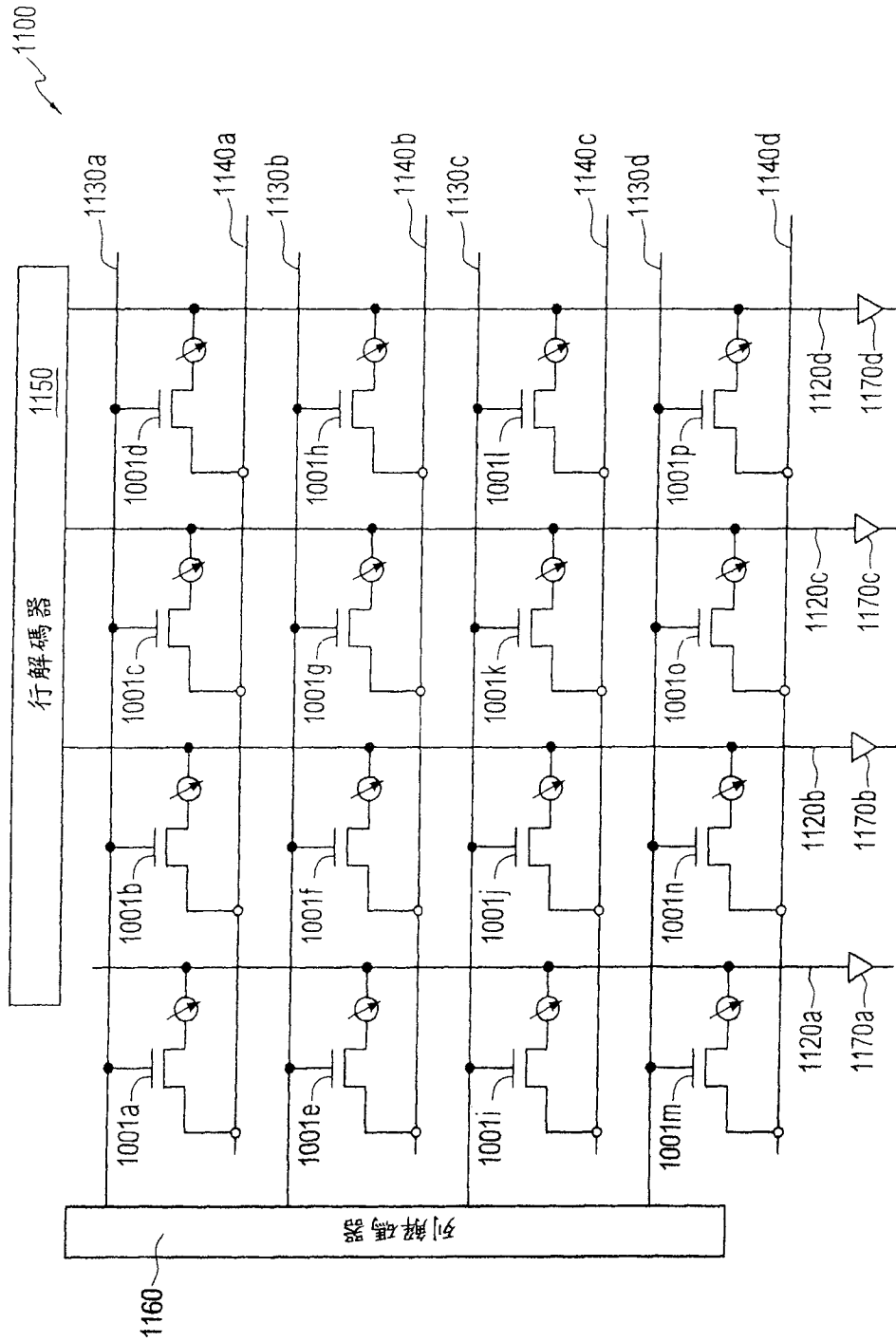


圖 11

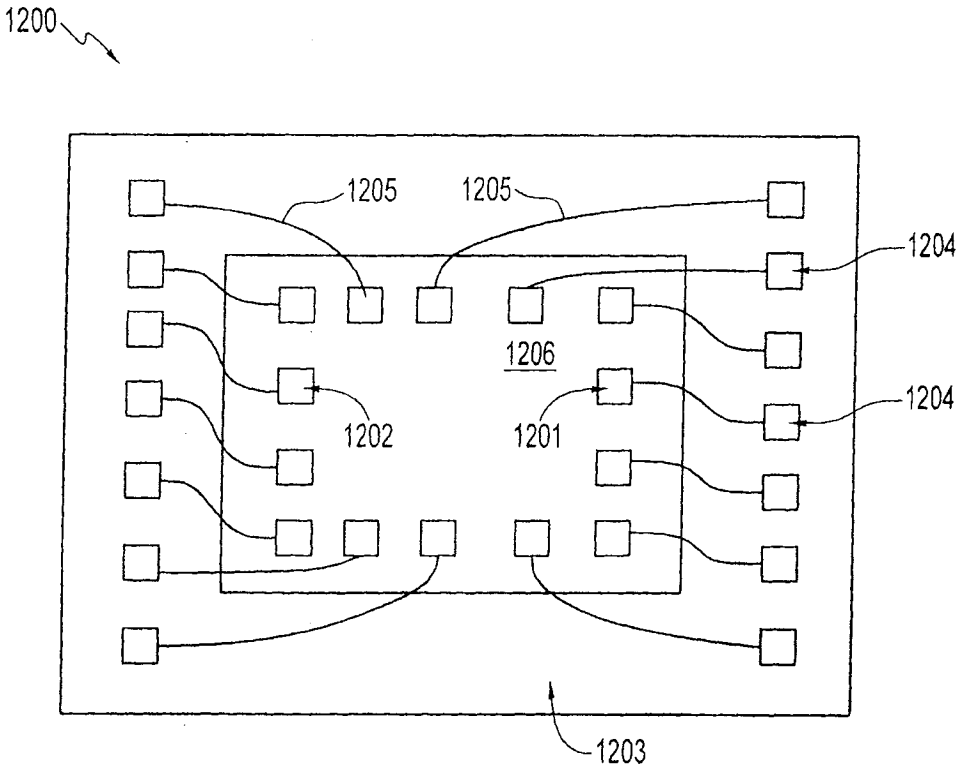


圖 12

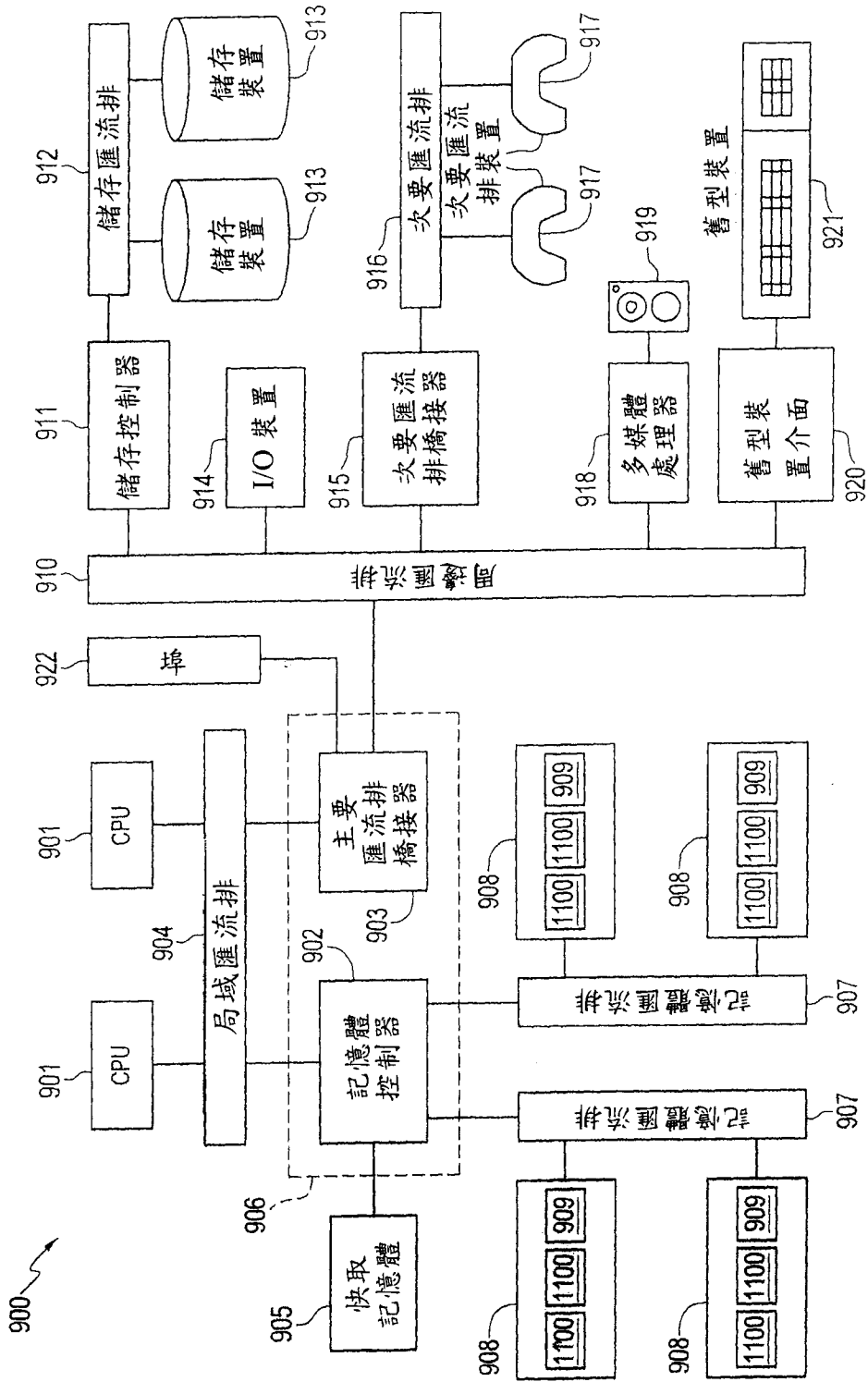


圖 13

七、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體基板
11	第一絕緣層
17	相變材料層
18	第二絕緣層
20	第二傳導層
100	相變記憶體單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)