

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292863
(P2005-292863A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G05B 19/05	G05B 19/05 Z	5H220
H03K 19/173	H03K 19/173 101	5J042

審査請求 未請求 請求項の数 26 O L (全 14 頁)

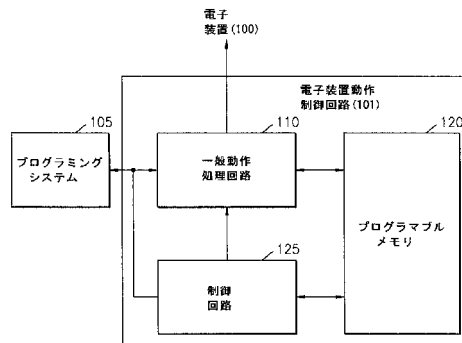
<p>(21) 出願番号 特願2004-67163 (P2004-67163)</p> <p>(22) 出願日 平成16年3月10日 (2004.3.10)</p> <p>(31) 優先権主張番号 2003-014778</p> <p>(32) 優先日 平成15年3月10日 (2003.3.10)</p> <p>(33) 優先権主張国 韓国 (KR)</p>	<p>(71) 出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea</p> <p>(74) 代理人 100086368 弁理士 萩原 誠</p> <p>(72) 発明者 金 敏 秀 大韓民国京畿道水原市勸善区勸善洞123 8番地 三千里2次アパート103棟80 1号</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 電子装置をプログラムする方法及び回路並びにデータ構造

(57) 【要約】

【課題】 電子装置をプログラムする方法及び回路並びにデータ構造を提供する。

【解決手段】 電子装置のプログラマブルメモリにデータを伝送するのに使われるコントローラ回路は、前記電子装置の一般的な動作を制御する一般動作処理回路から分離されうる。前記コントローラ回路は、前記一般動作処理回路によって制御されるRAMまたはROMを使用せずに前記プログラマブルメモリにデータを伝送せしめる。前記一般動作処理回路は、データがプログラマブルメモリに伝送される(すなわち、プログラムされる)間、前記コントローラ回路によってディセーブルされうる。



【選択図】 図1

【特許請求の範囲】

【請求項 1】

プログラマブルメモリにプログラムデータを伝送する段階以後に電子装置の一般的な動作を提供するのに使われる一般動作処理回路から分離できる前記電子装置の前記プログラマブルメモリのプログラミングを制御するコントローラ回路を通じて前記電子装置の外部から前記電子装置内の前記プログラマブルメモリに前記プログラムデータを伝送する段階を含むことを特徴とする電子装置をプログラムする方法。

【請求項 2】

前記伝送段階は、

前記コントローラ回路から分離される RAM 及び ROM 装置を使用せずに前記プログラムデータを伝送する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

10

【請求項 3】

前記 RAM と ROM とは、前記一般動作処理回路によって制御されて動作し、前記コントローラ回路によって制御されないことを特徴とする請求項 2 に記載の電子装置をプログラムする方法。

【請求項 4】

前記伝送段階は、

前記電子装置の信号ケーブルを通じて前記電子装置に前記プログラムデータを伝送する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

20

【請求項 5】

前記伝送段階は、

内部集積回路インターフェースを通じて前記電子装置に前記プログラムデータを伝送する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

【請求項 6】

前記伝送段階は、

直列インターフェースを通じて前記電子装置に前記プログラムデータを伝送する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

【請求項 7】

前記一般動作処理回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に、前記プログラマブルメモリの前記プログラムデータをアクセスして前記電子装置の一般的な動作を提供することを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

30

【請求項 8】

前記一般動作処理回路は、RAM とプログラマブルメモリとを個別にアクセスして前記電子装置の一般的な動作を提供することを特徴とする請求項 6 に記載の電子装置をプログラムする方法。

【請求項 9】

前記プログラマブルメモリに前記プログラムデータを伝送する間、前記一般動作処理回路が前記プログラマブルメモリをアクセスすることを防止する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

40

【請求項 10】

前記プログラマブルメモリに前記プログラムデータの前記伝送が完了したことを表す指示を前記電子装置の外部に伝送する段階をさらに含むことを特徴とする請求項 1 に記載の電子装置をプログラムする方法。

【請求項 11】

前記プログラマブルメモリに伝送された前記プログラムデータをアクセスするように前記一般動作処理回路をイネーブルさせるために前記コントローラ回路にリセット信号を伝送する段階をさらに含むことを特徴とする請求項 10 に記載の電子装置をプログラムする方法。

50

【請求項 12】

前記プログラマブルメモリに伝送された前記プログラムデータをアクセスするように前記一般動作処理回路をイネーブルさせる前記コントローラ回路をリセットさせるために前記コントローラ回路に供給される電源を再循環させる段階をさらに含むことを特徴とする請求項 10 に記載の電子装置をプログラムする方法。

【請求項 13】

プログラマブルメモリをプログラムするために電子装置の外部から前記プログラマブルメモリにプログラムデータを伝送する間、前記電子装置の一般動作処理回路が前記電子装置のプログラマブルメモリをアクセスすることを防止する段階を含むことを特徴とする電子装置をプログラムする方法。

10

【請求項 14】

前記一般動作処理回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に前記電子装置の一般的な動作を提供することを特徴とする請求項 13 に記載の電子装置をプログラムする方法。

【請求項 15】

前記一般動作処理回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に前記電子装置の一般的な動作を提供するために前記プログラマブルメモリのプログラムデータをアクセスすることを特徴とする請求項 14 に記載の電子装置をプログラムする方法。

【請求項 16】

前記電子装置の外部から前記一般動作処理回路から分離できる前記電子装置内のコントローラ回路にデータを伝送する段階と、

20

前記プログラマブルメモリに前記プログラムデータをプログラムする段階と、をさらに含むことを特徴とする請求項 13 に記載の電子装置をプログラムする方法。

【請求項 17】

電子装置の一般的な動作を制御するのに使われる前記電子装置の一般動作処理回路が前記電子装置のプログラマブルメモリをアクセスすることを防止する段階と、

前記電子装置の外部から前記一般動作処理回路から分離できる前記電子装置のコントローラ回路にデータを伝送する段階と、

前記コントローラ回路で前記プログラマブルメモリに前記プログラムデータをプログラムする段階と、を含むことを特徴とする電子装置をプログラムする方法。

30

【請求項 18】

前記プログラムデータのプログラムが完了したことを表す指示を前記電子装置の外部に伝送する段階をさらに含むことを特徴とする請求項 17 に記載の電子装置をプログラムする方法。

【請求項 19】

前記電子装置の一般的な動作を提供するために、前記プログラマブルメモリにプログラムされた前記プログラムデータをアクセスするように前記一般動作処理回路をイネーブルさせる前記コントローラ回路にリセット信号を伝送する段階をさらに含むことを特徴とする請求項 18 に記載の電子装置をプログラムする方法。

40

【請求項 20】

前記電子装置の一般的な動作を提供するために、前記プログラマブルメモリにプログラムされた前記プログラムデータをアクセスするように前記一般動作処理回路をイネーブルさせる前記コントローラ回路をリセットさせるために前記コントローラ回路に電源を再循環させる段階をさらに含むことを特徴とする請求項 18 に記載の電子装置をプログラムする方法。

【請求項 21】

プログラマブルメモリをプログラムする間、前記プログラマブルメモリのアドレスと一致するように形成されるアドレス情報を提供する段階を取り消す段階を含むことを特徴とするプログラマブルメモリにデータをプログラムする方法。

50

【請求項 2 2】

プログラマブルメモリにプログラムのためのデータとしてヘッドデータと関連した他のフィールドに含まれるデータを識別する情報を含むように形成されるヘッドデータを電子装置に提供する段階と、

関連したデータを使用して前記プログラマブルメモリで行われるプログラミング動作を含むように形成される前記ヘッドデータと関連したコマンドデータを提供する段階と、

前記コマンドによって前記プログラマブルメモリにプログラムされるデータを含むように形成される前記コマンドヘッドデータと関連したデータを提供する段階と、を含み、

前記プログラマブルメモリをプログラムするのに使われるアドレス情報は、前記データから欠如されることを特徴とする電子装置のプログラマブルメモリにデータをプログラムする方法。

10

【請求項 2 3】

モニターの外部から前記モニターのプログラマブルメモリにプログラムデータを伝送するように形成されるコントローラ回路を備え、前記コントローラ回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に前記モニターの一般的な動作を提供するのに使われる一般動作処理回路から分離できることを特徴とするモニターをプログラムする回路。

【請求項 2 4】

前記コントローラ回路は、

インターフェースに連結され、前記インターフェースを通じて受信されるデータがコントローラ回路アドレス範囲内のアドレスを含むか否かに対する決定にตอบสนองして第 1 信号を提供するように形成されるデコーダ回路と、

前記第 1 信号にตอบสนองして前記プログラマブルメモリに少なくとも一つの制御信号を提供するように形成される前記デコーダ回路に連結されるプログラマブルメモリコントローラと、を含み、

前記インターフェースを通じて前記プログラムデータが前記モニターに伝送されることを特徴とする請求項 2 3 に記載のモニターをプログラムする回路。

20

【請求項 2 5】

前記デコーダ回路と前記プログラマブルメモリとに連結され、前記プログラマブルメモリに / からデータを提供するように形成されるバッファ回路をさらに含むことを特徴とする請求項 2 4 に記載のモニターをプログラムする回路。

30

【請求項 2 6】

電子装置のプログラマブルメモリにデータをプログラムするのに使われ、コンピュータ再生可能媒体内に具現されたデータ構造において、

プログラマブルメモリにプログラムのためのデータとしてヘッドフィールドと関連した他のフィールドに含まれるデータを識別する情報を含むように形成されるヘッドフィールドと、

関連したデータを使用して前記プログラマブルメモリで行われるプログラミング動作を含むように形成される前記ヘッドフィールドと関連したコマンドフィールドと、

前記コマンドフィールド及び前記コマンドによって前記プログラマブルメモリにプログラムされるデータを含むように形成される前記ヘッドフィールドと関連するデータフィールドと、を含み、

前記プログラマブルメモリのアドレス指定に使われるアドレス情報は、前記データフィールドから欠如されることを特徴とするデータ構造。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は一般的に電子分野に係り、特に、電子装置をプログラムする方法及び装置並びにデータ構造に関する。

【背景技術】

50

【0002】

モニター、プリンター、携帯電話のような電子装置は、コンピュータプログラム（すなわち、ソフトウェア）の動作を通じて前記電子装置に対するユーザインターフェースのような機能を提供できる。前記ソフトウェアは、前記電子装置の内部のプログラマブルメモリのような不揮発性メモリに保存される。例えば、ユーザが内部プログラマブルメモリに保存されたソフトウェアの制御によってコンピュータモニターの輝度のような設定を選択可能にするユーザインターフェースを提供すると知られている。あるシステムでは、プログラマブルメモリを新しいソフトウェアでプログラムすることによって電子装置の動作が変更されうる。

【0003】

あるシステムでは、プログラマブルメモリを再プログラムする前に予備段階が行われうる。例えば、あるモニターで、前記モニターに含まれるスイッチ及び/またはジャンパーが前記プログラマブルメモリのプログラミングをイネーブルさせるために設定された位置にセッティングされる。また、（前記モニター内部に位置した）前記スイッチ及びジャンパーがアクセスできるようにモニターの外部ケースが除去される。また、前記プログラマブルメモリは、前記モニターの内部に位置したソケットを通じてだけアクセス可能である。したがって、前記モニターの前記プログラマブルメモリをプログラムするためにモニターの外部ケースが除去され、前記ジャンパーが適当な位置にセッティングされ、（前記ソケットを通じて前記プログラマブルメモリに連結された）外部プログラマーが前記プログラマブルメモリをプログラムする。

【0004】

あるモニターで、ビデオグラフィックアダプター（VGA: Video Graphics Adapter）インターフェースを通じて内部プログラマブルメモリにアクセスすると知られている。標準VGAインターフェースに含まれるVsync、Hsync、SDA及びSCLのような信号ラインが前記プログラマブルメモリに記入されるデータを伝送するのに使用されうる。

【0005】

一般的に、前記プログラマブルメモリに記入される前記データは、モニター外部からモニター内のプロセッサ回路に伝送され、再び前記プロセッサ回路がランダムアクセスメモリ（RAM: Random Access Memory）に前記データを保存する。以後、前記プロセッサ回路は、前記RAMに保存された前記データをROM（Read Only Memory）に保存された変換プログラムを使用して他のフォーマット（すなわち、前記データを前記プログラマブルメモリに記入するのに使用できるフォーマット）に変換する。前記データが一回再フォーマットされれば、前記再フォーマットされたデータは、例えば前記モニターに対する新しいユーザインターフェースを提供するように前記プロセッサ回路によって前記プログラマブルメモリに記入されうる。例えば、特許文献1でモニターのプログラマブル制御が議論され、前記特許文献1の公開は、ここに参照として結合される。

【特許文献1】米国特許第6,295,053号公報（Tsai et al.）

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、電子装置のプログラマブルメモリにデータを記入するコントローラ回路を提供することである。

【課題を解決するための手段】

【0007】

前記課題を達成するために本発明は、特に、前記コントローラ回路は、前記電子装置の一般的な動作を制御する一般動作処理回路から分離されうる。また、前記コントローラ回路は、前記一般動作処理回路によって制御されるRAMまたはROMを使用せずに前記プログラマブルメモリにデータを伝送できる。また、本発明による一実施例で、前記一般動

10

20

30

40

50

作処理回路は、データが前記プログラマブルメモリに伝送される（すなわち、プログラムされる）間、前記コントローラ回路によってディセーブルされうる。RAMとROMとを使用しないことによって本発明の実施例による前記コントローラ回路が従来のシステムに比べてさらに低コストで実行されうる。

【0008】

本発明による一実施例で、前記電子装置内のプログラマブルメモリのプログラミングを制御するコントローラ回路を通じて前記電子装置の外部から前記電子装置内のプログラマブルメモリにプログラムデータが伝送されうる。前記コントローラは、前記電子装置の一般の動作を提供するのに使われる一般動作処理回路から機能的に分離できる。

【0009】

本発明による一実施例で、前記伝送段階は、前記コントローラ回路から分離できるRAM及びROM装置を使用せずに前記プログラムデータを伝送する段階を含みうる。本発明による一実施例で、前記RAMとROMとは、前記コントローラ回路の制御を受けずに前記一般動作処理回路の制御を受けて動作できる。

【0010】

本発明による一実施例で、前記伝送段階は、前記電子装置をインターフェースするVGAを通じて前記プログラムデータを伝送する段階を含みうる。本発明による一実施例で、前記伝送段階は、内部集積回路（IIC：Inter-Integrated Circuit）インターフェースを通じて前記プログラムデータを前記電子装置に伝送する段階を含みうる。本発明による一実施例で、前記伝送段階は、直列インターフェースを通じて前記プログラムデータを前記電子装置に伝送する段階を含みうる。本発明による一実施例で、前記一般動作処理回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に、前記電子装置の一般的な動作を提供するために前記プログラマブルメモリの前記プログラムデータをアクセスできる。本発明による一実施例で、前記一般動作処理回路は、前記電子装置の一般動作を提供するためにRAMとROMとを個別的にアクセスできる。

【0011】

本発明による一実施例は、前記プログラマブルメモリにプログラムデータ伝送する段階のうち、前記一般動作処理回路が前記プログラマブルメモリをアクセスすることを防止する段階を含みうる。本発明による一実施例で、前記プログラマブルメモリにプログラムが完了したことを表す指示が前記電子装置の外部に伝送されうる。本発明による一実施例で、前記システムが前記プログラマブルメモリにプログラムされる新しいプログラムデータを使用して動作するように前記システムを再始動させるためにリセット信号（またはコマンド）が前記コントローラ回路に伝送されうる。本発明による一実施例で、前記リセット信号は、前記コントローラ回路及び/または前記システムに電源を再循環させることによって（すなわち、前記コントローラ回路に電源をターンオン/オフさせることによって）前記コントローラ回路に提供されうる。

【0012】

本発明による一実施例で、プログラマブルメモリをプログラムするために電子装置の外部から前記プログラマブルメモリにプログラムデータを伝送する間、前記電子装置内の一般動作処理装置が前記電子装置内の前記プログラマブルメモリをアクセスすることを防止する段階を含みうる。本発明による一実施例で、前記プログラムデータをプログラマブルメモリに伝送する段階以後、前記一般動作処理回路が前記電子装置の一般的な動作を提供できる。本発明による一実施例で、前記一般動作処理回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後、前記電子装置の一般的な動作を提供するために前記プログラマブルメモリの前記プログラムデータをアクセスできる。

【0013】

本発明による一実施例で、プログラムデータは、前記電子装置の外部から前記一般動作処理回路から分離できる前記電子装置内のコントローラ回路に伝送され、その後前記プログラムデータが前記プログラマブルメモリにプログラムされうる。

10

20

30

40

50

【0014】

本発明による一実施例は、前記電子装置の一般的な動作を制御するのに使われる前記電子装置の一般動作処理回路が前記電子装置のプログラマブルメモリをアクセスすることを防止する段階を含みうる。データは、前記電子装置の外部から一般動作処理回路から分離できる前記電子装置内のコントローラ回路に伝送され、その後前記プログラムデータが前記プログラマブルメモリにプログラムされうる。

【0015】

本発明による一実施例で、前記プログラムデータのプログラミングが完了したことを表す指示が前記電子装置の外部に伝送されうる。本発明による一実施例で、前記プログラマブルメモリにプログラムされた新しいプログラムデータを使用して前記システムが連続的に動作するように前記システムを再始動させるためにリセット信号（またはコマンド）が前記コントローラ回路に伝送されうる。本発明による一実施例で、前記コントローラ回路及び/または前記システムに電源を再循環させることによって（すなわち、前記コントローラ回路及び/または前記システムに電源をターンオン/オフさせることによって）前記コントローラ回路に前記リセット信号が提供されうる。本発明による一実施例で、プログラムされる前記プログラマブルメモリの位置を表すアドレス情報が提供されないこともある。

10

【0016】

本発明による一実施例は、前記プログラマブルメモリにプログラミングのためのデータとしてヘッドデータと関連した他のフィールドに含まれるデータを識別する情報を含むように構成されうるヘッドデータを前記電子装置に提供する段階を含みうる。関連したデータを使用して前記プログラマブルメモリで行われるプログラミング動作を含むように構成されうる前記ヘッドデータと関連したコマンドデータが提供されうる。前記コマンドヘッドデータと関連したデータは、前記コマンドによって前記プログラマブルメモリにプログラムされるデータを含むように構成され、前記プログラマブルメモリをプログラムするのに使われるアドレス情報は、前記データから欠如される。

20

【0017】

本発明による一実施例で、前記電子装置の前記プログラマブルメモリにデータをプログラムするのに使われるデータ構造は、前記プログラマブルメモリにプログラミングのためのプログラムデータとしてヘッドフィールドと関連した他のフィールド内に含まれるデータを識別する情報を含むように構成されるヘッドフィールドを含みうる。コマンドフィールドは、関連したデータを使用して前記プログラマブルメモリで行われるプログラミング動作を含むように構成される前記ヘッドフィールドと関連できる。データフィールドは、前記コマンドフィールド及び前記ヘッドフィールドと関連でき、前記コマンドによって前記プログラマブルメモリにプログラムされるデータを含むように構成され、前記プログラマブルメモリのアドレスを指定するのに使われるアドレス情報は、前記データから欠如される。

30

【0018】

本発明による一実施例で、モニターをプログラムする回路は、前記モニターの外部から前記モニター内のプログラマブルメモリにプログラムデータを伝送するように構成されるコントローラ回路を含みうる。前記コントローラ回路は、前記プログラマブルメモリに前記プログラムデータを伝送する段階以後に、前記モニターの一般的な動作を提供するのに使われる一般動作処理回路から分離されうる。

40

【0019】

本発明による一実施例で、前記コントローラ回路は、インターフェースに連結されるデコード回路を含むことができ、前記インターフェースを通じて前記プログラムデータが前記モニターに伝送されうる。前記デコード回路は、前記インターフェースを通じて受信されたデータが前記コントローラ回路のアドレス範囲内のアドレスを含むか否かに対する決定に回答して第1信号を提供するように構成されうる。本発明による一実施例で、前記インターフェースを通じて受信されたデータが前記プログラマブルメモリをプログラムする

50

のに使われるか否かに対する判断段階で他のデータが使用されうる。

【0020】

プログラマブルメモリコントローラは、前記デコーダ回路に連結されることができ、前記第1信号に応答して前記プログラマブルメモリに少なくとも一つの制御信号を提供するように構成されうる。本発明による一実施例で、前記コントローラ回路は、前記デコーダ回路及び前記プログラマブルメモリに連結され、前記プログラマブルメモリに/からデータを提供するように構成されるバッファ回路をさらに含むうる。

【発明の効果】

【0021】

本発明による実施例は、電子装置のプログラマブルメモリにデータを記入させるコントローラ回路を提供できる。特に、前記コントローラ回路は、前記電子装置の一般的な動作を制御する一般動作処理回路から分離されうる。また、前記コントローラ回路は、前記一般動作処理回路によって制御されるRAMまたはROMを使用せずに前記プログラマブルメモリにデータの伝送を許容できる。また、本発明による一実施例で、データがプログラマブルメモリに伝送される(すなわち、プログラムされる)間、前記一般動作処理回路は、前記コントローラ回路によってディセーブルされうる。RAMとROMとを使用しないことによって、本発明の実施例による前記コントローラ回路を従来のシステムに比べてさらに低コストで実行できる。

10

【発明を実施するための最良の形態】

【0022】

本発明の望ましい実施例を示す添付された図面を参考として本発明をさらに詳細に説明する。しかし、本発明は、多様な他の形態に具現されることができ、ここで説明される実施例に制限されると解釈されてはならない。むしろ、これら実施例はこの公開が完全になり、当業者に本発明の概念を十分に伝達するように提供される。全体的に同じ参照符号は同じ部材を表す。

20

【0023】

ここで、本発明の説明に使われる用語は、特定実施例を説明するための目的にだけ使われ、本発明を制限するものと意図されていない。

“含む”及び/または“含み”という用語が明細書で使われる時に明示された特徴、整数、段階、動作、要素及び/または構成要素の存在を詳述するが、一つまたはそれ以上の他の特徴、整数、段階、動作、要素、構成要素及び/またはそのグループの存在または追加を排除しないということも分かる。

30

【0024】

別途に定義されないとすれば、ここに使われた全ての技術的及び科学的用語は、当業者が一般的に分かるような意味を有する。ここに記述された全ての公開、特許出願、特許及び他の参照は、それら全体で参照として統合される。

【0025】

当業者が分かるように、本発明は、方法、モニターのような電子装置及び/またはデータ構造として具現されうる。したがって、本発明は、ハードウェア実施例、ソフトウェア実施例またはソフトウェアとハードウェアとが結合された実施例の形態を有しうる。

40

【0026】

本発明は、(ブロック及びフローチャート)図面を使用して開示される。(前記フローチャート例及びブロック図の)各ブロックとブロックとの結合は、コンピュータプログラムインストラクションを使用して実行されうると理解される。前記処理回路で実行される前記インストラクションが前記ブロックまたはブロックで指定された機能を実行する手段を生成するように、これらプログラムインストラクションが前記電子装置内の処理回路に提供されうる。

【0027】

前記処理回路で実行される前記インストラクションが前記ブロックまたはブロックで指定された前記機能を実行する段階を提供するようにコンピュータ実行プロセスを生成する

50

前記処理回路によって行われる連続動作段階を発生するために前記コンピュータプログラムインストラクションが前記処理回路によって実行されうる。

【0028】

したがって、前記ブロックは、前記指定された機能を行う手段の結合、前記指定された機能を行う段階の結合及び前記指定された機能を行うプログラムインストラクションを支援する。各ブロック及びブロックの結合は、指定された機能または段階を行う特殊目的ハードウェア基盤システムまたは特殊目的ハードウェアとコンピュータインストラクションとの結合によって実行されうることも理解される。

【0029】

また、本発明はコンピュータ使用可能保存媒体内に具現されたコンピュータ使用可能プログラムコードを有するコンピュータ使用可能保存媒体のコンピュータプログラムの製品の形態をとりうる。ハードディスク、CD-ROM、光学保存装置または磁気保存装置を含むいかなるコンピュータ再生可能媒体も利用されうる。

【0030】

本ハツメイニヨル動作を行うコンピュータプログラムコードまたは“コード”またはインストラクションは、JAV A（登録商標）のような客体指向的なプログラミング言語、または多様な他のプログラミング言語で記入されうる。本発明のソフトウェア実施例は、特定なプログラミング言語への実行に依存しない。

【0031】

前記コンピュータ再生可能メモリに保存されるインストラクションが前記図面ブロックまたはブロックで指定された前記機能を実行するインストラクション手段を含む製造物品を生成するように、これらコンピュータプログラムインストラクションは、コンピュータまたは他のプログラマブルデータ処理装置が特定方式で機能するように指示できるコンピュータ再生可能メモリに保存されうる。

【0032】

本発明による実施例は、電子装置内のプログラマブルメモリにデータを記入させるコントローラ回路を提供できる。特に、前記コントローラ回路は、前記電子装置の一般的な動作を制御する一般動作処理回路から分離されうる。また、前記コントローラ回路は、前記一般動作処理回路によって制御されるRAMまたはROMを使用せずに前記プログラマブルメモリにデータを伝送させる。さらに、本発明による一実施例で、プログラマブルメモリにデータが伝送される（すなわち、プログラムされる）間、前記一般動作処理回路は、前記コントローラ回路によってディセーブルされうる。RAMとROMとを使用しないことによって、本発明の実施例による前記コントローラ回路が従来のシステムに比べてさらに低コストで具現される。

【0033】

図1は、本発明によるコントローラ回路の実施例を説明するブロック図である。特に、プログラミングシステム105は、モニター、セルホン、PDA（Personal Digital Assistant）のような電子装置100のある動作または特徴を制御できるプログラムを作成するのに使用されうる。前記プログラミングシステム105が前記電子装置100の外部に位置され、前記電子装置100を取り囲むカバーまたはケースを除去せず、ここに説明された構成要素に電気的に連結されうる。前記電子装置100は、電子動作制御回路101を含み、前記電子動作制御回路101内のプログラマブルメモリ120には前記プログラムシステム105を利用して前記プログラムが保存される。前記プログラマブルメモリ120は、データが記入されて消去されるか、または他のデータに再記入されるまで維持させるEEPROM、フラッシュメモリのような不揮発性メモリになりうる事が分かる。

【0034】

本発明に他の一実施例で、プログラミングシステム105の作成されたプログラムは、IIC標準インターフェースのようなインターフェースを通じて電子装置動作制御回路101に（データとして）伝送される。IIC標準インターフェースは、公知されているの

10

20

30

40

50

で、さらに議論されない。本発明による一実施例で、前記インターフェースは、VGAインターフェースになりうる。本発明による一実施例で、無線インターフェースのような他の形態のインターフェースが使用されうる。

【0035】

前記インターフェースは、一般動作処理回路110と制御回路125とに連結される。前記一般動作処理回路110は、プログラマブルメモリ120をアクセスでき、前記プログラマブルメモリ120は、前記電子装置100の動作及び特徴を制御するプログラムを保存できる。例えば、本発明による一実施例で、前記一般動作処理回路110は、モニターに対するオンスクリーンユーザインターフェースを提供するために(前記プログラマブルメモリ120の)前記プログラムをアクセスできる。

10

【0036】

前記制御回路125は、前記インターフェースを通じて前記プログラミングシステム105で前記プログラマブルメモリ120に前記プログラムを伝送できる。本発明による一実施例で、前記制御回路125が前記プログラムデータを前記プログラマブルメモリ120に伝送する間、前記制御回路125は、前記一般動作処理回路110が前記プログラマブルメモリ120をアクセスすることをディセーブルさせる。前記一般動作処理回路110が前記プログラマブルメモリ120をアクセスすることをディセーブルさせることによって、前記一般動作処理回路110と前記制御回路125間の前記プログラマブルメモリ120に対するアクセス衝突を避けらせうる。

【0037】

図2は、本発明による制御回路の実施例を説明するブロック図である。特に、電子装置制御回路225は、例えば、前記プログラムデータが外部プログラミングシステムによって提供されうるインターフェースに連結されるデコード回路230を含みうる。本発明による一実施例で、前記インターフェースに含まれるクロック信号直列クロックラインSCLKによって同期化される直列データラインSDATを通じて前記データが伝送される。

20

【0038】

前記インターフェースを通じて提供される前記プログラムデータは、図3に示されたデータ構造によって整理されうる。前記ヘッドフィールド350は、前記電子装置動作制御回路225と関連したアドレス範囲内で指定された所定のアドレスに対応するように選択されるアドレス情報を含みうる。前記プログラミングシステムは、例えば、前記電子装置動作制御回路225に対して指定されたアドレス範囲内のアドレスを伝送することによって受信されたデータが前記プログラマブルメモリ220の再プログラミングのためのものであるか否かを判断する。

30

【0039】

前記デコード回路230は、前記情報が前記電子装置動作制御回路225と関連したアドレスを含むか否かを判断するために前記ヘッドフィールド350を処理する。前記ヘッドフィールド350が前記電子装置動作制御回路225に指示されるもので前記デコード回路250が判断すれば、前記デコード回路230は、前記ヘッドフィールド350と関連した前記データ構造のコマンド/アドレスフィールド355を処理する。前記コマンド/アドレスフィールド355は、前記プログラマブルメモリ220で行われる再生/記入/消去コマンドと関連したアドレス情報を含む。

40

【0040】

前記コマンド/アドレスフィールド355に含まれる前記再生/記入/消去コマンドは、前記データ構造のデータフィールド360内に含まれるデータとして動作できる。例えば、前記コマンド/アドレスフィールド355が記入コマンドが行われることを表す情報を含めば、前記データフィールド360内に含まれる前記情報が前記プログラマブルメモリ220の(前記コマンド/アドレスフィールド355と指定される)アドレスに記入される。

【0041】

また、前記コマンド/アドレスフィールド355が再生コマンドを表せば、前記データ

50

フィールド 360 内に含まれる前記アドレスは、前記プログラマブルメモリ 220 の対応するアドレスからデータを再生するのに使用されうる。また、前記コマンド / アドレスフィールド 355 で消去コマンドは、前記プログラマブルメモリ 220 の少なくとも一部分が消去されることを指示する。前記データフィールド 360 がアドレス情報に固定されていないこともありうる。さらに、前記伝送は、初期データ構造の次の複数の連続的なデータ構造を含むことができ、前記複数の連続的なデータ構造は、アドレスとコマンド情報とに固定されていない前記プログラマブルメモリ 220 に記入されるデータを含む。

【0042】

再び図 2 を参考すれば、前記データが前記プログラマブルメモリ 220 に指示されることを表す情報を前記ヘッドフィールド 350 が含んでいると前記デコーダ回路 230 が判断すれば、前記データ構造内に含まれるアドレス及びデータ情報は、前記プログラマブルメモリ 220 に連結されるバッファ回路 235 に伝送される。前記バッファ回路 235 は、例えば、優先するワードまたはセクターサイズによる前記プログラマブルメモリ 220 に記入されるデータを整理するのに使用されうる。前記バッファ回路 235 はまた、前記プログラマブルメモリ 220 の適当な位置がアクセスされるように前記プログラマブルメモリ 220 にアドレスインターフェースを提供できる。

前記プログラマブルメモリ 220 に / からデータが提供されるように前記バッファ回路 235 は、両方向インターフェースを提供できることが分かる。

【0043】

前記デコーダ回路 230 は、前記コマンド / アドレスフィールド 355 に含まれる情報に基づいて前記データ構造に含まれるコマンド情報をプログラマブルメモリコントローラ回路 240 に提供する。前記プログラマブルメモリコントローラ回路 240 は、前記バッファ回路 235 によって前記プログラマブルメモリ 220 に提供されるアドレス及び / またはデータと結合するのに使われる制御信号を前記プログラマブルメモリ 220 に提供する。したがって、前記アドレス、データ及び制御信号は、前記インターフェースから前記プログラマブルメモリ 220 にプログラムデータの伝送を行える。本発明による一実施例で、記入に連続して前記プログラムデータが前記プログラマブルメモリ 220 内に正確に保存されたことを確認するように再生が行われうる。

【0044】

また、一般動作処理回路 210 が前記インターフェースに連結されうることが分かる。前記一般動作プロセッサ回路 210 は、前記プログラマブルメモリ 220 に保存されたプログラムが前記一般動作処理回路 210 によって実行されうるように前記バッファ回路 235 を通じて前記プログラマブルメモリ 220 をアクセスできる。この時、前記バッファ回路 235 は、単に直列対並列信号コンバータとしての機能を行う。例えば、本発明に他の一実施例で、前記一般動作処理回路 210 は、前記モニターの動作の具現に使用されうるモニターに対するオンスクリーンユーザインターフェースを提供するために前記プログラマブルメモリ 220 のプログラムをアクセスできる。前記一般動作処理回路 210 が前記電子装置の他の動作を処理するためにアクセスできる RAM 及び ROM (図示せず) に前記一般動作処理回路 210 が連結されうることが分かる。

【0045】

前記プログラマブルメモリ 220 に前記伝送が行われる間、前記デコーダ回路 230 は、前記一般動作処理回路 210 が前記プログラマブルメモリ 220 をアクセスすることをディセーブルさせうる。前記デコーダ回路 230 は、前記インターフェースを通じて受信されるデータが前記プログラマブルメモリ 220 に指示されると判断するのに応答して前記一般動作処理回路 210 が前記プログラマブルメモリ 220 をアクセスすることを防止できる。前記伝送が完了すれば、前記デコーダ回路 230 は、前記一般動作処理回路 210 を再びイネーブルさせて、前記一般動作処理回路 210 が前記プログラマブルメモリ 220 をアクセスし、前記プログラマブルメモリ 220 に保存されたプログラムの制御によって指定された動作を開始するようにする。

10

20

30

40

50

【 0 0 4 6 】

図 4 は、本発明による方法実施例の動作を示すフローチャートである。図 4 に示されたように、前記プログラマブルメモリに保存されるデータは、ここで説明されたようなデータ構造フォーマットによって前記電子装置に伝送される（ブロック 4 0 5）。前記受信されたデータが前記データ構造のヘッドフィールド内に含まれる情報に基づいて前記伝送と関連するか否かが決定される（ブロック 4 1 0）。前記データ構造フォーマットのコマンド/アドレスフィールド内に含まれるコマンドタイプに対する決定がなされる（ブロック 4 1 5）。特に、前記データ構造で前記コマンド/アドレスフィールド内に含まれるコマンド形態が記入動作、再生動作のように前記プログラマブルメモリで行われる動作、または前記プログラマブルメモリで行われる消去動作を指定する。

10

【 0 0 4 7 】

前記プログラマブルメモリへのデータ伝送が完了するまで前記一般動作処理回路が前記プログラマブルメモリをアクセスすることがディセーブルされる（ブロック 4 2 0）。前記データ構造のデータフィールド内に含まれるデータが（記入動作の場合）前記プログラマブルメモリに伝送される（ブロック 4 2 5）。前記データが（ブロック 4 2 5）前記プログラマブルメモリに正確に記入されたか否かを判断するように前記再生動作が行われうる（ブロック 4 3 0）。前記電子装置制御回路は、前記一般動作処理回路が前記プログラマブルメモリをアクセスするようにリセットされ、その結果、新しく伝送されたプログラムによって前記電子装置の動作をイネーブルさせる（ブロック 4 4 0）。

【 0 0 4 8 】

図面及び明細書で本発明による実施例が開示され、特定の用語が使われたが、特定の用語は、包括的かつ技術的な意味としてだけ使われ、制限の目的で使われるものではない。本発明の範囲に対しては、当業者によって特許請求の範囲によって定義される本発明の精神及び範囲を外れずに多様な形態及び項目に変更されうるということが分かる。

20

【 産業上の利用可能性 】

【 0 0 4 9 】

本発明による電子装置をプログラムする方法及び回路並びにデータ構造は、電子装置のプログラマブルメモリに対するプログラミングを制御する制御回路に適用されうる。

【 図面の簡単な説明 】

【 0 0 5 0 】

- 【 図 1 】 本発明による実施例を説明するブロック図である。
- 【 図 2 】 本発明による実施例を説明するブロック図である。
- 【 図 3 】 本発明によるデータ構造の例を説明する概念図である。
- 【 図 4 】 本発明による方法実施例の動作を説明するフローチャートである。

30

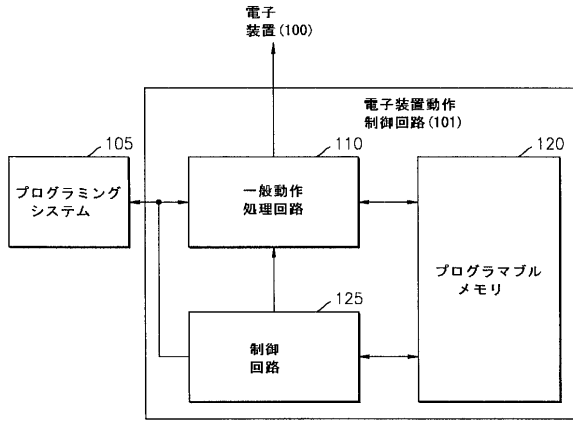
【 符号の説明 】

【 0 0 5 1 】

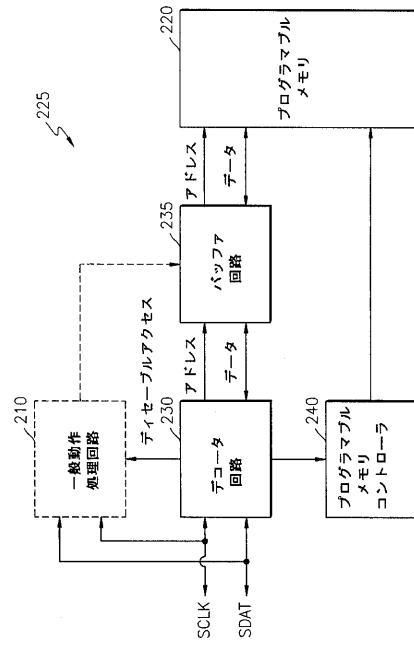
- 1 0 0 電子装置
- 1 0 1 電子装置動作制御回路
- 1 0 5 プログラミングシステム
- 1 1 0 一般動作処理回路
- 1 2 0 プログラマブルメモリ
- 1 2 5 制御回路

40

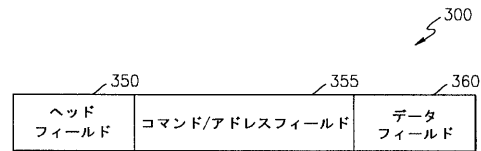
【 図 1 】



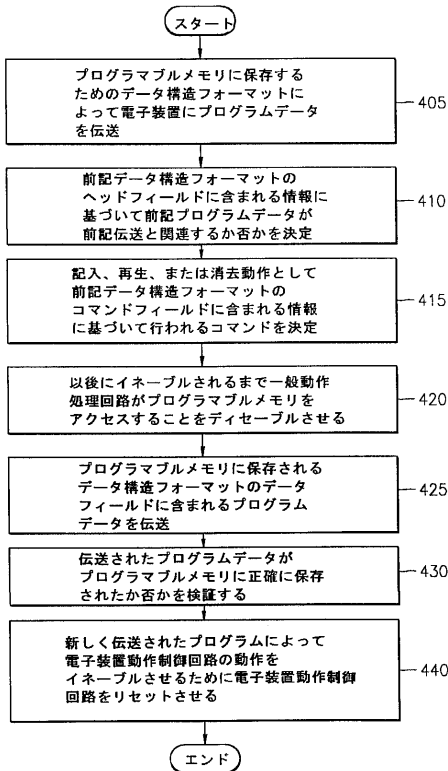
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 黄 庠 夏

大韓民国京畿道烏山市烏山洞923-2番地 大東アパート108棟1703号

Fターム(参考) 5H220 AA04 BB20 CC07 CX01 JJ12 JJ26 KK01

5J042 BA11 CA00 CA20 DA06