



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0102503
(43) 공개일자 2014년08월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2013-0015916
(22) 출원일자 2013년02월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
윤일영
경기 화성시 동탄문화센터로 38, 415동 502호 (반송동, 솔빛마을서해그랑블아파트)
황창선
경기 수원시 영통구 영통로514번길 53, 104동 403호 (영통동, 황골마을주공2단지아파트)
(74) 대리인
특허법인가산

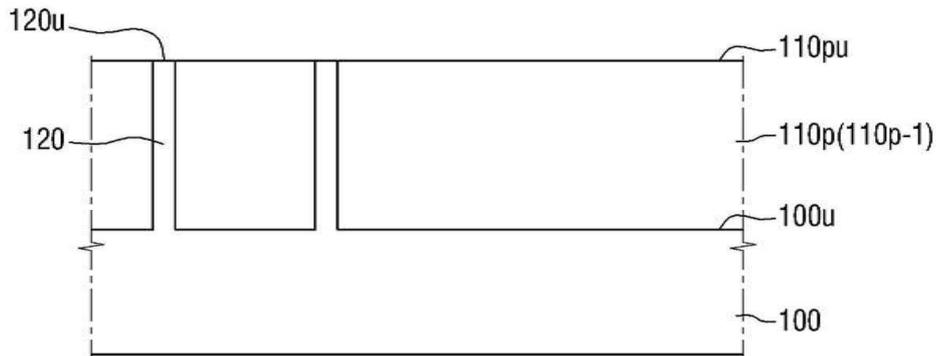
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 소자 제조 방법**

(57) 요약

핀 리세스(fin recess) 전에 소자 분리막의 평탄화 공정에서 발생하는 소자 분리막의 두께의 불균일을 제거하여, 핀의 활성 영역의 높이 변동을 경감시킬 수 있는 반도체 소자 제조 방법을 제공하는 것이다. 상기 반도체 소자 제조 방법은 기판 상에 형성된 핀을 덮는 프리 소자 분리막을 형성하되, 상기 프리 소자 분리막은 상기 핀과 접촉하는 하부 프리 소자 분리막과 상기 핀과 비접촉하는 상부 프리 소자 분리막을 포함하고, 제1 연마 공정을 통해, 상기 상부 프리 소자 분리막의 일부를 제거하고, 상기 상부 프리 소자 분리막의 나머지를 제거하는 제2 연마 공정을 통해, 상기 핀의 상면 및 상기 프리 소자 분리막의 상면이 동일 평면 상에 놓이도록 상기 프리 소자 분리막을 평탄화하는 것을 포함한다.

대표도 - 도8



(72) 발명자

강보경

서울 관악구 솔밭로7길 16, 301동 1405호 (봉천동,
낙성대현대홈타운)

김재석

서울 동작구 매봉로 99, 102동 803호 (본동, 한신
휴플러스아파트)

김호영

경기 성남시 분당구 내정로 55, 306동 1503호 (정
자동, 상록마을우성아파트)

윤보연

서울 서초구 신반포로15길 5, 42동 304호 (반포동,
신반포한신아파트)

특허청구의 범위

청구항 1

기판 상에 형성된 핀을 덮는 프리 소자 분리막을 형성하되, 상기 프리 소자 분리막은 상기 핀과 접촉하는 하부 프리 소자 분리막과 상기 핀과 비접촉하는 상부 프리 소자 분리막을 포함하고,

제1 연마 공정을 통해, 상기 상부 프리 소자 분리막의 일부를 제거하고,

상기 상부 프리 소자 분리막의 나머지를 제거하는 제2 연마 공정을 통해, 상기 핀의 상면 및 상기 프리 소자 분리막의 상면이 동일 평면 상에 놓이도록 상기 프리 소자 분리막을 평탄화하는 것을 포함하는 반도체 소자 제조 방법.

청구항 2

제1 항에 있어서,

상기 제2 연마 공정에서 사용되는 슬러리에 의해 상기 핀이 연마되는 제1 속도는 상기 프리 소자 분리막이 연마되는 제2 속도보다 작고,

상기 슬러리는 폴리 스톱핑 슬러리를 포함하는 반도체 소자 제조 방법.

청구항 3

제1 항에 있어서,

상기 프리 소자 분리막을 형성하는 것은

상기 상부 프리 소자 분리막에 의해 상기 핀 상에 형성된 마스크 패턴이 덮이는 것을 포함하는 반도체 소자 제조 방법.

청구항 4

제3 항에 있어서,

상기 상부 프리 소자 분리막의 일부를 제거하는 것은 상기 마스크 패턴을 노출시키고,

상기 제2 연마 공정 전에, 상기 마스크 패턴을 제거하고,

상기 마스크 패턴을 제거한 후, 상기 핀에 불순물을 도핑하는 것을 더 포함하는 반도체 소자 제조 방법.

청구항 5

제3 항에 있어서,

상기 상부 프리 소자 분리막의 일부를 제거하는 것과 상기 제2 연마 공정 사이에,

상기 상부 프리 소자 분리막을 치밀화하는 것을 더 포함하는 반도체 소자 제조 방법.

청구항 6

제1 항에 있어서,

상기 하부 프리 소자 분리막의 일부를 제거하여, 상기 핀의 하부와 접촉하는 소자 분리막을 형성하는 것을 더 포함하고,

상기 소자 분리막의 상면은 상기 기판의 상면과 실질적으로 평행한 반도체 소자 제조 방법.

청구항 7

기판 상에 마스크 패턴을 형성하고,

상기 마스크 패턴을 이용하여 상기 기판을 식각하여, 기판 상에 돌출된 핀을 형성하고,

상기 핀 및 상기 마스크 패턴을 덮는 프리 소자 분리막을 형성하고,

제1 연마 공정을 통해 상기 프리 소자 분리막의 일부를 제거하여, 상기 마스크 패턴을 노출시키고,

상기 마스크 패턴을 노출시킨 후, 상기 핀의 상면을 노출시키는 제2 연마 공정을 통해, 상기 핀의 상면 및 상기 프리 소자 분리막의 상면이 동일 평면 상에 놓이도록 상기 프리 소자 분리막을 평탄화하는 것을 포함하는 반도체 소자 제조 방법.

청구항 8

제7 항에 있어서,

상기 제2 연마 공정에 사용되는 슬러리는 폴리 스톱핑 슬러리를 포함하는 반도체 소자 제조 방법.

청구항 9

제7 항에 있어서,

상기 제1 연마 공정과 상기 제2 연마 공정 사이에,

상기 마스크 패턴의 측면을 감싸는 상기 소자 분리막의 일부를 제거하고,

상기 마스크 패턴의 측면을 감싸는 상기 소자 분리막의 일부를 제거한 후, 상기 마스크 패턴을 제거하는 것을 더 포함하는 반도체 소자 제조 방법.

청구항 10

제7 항에 있어서,

상기 핀의 상면을 노출시킨 후, 상기 프리 소자 분리막의 일부를 제거하여, 상기 핀의 하부와 접촉하는 소자 분리막을 형성하는 것을 더 포함하고,

상기 기판은 제1 영역 및 제2 영역을 포함하고,

상기 핀은 상기 제1 영역에 형성되고,

상기 제1 영역에 형성된 소자 분리막의 두께는 상기 제2 영역에 형성된 소자 분리막의 두께와 실질적으로 동일한 반도체 소자 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디의 표면 위에 게이트를 형성하는 멀티-게이트(multi-gate) 트랜지스터가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 핀 리세스(fin recess) 전에 소자 분리막의 평탄화 공정에서 발생하는 소자 분리막의 두께의 불균일을 제거하여, 핀의 활성 영역의 높이 변동을 경감시킬 수 있는 반도체 소자 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 반도체 소자 제조 방법의 일 태양(Aspect)은 기판 상에 형성된 핀을 덮는 프리 소자 분리막을 형성하되, 상기 프리 소자 분리막은 상기 핀과 접촉하는 하부 프리 소자 분리막과 상기 핀과 비접촉하는 상부 프리 소자 분리막을 포함하고, 제1 연마 공정을 통해, 상기 상부 프리 소자 분리막의 일부를 제거하고, 상기 상부 프리 소자 분리막의 나머지를 제거하는 제2 연마 공정을 통해, 상기 핀의 상면 및 상기 프리 소자 분리막의 상면이 동일 평면 상에 놓이도록 상기 프리 소자 분리막을 평탄화하는 것을 포함한다.

[0007] 본 발명의 몇몇 실시예에서, 상기 제2 연마 공정에서 사용되는 슬러리에 의해 상기 핀이 연마되는 제1 속도는 상기 프리 소자 분리막이 연마되는 제2 속도보다 작다.

[0008] 본 발명의 몇몇 실시예에서, 상기 슬러리는 폴리 스톱핑 슬러리(poly stopping slurry)를 포함한다.

[0009] 본 발명의 몇몇 실시예에서, 상기 프리 소자 분리막을 형성하는 것은 상기 상부 프리 소자 분리막에 의해 상기 핀 상에 형성된 마스크 패턴이 덮이는 것을 포함한다.

[0010] 본 발명의 몇몇 실시예에서, 상기 상부 프리 소자 분리막의 일부를 제거하는 것은 상기 마스크 패턴을 노출시키는 것을 포함한다.

[0011] 본 발명의 몇몇 실시예에서, 상기 제2 연마 공정 전에, 상기 마스크 패턴을 제거하는 것을 더 포함한다.

[0012] 본 발명의 몇몇 실시예에서, 상기 마스크 패턴을 제거한 후, 상기 핀에 불순물을 도핑하는 것을 더 포함한다.

[0013] 본 발명의 몇몇 실시예에서, 상기 상부 프리 소자 분리막의 일부를 제거하는 것과 상기 제2 연마 공정 사이에, 상기 상부 프리 소자 분리막을 치밀화하는 것을 더 포함한다.

[0014] 본 발명의 몇몇 실시예에서, 상기 하부 프리 소자 분리막의 일부를 제거하여, 상기 핀의 하부와 접촉하는 소자 분리막을 형성하는 것을 더 포함한다.

[0015] 본 발명의 몇몇 실시예에서, 상기 소자 분리막의 상면은 상기 기판의 상면과 실질적으로 평행하다.

[0016] 본 발명의 몇몇 실시예에서, 상기 제1 연마 공정 및 상기 제2 연마 공정은 연속적으로 이루어져, 상기 상부 프리 소자 분리막을 제거하고, 상기 제1 연마 공정 및 상기 제2 연마 공정은 폴리 스톱핑 슬러리를 이용하는 것을 포함한다.

[0017] 상기 과제를 해결하기 위한 본 발명의 반도체 소자 제조 방법의 다른 태양은 기판 상에 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 상기 기판을 식각하여, 기판 상에 돌출된 핀을 형성하고, 상기 핀 및 상기 마스크 패턴을 덮는 프리 소자 분리막을 형성하고, 제1 연마 공정을 통해 상기 프리 소자 분리막의 일부를 제거하여, 상기 마스크 패턴을 노출시키고, 상기 마스크 패턴을 노출시킨 후, 상기 핀의 상면을 노출시키는 제2 연마 공정을 통해, 상기 핀의 상면 및 상기 프리 소자 분리막의 상면이 동일 평면 상에 놓이도록 상기 프리 소자 분리막을 평탄화하는 것을 포함한다.

[0018] 본 발명의 몇몇 실시예에서, 상기 제2 연마 공정에 사용되는 슬러리는 폴리 스톱핑 슬러리를 포함한다.

[0019] 본 발명의 몇몇 실시예에서, 상기 제1 연마 공정과 상기 제2 연마 공정 사이에, 상기 마스크 패턴의 측면을 감싸는 상기 소자 분리막의 일부를 제거하고, 상기 마스크 패턴의 측면을 감싸는 상기 소자 분리막의 일부를 제거한 후, 상기 마스크 패턴을 제거하는 것을 더 포함한다.

[0020] 본 발명의 몇몇 실시예에서, 상기 핀의 상면을 노출시킨 후, 상기 프리 소자 분리막의 일부를 제거하여, 상기 핀의 하부와 접촉하는 소자 분리막을 형성하는 것을 더 포함하고, 상기 기판은 제1 영역 및 제2 영역을 포함하고, 상기 핀은 상기 제1 영역에 형성되고, 상기 제1 영역에 형성된 소자 분리막의 두께는 상기 제2 영역에 형성된 소자 분리막의 두께와 실질적으로 동일하다.

[0021] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0022] 도 1 내지 도 9는 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 10 및 도 11은 본 발명의 다른 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 12 내지 도 18은 본 발명의 실시예들에 따라 제조한 반도체 소자를 이용하여, 핀형 전계 트랜지스터를 제조하는 방법을 설명하는 도면들이다.

도 19는 본 발명의 실시예에 따라 제조한 반도체 소자를 포함하는 전자 시스템 블록도이다.

도 20 및 도 21은 본 발명의 실시예에 따라 제조한 반도체 소자를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0024] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0025] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0026] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0027] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0028] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0029] 이하에서, 도 1 내지 도 9를 참조하여, 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에 대해 설명한다.
- [0030] 도 1 내지 도 9는 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0031] 도 1을 참고하면, 기판(100) 상에 제1 마스크 패턴(201)이 형성될 수 있다. 제1 마스크 패턴(201)이 형성된 기판(100) 상에 제2 마스크막(205)이 형성될 수 있다.
- [0032] 구체적으로, 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다. 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 기판(100)은 실리콘 기판인 것으로 설명한다.

- [0033] 제2 마스크막(205)은 제1 마스크 패턴(201)이 형성된 기판(100)의 상면을 실질적으로 컨포말하게(conformally) 형성될 수 있다. 제1 마스크 패턴(201)과 제2 마스크막(205)은 서로 간에 식각 선택성이 있는 물질을 포함할 수 있다. 예를 들어, 제2 마스크막(205)은 실리콘 산화물, 실리콘 질화물, 실리콘산화질화물, 금속막, 포토 레지스트(Photo Resist), 에스오지(SOG: Spin On Glass) 및/또는 에스오에이치(SOH: Spin On Hard mask) 중 적어도 하나를 포함할 수 있다. 제1 마스크 패턴(201)은 상기 물질들 중 제 2 마스크막(205)과 다른 물질로 형성될 수 있다. 제 1 마스크 패턴(201) 및 제 2 마스크막(205)은 물리 기상 증착 공정(Physical Vapor Deposition Process: PVD), 화학 기상 증착 공정(Chemical Vapor Deposition Process: CVD), 원자층 증착(Atomic Layer Deposition: ALD) 또는 스핀 코팅 방법 중에서 적어도 하나의 방식으로 형성될 수 있다.
- [0034] 도 2를 참고하면, 식각 공정에 의해 제2 마스크막(205)으로부터 제2 마스크 패턴(206)이 형성될 수 있다. 제 2 마스크 패턴(206)은 제 1 마스크 패턴(201)을 노출하는 스페이서 형태일 수 있다. 제 2 마스크 패턴(206)에 의하여 노출된 제 1 마스크 패턴(201)이 제거되어, 제2 마스크 패턴(206) 양측에 기판(100)이 노출될 수 있다. 제 1 마스크 패턴(201)의 제거는 제 2 마스크 패턴(206)의 식각을 최소화하며, 제 1 마스크 패턴(201)을 제거할 수 있는 선택적 식각 공정을 포함할 수 있다.
- [0035] 도 3을 참고하면, 제2 마스크 패턴(206)을 식각 마스크로 이용하여, 기판(100)이 식각된다. 기판(100)의 일부가 식각됨으로써, 기판(100) 상에 핀(120)이 형성될 수 있다. 핀(120) 상에는 제2 마스크 패턴(206)이 남아있을 수 있다.
- [0036] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I)은 예를 들어, 트랜지스터가 형성되는 회로 영역일 수 있다. 제2 영역(II)은 예를 들어, 서로 다른 회로 영역 사이에 위치하여 회로 영역을 분리하는 영역이거나, 하나의 회로 영역 내에 위치하여 회로 영역을 구분하는 분리 영역일 수 있으나, 이에 제한되는 것은 아니다. 기판(100) 상의 제1 영역(I) 상에 핀(120)이 형성되고, 기판(100) 상의 제2 영역(II)에는 핀(120)이 형성되지 않을 수 있다. 즉, 기판(100) 상에 형성된 핀(120)은 제1 영역(I)에만 형성되고, 제2 영역(II)에는 형성되지 않을 수 있다.
- [0037] 도 4를 참고하면, 기판(100) 상에 형성된 핀(120)을 덮는 프리 소자 분리막(110p)이 형성될 수 있다. 프리 소자 분리막(110p)은 핀(120)이 형성된 제1 영역(I)뿐만 아니라, 핀(120)이 형성되지 않은 제2 영역(II) 상에도 형성될 수 있다. 프리 소자 분리막(110p)은 하부 프리 소자 분리막(110p-1)과 상부 프리 소자 분리막(110p-2)을 포함할 수 있다. 하부 프리 소자 분리막(110p-1)은 핀(120)의 측면과 접촉하여 형성되는 부분일 수 있고, 상부 프리 소자 분리막(110p-2)은 핀(120)의 측면과 비접촉하여 형성되는 부분일 수 있다. 핀(120) 상에 형성되어 있는 제2 마스크 패턴(206)은 프리 소자 분리막(110p), 구체적으로 상부 프리 소자 분리막(110p-2)에 의해 덮일 수 있다.
- [0038] 프리 소자 분리막(110p)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0039] 도 5를 참고하면, 제1 연마 공정을 통해 프리 소자 분리막(110p)의 일부가 제거될 수 있다. 즉, 제1 연마 공정으로 상부 프리 소자 분리막(110p-2)의 일부를 제거할 수 있다. 제1 연마 공정에 의해, 제2 마스크 패턴(206)은 노출될 수 있다.
- [0040] 제1 연마 공정은 예를 들어, 화학적 기계적 연마(chemical mechanical polishing) 공정일 수 있다. 만약, 핀(120)을 덮은 프리 소자 분리막(110p)의 상면이 평평하지 않았다면, 제1 연마 공정을 통해, 프리 소자 분리막(110p)의 상면은 평탄화될 수 있다.
- [0041] 제2 마스크 패턴(206)이 노출된 후, 프리 소자 분리막(110p)을 치밀화하는 치밀화 공정(densification process)(112)가 더 진행될 수 있다. 치밀화 공정(112)은 예를 들어, 프리 소자 분리막(110p) 중 상부 프리 소자 분리막(110p-2)을 치밀화할 수 있다. 치밀화 공정(112)은 예를 들어, 상부 프리 소자 분리막(110p-2)을 산화시키는 것을 포함할 수 있다.
- [0042] 도 6을 참고하면, 제2 마스크 패턴(206)을 제거하여, 핀(120)의 상면(120u)을 노출시킬 수 있다.
- [0043] 구체적으로, 식각 공정을 통해 제2 마스크 패턴(206)의 측면을 감싸는 상부 프리 소자 분리막(110p-2)의 일부를 제거할 수 있다. 상부 프리 소자 분리막(110p-2)의 일부를 제거하는 공정은 예를 들어, 습식 식각 공정일 수 있다. 프리 소자 분리막(110p)이 실리콘 산화물일 경우, 습식 식각 공정에서, 예를 들어, 불산(HF)를 이용하여 상부 프리 소자 분리막(110p-2)의 일부가 제거될 수 있다. 습식 식각 공정 후, 하부 프리 소자 분리막(110p-1) 상

에 상부 프리 소자 분리막(110p-2)이 일부 남겨져 있다.

- [0044] 상부 프리 소자 분리막(110p-2)의 일부를 제거하는 습식 식각 공정 후, 제2 마스크 패턴(206)이 제거될 수 있다. 제2 마스크 패턴(206)은 예를 들어, 습식 식각 공정을 이용하여 제거될 수 있다. 제2 마스크 패턴(206)을 제거하는 습식 식각 공정 후, 핀의 상면(120u)는 노출될 수 있다. 제2 마스크 패턴(206)을 제거한 후, 핀의 상면(120u)는 프리 소자 분리막(110p)의 상면보다 기판(100)의 상면에 더 가까울 수 있다.
- [0045] 도 7을 참고하면, 이온 주입 공정(114)를 통해, 핀(120)에 불순물을 도핑할 수 있다.
- [0046] 제2 마스크 패턴(206)을 제거한 후 노출된 핀의 상면(120u)에 이온 주입 공정(114)을 통해 불순물을 도핑할 수 있다. 구체적으로, 이온 주입 공정(114)을 이용하여, 소오스/드레인 및 트랜지스터의 채널 영역에 불순물을 도핑할 수 있다.
- [0047] 도 8을 참고하면, 제2 연마 공정을 통해, 상부 프리 소자 분리막(110p-2)을 제거할 수 있다. 제2 연마 공정을 통해, 핀의 상면(120u)와 프리 소자 분리막(110p)의 상면(110pu)이 동일 평면 상에 놓이도록 프리 소자 분리막(110p)을 평탄화할 수 있다.
- [0048] 제2 연마 공정을 상부 프리 소자 분리막(110p-2)의 나머지를 제거하는 공정일 수 있다. 제2 연마 공정은 예를 들어, 화학적 기계적 연마(chemical mechanical polishing) 공정일 수 있다. 제2 연마 공정에 사용되는 슬러리는 핀(120)을 이루는 물질에 대해 연마 선택비를 갖는 물질일 수 있다. 구체적으로, 제2 연마 공정에 사용되는 슬러리에 의해 핀(120)이 연마되는 속도는 제1 속도이고, 프리 소자 분리막(110p)이 연마되는 속도는 제2 속도라고 할 때, 제1 속도는 제2 속도보다 매우 작을 수 있다. 즉, 제2 연마 공정 중 프리 소자 분리막(110p)이 연마되는 정도는 핀(120)이 연마되는 정도보다 매우 클 수 있다. 이를 통해, 핀의 상면(120u)과 프리 소자 분리막의 상면(110pu)이 동일 평면 상에 놓이게 된 후에는 핀(120)과 프리 소자 분리막(110p)의 연마가 실질적으로 중단될 수 있다. 이 후, 제2 연마 공정이 지속되어도 핀의 상면(120u)과 프리 소자 분리막의 상면(110pu)은 동일 평면 상에 계속 놓일 수 있다. 즉, 제2 연마 공정은 핀(120)과 프리 소자 분리막(110p)이 동일 평면에 놓이면 중단될 수 있다.
- [0049] 본 발명의 실시예에서 핀(120)은 실리콘으로 이뤄지고, 프리 소자 분리막(110p)은 실리콘 산화물로 이뤄질 경우, 제2 연마 공정에 사용되는 슬러리는 예를 들어, 폴리 스톱핑 슬러리(poly stopping slurry)일 수 있다. 제2 연마 공정에 폴리 스톱핑 슬러리를 사용할 경우, 슬러리에 의해 핀(120)이 연마되는 속도와 프리 소자 분리막(110p)이 연마되는 속도의 비는 1:1000 이상일 수 있다. 폴리 스톱핑 슬러리는 예를 들어, 폴리 실리콘에서 연마 공정이 실질적으로 중단될 수 있게 하는 연마용 슬러리일 수 있다.
- [0050] 폴리 스톱핑 슬러리를 이용하여 연마 공정을 진행할 경우, 연마 공정 중 핀(120)이 노출되게 되면 연마 공정이 실질적으로 중단될 수 있다. 즉, 폴리 스톱핑 슬러리를 이용하여 연마 공정은 핀(120)에서 실질적으로 중단될 수 있다. 따라서, 폴리 실리콘이 노출된 후 연마 공정을 계속 진행해도, 핀(120) 및 프리 소자 분리막(110p)는 더 이상 연마되지 않을 수 있다.
- [0051] 다시 말하면, 폴리 스톱핑 슬러리를 이용한 연마 공정에서, 핀(120)은 연마 정지막(polishing stoping layer)의 역할을 한다.
- [0052] 도 9를 참고하면, 프리 소자 분리막(110p) 즉, 하부 프리 소자 분리막(110p-1)의 일부를 제거하여, 소자 분리막(110)을 형성할 수 있다. 소자 분리막(110)은 핀(120)의 하부와 접촉하여 형성될 수 있다. 소자 분리막(110)으로부터 핀(120)은 돌출될 수 있고, 핀(120)의 돌출된 부분은 예를 들어, 이 후 제작되는 트랜지스터의 활성 영역으로 사용될 수 있다.
- [0053] 또한, 소자 분리막(110)의 상면(110u)은 기판(100)의 상면(100u)와 실질적으로 평행할 수 있다. 즉, 핀(120)이 형성된 제1 영역(I)뿐만 아니라, 핀(120)이 형성되지 않은 제2 영역(II)에 걸쳐 소자 분리막의 상면(110u)은 실질적으로 동일 평면 상에 놓일 수 있다. 여기서 "동일 평면"이라 함은 소자 분리막의 상면(110u)의 서로 다른 두 지점에서 기판의 상면(100u)까지의 각각의 거리가 동일한 것뿐만 아니라, 공정 오차로 인해 발생할 수 있는 미세한 차이를 포함하는 의미이다.
- [0054] 다시 말하면, 제1 영역(I)에 형성된 소자 분리막(110)의 두께는 제1 두께(t1)이고, 제2 영역(II)에 형성된 소자 분리막(110)의 두께는 제2 두께(t2)일 때, 제1 영역(I)에 형성된 소자 분리막(110)의 두께(t1)와 제2 영역(II)에 형성된 소자 분리막(110)의 두께(t2)는 실질적으로 동일할 수 있다.
- [0055] 도 1 내지 도 3, 도 10 및 도 11을 참조하여, 본 발명의 다른 실시예에 따른 반도체 소자 제조 방법에 대해 설

명한다.

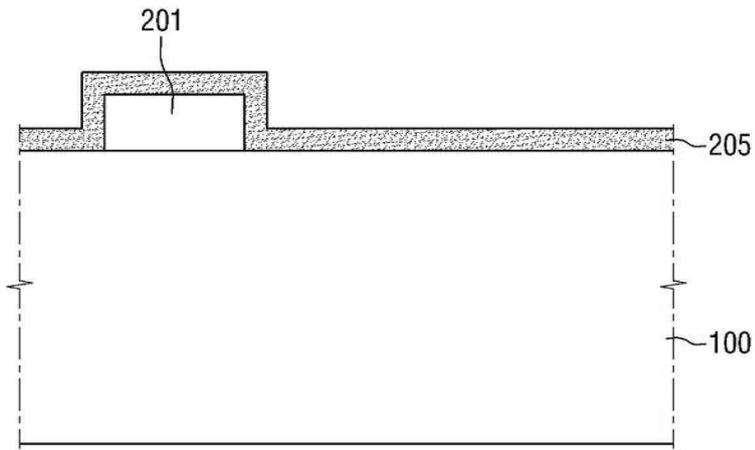
- [0056] 도 10 및 도 11은 본 발명의 다른 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0057] 도 1 내지 도 3을 참고하면, 제2 마스크 패턴(206)을 식각 마스크로 이용하여, 기판(100)이 식각된다. 기판(100)의 일부가 식각됨으로써, 기판(100) 상에 핀(120)이 형성될 수 있다. 핀(120) 상에는 제2 마스크 패턴(206)이 남아있을 수 있다.
- [0058] 핀(120)을 형성한 후, 식각 공정을 통해, 핀(120) 상에 남아있는 제2 마스크 패턴(206)을 제거할 수 있다.
- [0059] 도 10을 참고하면, 기판(100) 상에 형성된 핀(120)을 덮는 프리 소자 분리막(110p)이 형성될 수 있다. 프리 소자 분리막(110p)은 핀(120)이 형성된 제1 영역(I)뿐만 아니라, 핀(120)이 형성되지 않은 제2 영역(II) 상에도 형성될 수 있다.
- [0060] 프리 소자 분리막(110p)은 하부 프리 소자 분리막(110p-1)과 상부 프리 소자 분리막(110p-2)을 포함할 수 있다. 하부 프리 소자 분리막(110p-1)은 핀(120)의 측면과 접촉하여 형성되는 부분일 수 있고, 상부 프리 소자 분리막(110p-2)은 핀(120)의 측면과 비접촉하여 형성되는 부분일 수 있다.
- [0061] 도 11을 참고하면, 연마 공정을 통해, 프리 소자 분리막(110p)의 일부가 제거된다. 프리 소자 분리막(110p)의 일부가 제거됨으로써, 핀의 상면(120u)가 노출된다. 다시 말하면, 상부 프리 소자 분리막(110p-2)를 제거하여, 핀의 상면(120u)가 노출될 수 있다.
- [0062] 연마 공정을 통해, 핀의 상면(120u)와 프리 소자 분리막(110p)의 상면(110pu)이 동일 평면 상에 놓이도록 프리 소자 분리막(110p)을 평탄화할 수 있다.
- [0063] 도 1 내지 도 9를 통해 설명한 실시예에서는 연마 공정을 제1 연마 공정과 제2 연마 공정으로 나눠 진행을 하는 것으로 설명하였다. 하지만, 본 실시예에서는 한번의 연마 공정을 통해 상부 프리 소자 분리막(110p-2)를 제거함으로써, 핀의 상면(120u)가 노출시킬 수 있다. 즉, 제1 연마 공정 및 제2 연마 공정이 연속적으로 이루어져, 상부 프리 소자 분리막(110p-2)를 제거하여, 핀(120)을 노출시킬 수 있다.
- [0064] 상부 프리 소자 분리막(110p-2)를 제거하는 연마 공정에 사용되는 슬러리는 핀(120)을 이루는 물질에 대해 연마 선택비를 갖는 물질일 수 있다. 구체적으로, 연마 공정에 사용되는 슬러리에 의해 핀(120)이 연마되는 속도는 프리 소자 분리막(110p)이 연마되는 속도보다 매우 작을 수 있다. 상부 프리 소자 분리막(110p-2)를 제거하는 연마 공정에 사용되는 슬러리는 예를 들어, 폴리 스톱핑 슬러리를 포함할 수 있다.
- [0065] 상부 프리 소자 분리막(110p-2)를 제거하여, 핀의 상면(120u)가 노출시킨 후, 이온 주입 공정을 통해, 핀(120)에 불순물을 도핑할 수 있다.
- [0066] 도 12 내지 도 18을 참고하여, 반도체 소자의 일 예인 핀형 전계 트랜지스터(FinFET)를 제조하는 방법에 대해서 설명한다.
- [0067] 도 12 내지 도 18은 본 발명의 실시예들에 따라 제조한 반도체 소자를 이용하여, 핀형 전계 트랜지스터를 제조하는 방법을 설명하는 도면들이다.
- [0068] 도 12는 도 9에 도시된 핀 중 하나를 나타내는 사시도이다. 이하의 설명은 도 12를 바탕으로 설명을 한다.
- [0069] 도 13을 참고하면, 마스크 패턴(2104)을 이용하여 식각 공정을 진행하여, 핀(120)과 교차하여 제1 방향(X)으로 연장되는 더미 게이트 패턴(142)을 형성할 수 있다.
- [0070] 이를 통해, 더미 게이트 패턴(142)은 핀(120) 상에 형성된다. 더미 게이트 패턴(142)은 핀(120)의 일부와 오버랩될 수 있다. 핀(120)은 더미 게이트 패턴(142)에 의해 덮이는 부분과, 더미 게이트 패턴(142)에 의해 노출되는 부분을 포함한다.
- [0071] 더미 게이트 패턴(142)은 더미 게이트 절연막(141)과 더미 게이트 전극(143)을 포함한다. 예를 들어, 더미 게이트 절연막(141)은 실리콘 산화막일 수 있고, 더미 게이트 전극(143)은 폴리 실리코닐 수 있다.
- [0072] 도 14를 참고하면, 더미 게이트 패턴(142)의 측면에 스페이서(151)를 형성한다. 다시 말하면, 스페이서(151)는 더미 게이트 절연막(141) 및 더미 게이트 전극(143)의 측면에 형성된다.
- [0073] 구체적으로, 더미 게이트 패턴(142)이 형성된 결과물 상에 절연막을 형성한 후 에치백 공정을 진행하여, 스페이

서(151)를 형성할 수 있다. 스페이서(151)는 마스크 패턴(2104)의 상면, 더미 게이트 패턴(142)와 오버랩되지 않는 핀(120)의 상면을 노출할 수 있다. 스페이서(151)는 예를 들어, 실리콘 질화막 또는 실리콘 산질화막일 수 있다.

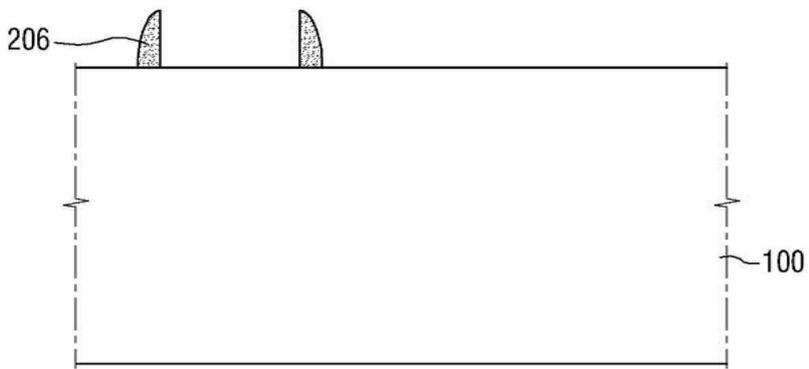
- [0074] 이어서, 더미 게이트 패턴(142)의 양측에 노출된 핀(120)의 일부를 제거하여, 핀(120) 내에 리세스를 형성한다. 소자 분리막(110)에 의해 노출되는 핀(120)의 상면은 소자 분리막(110)의 상면과 동일 평면에 있는 것으로 도시하였지만, 이에 제한되는 것은 아니다. 즉, 소자 분리막(110)에 의해 노출되는 핀(120)의 상면은 소자 분리막(110) 상면보다 기판(100) 방향으로 만입될 수도 있다.
- [0075] 도 15를 참고하면, 더미 게이트 패턴(142)의 양측에 노출된 핀(120) 상에 소오스/드레인(161)을 형성한다.
- [0076] 핀형 트랜지스터가 PMOS 트랜지스터인 경우, 소오스/드레인(161)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 압축 스트레스 물질은 핀(120)에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.
- [0077] 이와는 달리, 핀형 트랜지스터가 NMOS 트랜지스터인 경우, 소오스/드레인(161)은 기판(100)과 동일 물질 또는, 인장 스트레스 물질일 수 있다. 예를 들어, 기판(100)이 Si일 때, 소오스/드레인(161)은 Si이거나, Si보다 격자상수가 작은 물질(예를 들어, SiC)일 수 있다.
- [0078] 소오스/드레인(161)을 형성하는 것은, 에피 공정에 의해서 형성할 수 있다. 또한, 필요에 따라서, 에피 공정시 불순물을 인시츄 도핑할 수도 있다.
- [0079] 소오스/드레인(161)은 예시적으로 육각형 형상으로 도시하였지만, 이에 제한되는 것은 아니다. 즉, 소오스/드레인(161)을 형성하는 에피 공정의 공정 조건을 조절함으로써, 소오스/드레인(161)의 형상은 예를 들어, 다이아몬드 형상, 직사각형 형상, 오각형 형상 등 다양한 형상이 될 수 있다.
- [0080] 도 16을 참고하면, 소오스/드레인(161)이 형성된 결과물 상에, 층간 절연막(155)을 형성한다. 층간 절연막(155)은 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0081] 이어서, 더미 게이트 패턴(142)의 상면이 노출될 때까지, 층간 절연막(155)을 평탄화한다. 그 결과, 마스크 패턴(2104)이 제거되고 더미 게이트 패턴(142)의 상면이 노출될 수 있다.
- [0082] 도 17을 참고하면, 더미 게이트 패턴(142) 즉, 더미 게이트 절연막(141) 및 더미 게이트 전극(143)을 제거한다.
- [0083] 더미 게이트 절연막(141) 및 더미 게이트 전극(143)의 제거함에 따라, 소자 분리막(110) 및 핀(120)의 일부를 노출하는 트렌치(123)가 형성된다.
- [0084] 도 18을 참고하면, 트렌치(123) 내에 게이트 절연막(145) 및 게이트 전극(147)을 형성하여, 게이트 패턴(149)을 형성한다.
- [0085] 게이트 절연막(145)은 트렌치(123)의 측벽 및 하면을 따라 실질적으로 컨포멀하게 형성될 수 있다. 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 게이트 절연막(145)은 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0086] 게이트 전극(147)은 금속층(MG1, MG2)을 포함할 수 있다. 게이트 전극(147)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 게이트 전극(147)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이러한 게이트 전극(147)은 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0087] 도 19는 본 발명의 실시예에 따라 제조한 반도체 소자를 포함하는 전자 시스템의 블록도이다.

도면

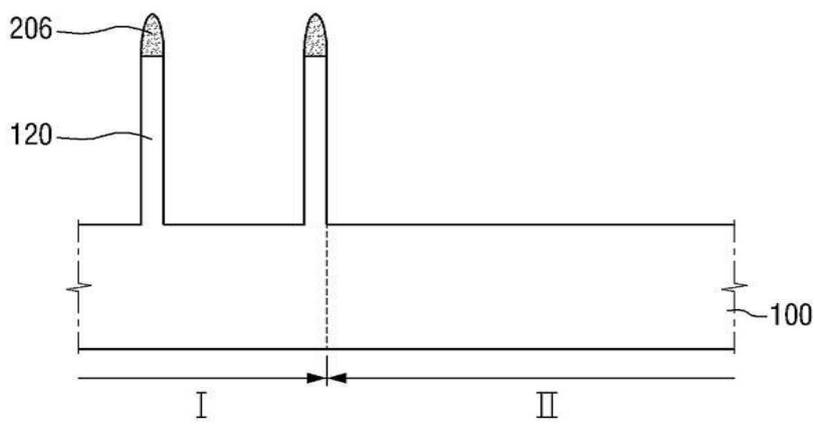
도면1



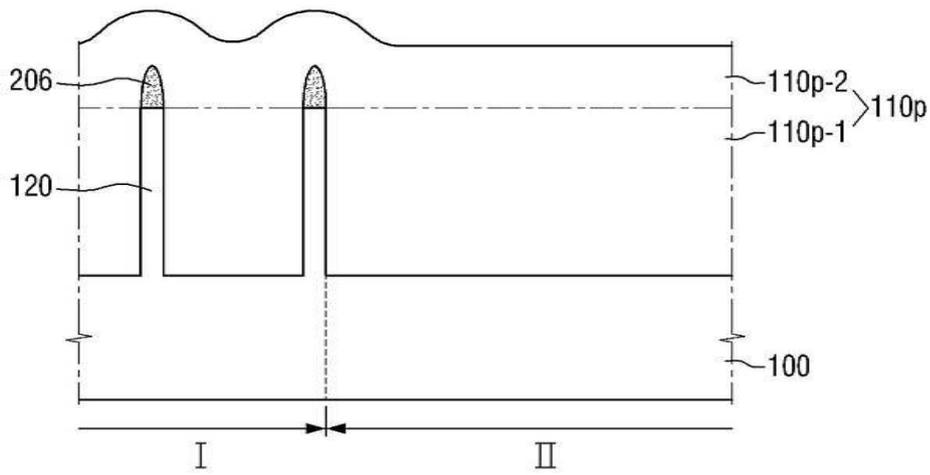
도면2



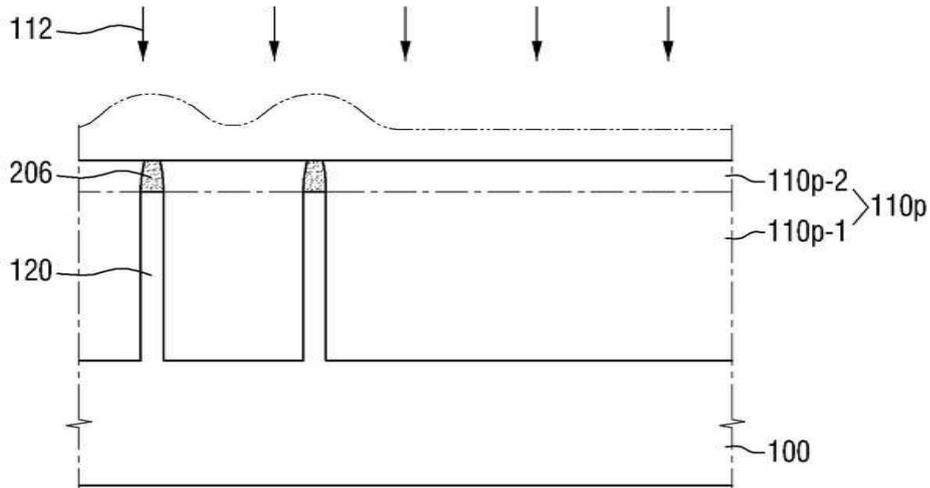
도면3



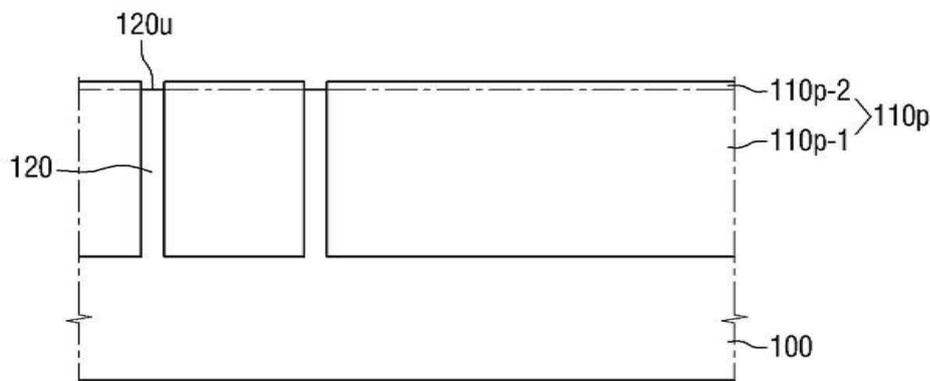
도면4



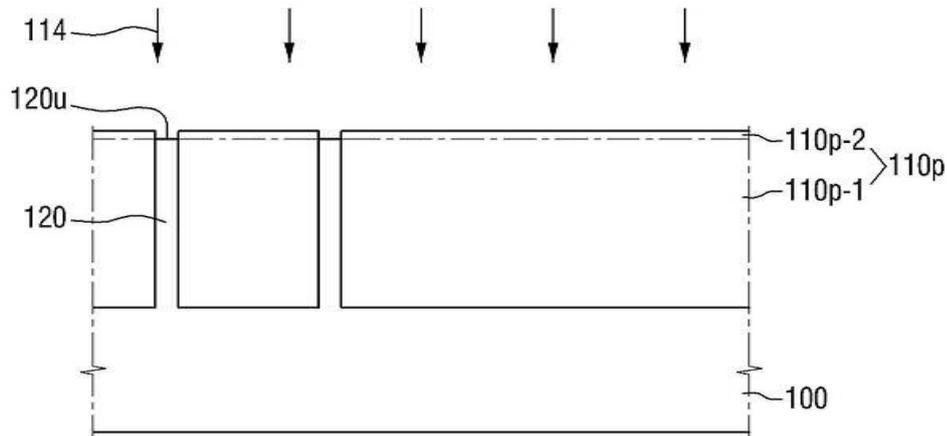
도면5



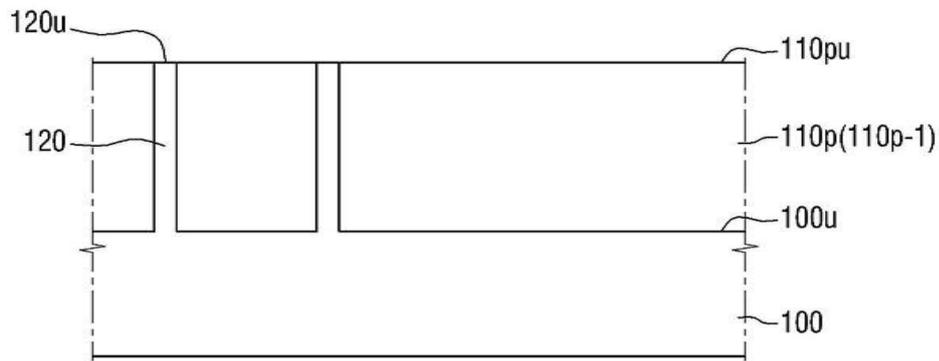
도면6



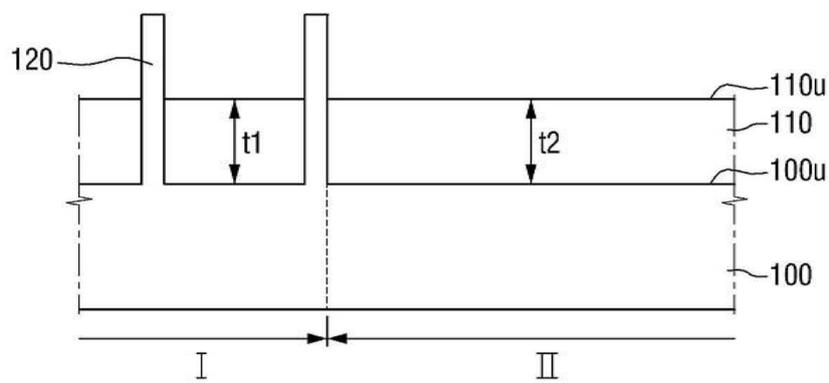
도면7



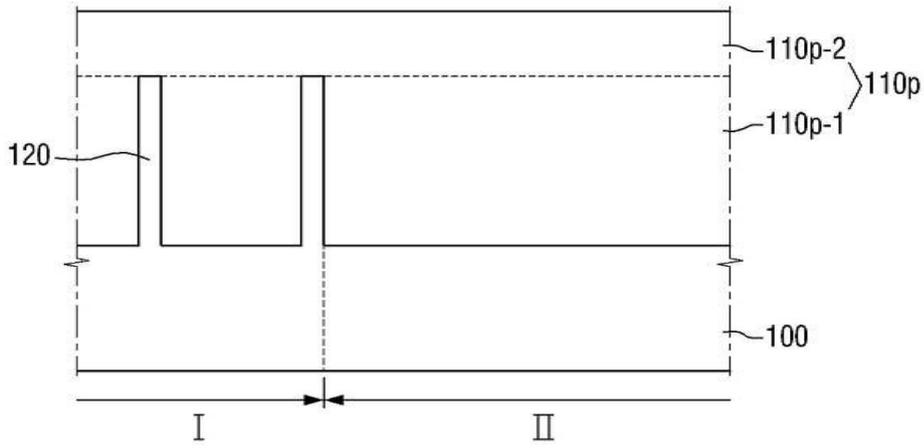
도면8



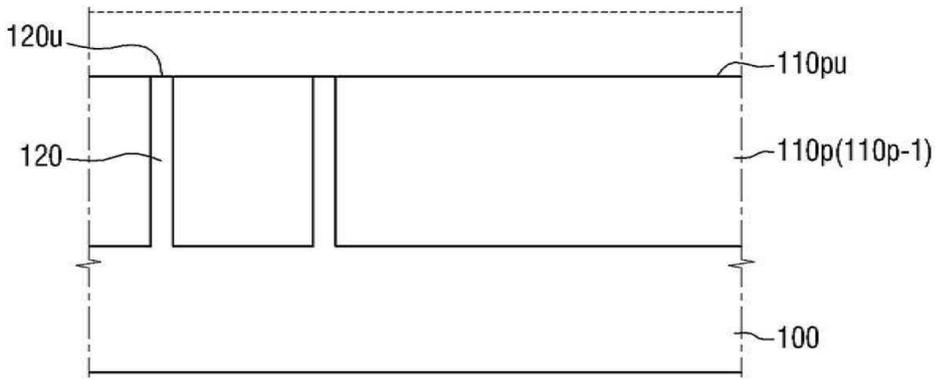
도면9



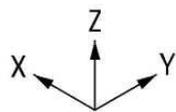
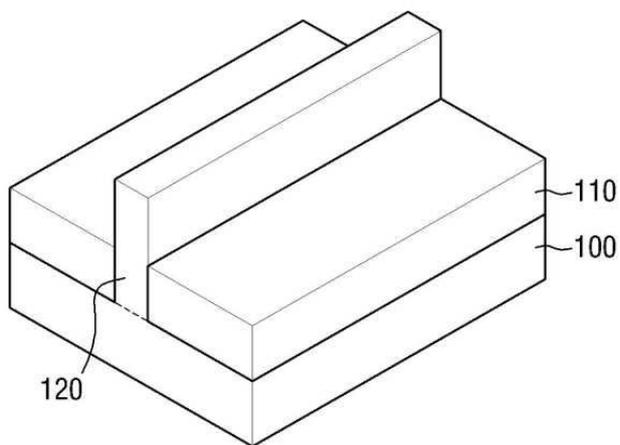
도면10



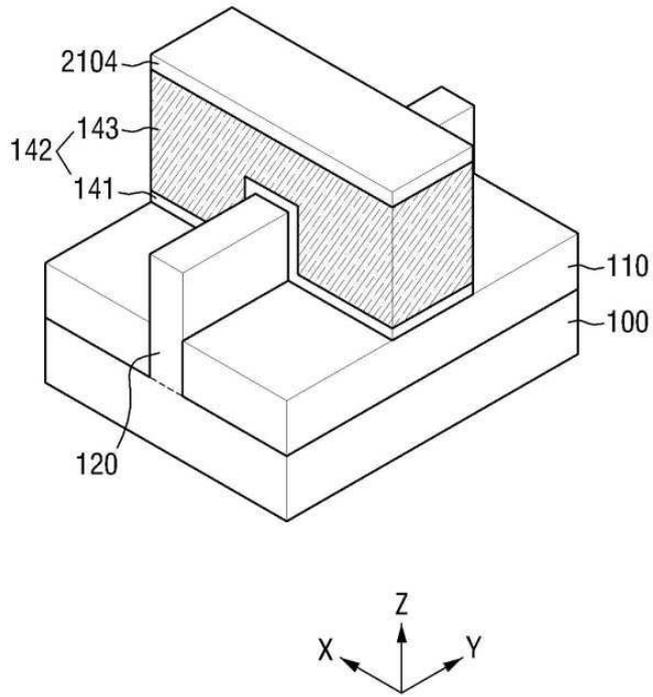
도면11



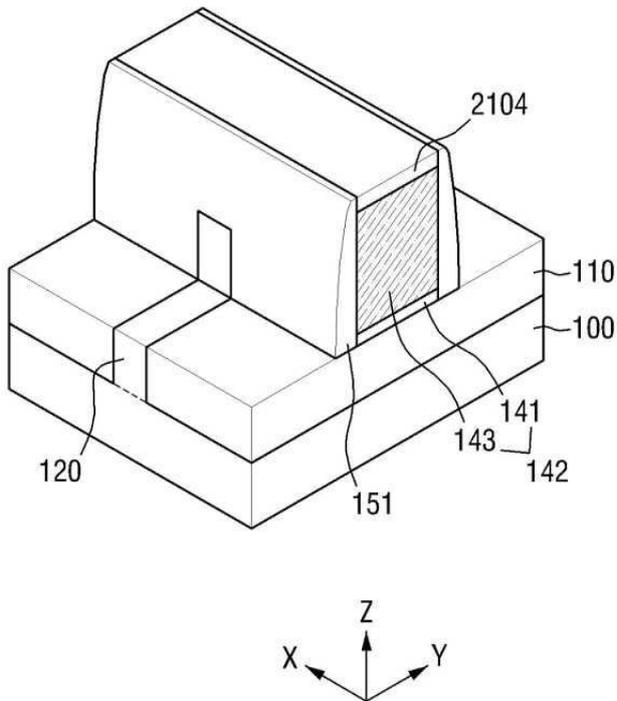
도면12



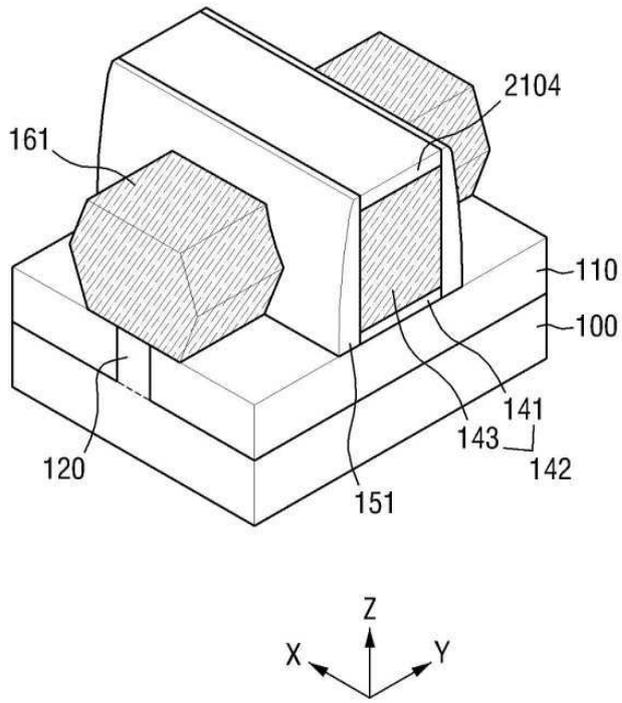
도면13



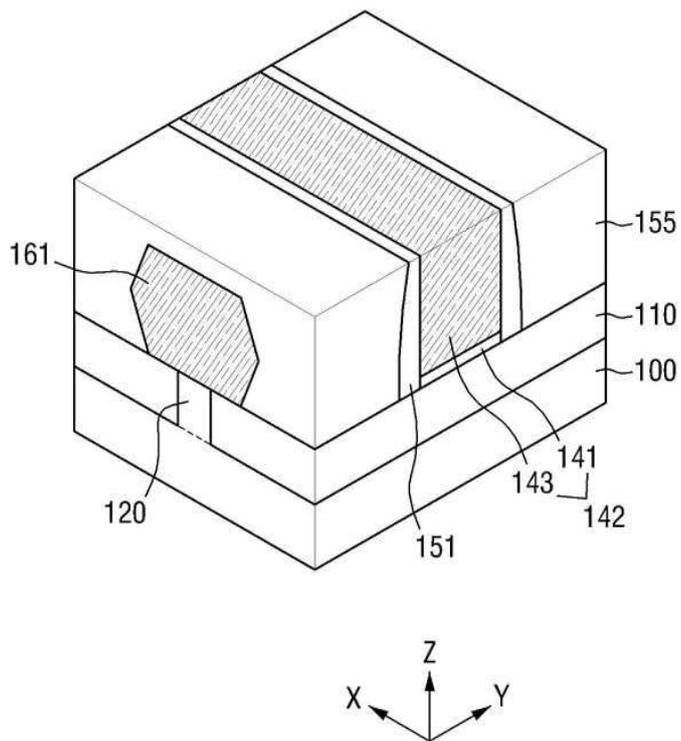
도면14



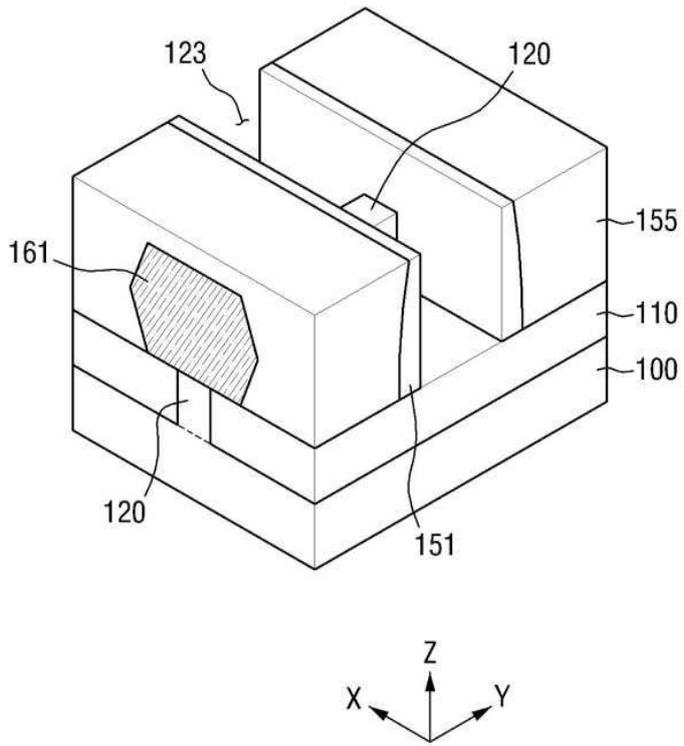
도면15



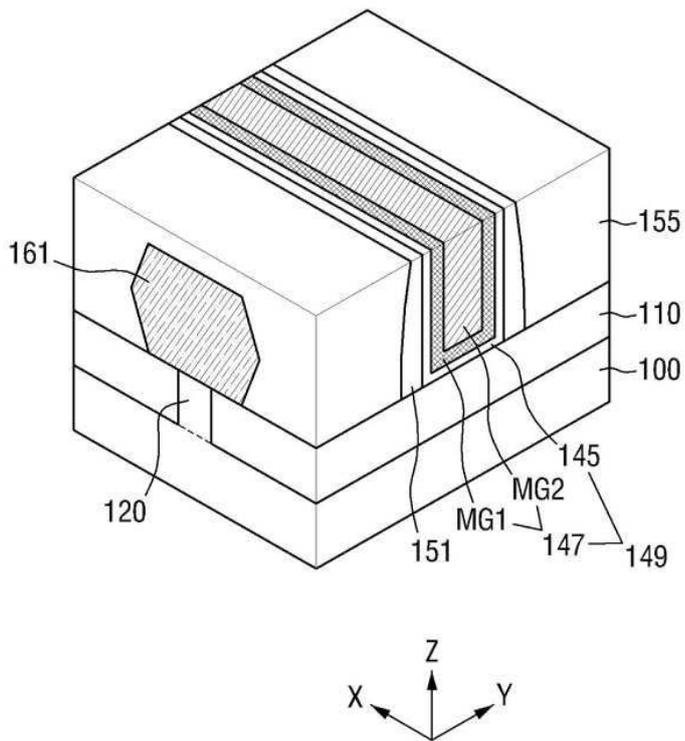
도면16



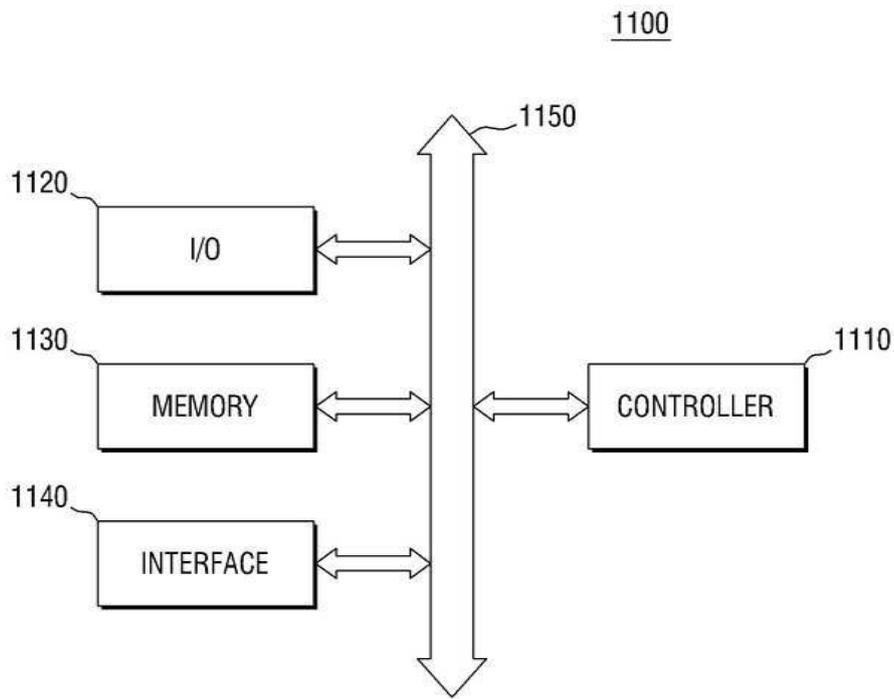
도면17



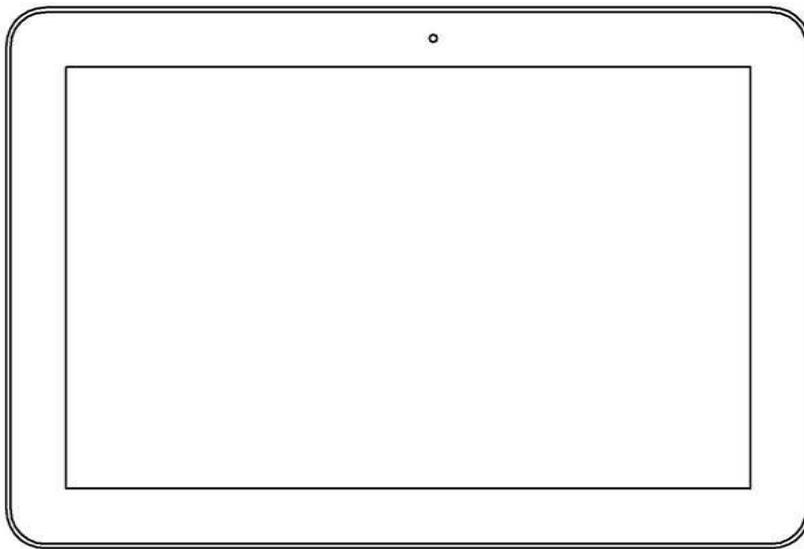
도면18



도면19



도면20



도면21

