(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 29/205

(11) 공개번호 특1994-0004834
(43) 공개일자 1994년03월16일

(21) 출원번호 특1993-0015962
(22) 출원일자 1993년08월18일

(30) 우선권주장 92-222498 1992년08월21일 일본(JP)
(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6
(72) 발명자 우사가와 도시유끼
일본국 사이따마껜 요노시 스즈야 6-4-2-405
다까이 아쯔시
일본국 도꾜도 고꾸분지시 히가시꼬이가꾸보 3-20-11-302
이또 히로유끼
일본국 도꾜도 아끼가와시 세도오까 80-5
(74) 대리인 백남기

심사청구 : 없음

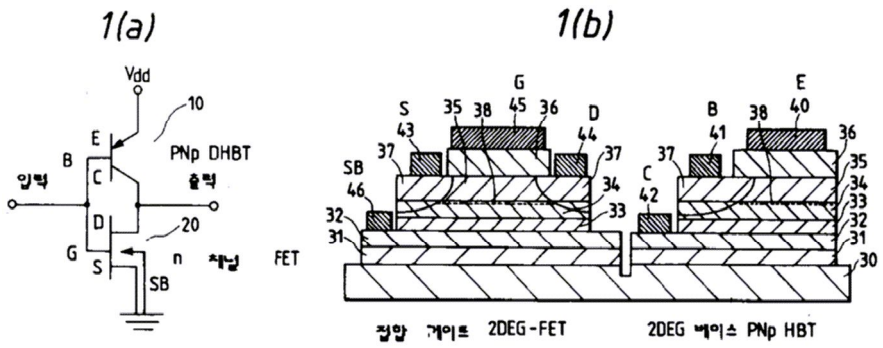
(54) 반도체 장치

요약

더블 헤테로 접합 바이폴라 트랜지스터 및 전계 효과 트랜지스터를 포함하는 반도체 장치로서, 단순한 제조 공정을 사용하여 용이하게 제조될 수 있고, 마이크로파 및 밀리파 영역 의 고주파 신호를 처리할 수 있는 고속을 갖고, 낮은 전력을 소비하며, 고속 논리 및 메모리 회로를 단순한 회로 구성으로 실현하기 위하여, 바이폴라 트랜지스터의 베이스와 전계 효과 트랜지스터의 게이트를 서로 접속하여 입력 단자로 하고 바이폴라 트랜지스터의 컬렉터와 전계 효과 트랜지스터의 드레인을 서로 접속하여 출력 단자로 하고, 동일한 다층/막 구조를 갖을 수 있는 바이폴라 트랜지스터 및 전계 효과 트랜지스터를 공통 기판에 형성한다.

이러한 반도체 장치를 사용하는 것에 의해, 게이트마다의 지연 시간을 5피코초의 초고속에서 5㎛의 초저소비전력으로 동작하는 반도체 장치를 제공할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도 (a) 및 제1도 (b)는 각각 본 발명의 기본 회로 및 단면구조를 도시한 도면,

제2도 (a) 및 제2도 (b)는 각각 본 발명의 기본 구조 및 동작특성을 설명하는 도면,

제3도 (a) 및 제3도 (b)는 각각 더블 헤테로 접합 2DEG-FET의 에너지 밴드도 및 에너지 밴드를 설명하는 도면.

제4도 (a) 및 제4도 (b)는 각각 더블 헤테로 접합 2DEG-FET의 에너지 밴드도 및 에너지 밴드를 설명하는 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

바이폴라 트랜지스터와 상기 바이폴라 트랜지스터와는 극성이 다른 전계 효과 트랜지스터를 포함하는 반도체 장치에 있어서, 상기 바이폴라 트랜지스터의 에미터와 베이스사이 및 상기 바이폴라 트랜지스터의 상기 베이스와 컬렉터사이에 각자 헤테로 접합이 형성되고, 상기 바이폴라 트랜지스터의 상기 베이스 및 상기 전계 효과 트랜지스터의 게이트는 입력 단자로서 기능하도록 서로 접속되고, 상기 바이폴라 트랜지스터의 상기 컬렉터 및 상기 전계 효과 트랜지스터의 드레인은 출력 단자로서 기능하도록 서로 접속되고, 상기 바이폴라 트랜지스터의 상기 에미터는 제1의 전원에 접속되고, 상기 전계 효과 트랜지스터의 소스는 제2의 전원에 접속되는 반도체 장치.

청구항 2

제1항에 있어서, 상기 바이폴라 트랜지스터 및 상기 전계 효과 트랜지스터는 서로 분리되어 공통 기판에 형성되고 동일한 다층/막 구조를 갖는 반도체 장치.

청구항 3

제2항에 있어서, 상기 FET 및 상기 바이폴라 트랜지스터의 활성층은 동일한 화합물 반도체층에서 각각 형성되는 반도체 장치.

청구항 4

제2항에 있어서, 상기 기판은 반절연성 GaAs로 이루어지는 반도체 장치.

청구항 5

제4항에 있어서, 상기 헤테로 접합은 GaAs층과 AlGaAs층사이에 형성되는 반도체 장치.

청구항 6

제3항에 있어서, 상기 화합물 반도체층은 언도프드 GaAs층인 반도체 장치.

청구항 7

제3항에 있어서, 상기 바이폴라 트랜지스터의 상기 베이스와 상기 입력 단자 사이에 정전류 리미터 또는 저항이 삽입되는 반도체 장치.

청구항 8

제7항에 있어서, 상기 바이폴라 트랜지스터의 상기 컬렉터와 상기 출력 단자사이 또는 상기 바이폴라 트랜지스터의 상기 게이트와 상기 입력 단자사이에 다이오드가 삽입되는 반도체 장치.

청구항 9

제7항에 있어서, 상기 바이폴라 트랜지스터의 상기 컬렉터와 상기 출력 단자사이 또는 상기 바이폴라 트랜지스터의 상기 게이트와 상기 입력 단자사이에 다이오드가 삽입되는 반도체 장치.

청구항 10

제8항에 있어서, 상기 다이오드는 쇼트키 접합 또는 이소 헤테로 접합을 갖는 반도체 장치.

청구항 11

제1항에 있어서, 상기 바이폴라 트랜지스터는 NPn바이폴라 트랜지스터이고, 상기 전계 효과 트랜지스터는 p채널 전계 효과 트랜지스터인 반도체 장치.

청구항 12

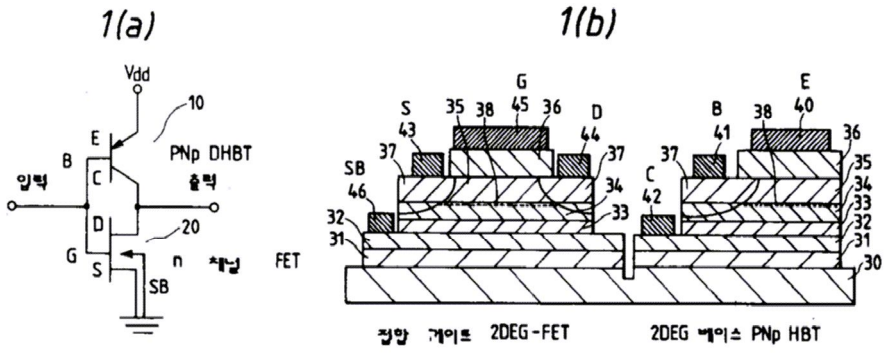
제3항에 있어서, 상기 화합물 반도체층과 상기 화합물 반도체층상에 형성된 다른 화합물 반도체층사이의 계면에 2차원 전자 가스 또는 2차원 홀가스가 형성되는 반도체 장치.

청구항 13

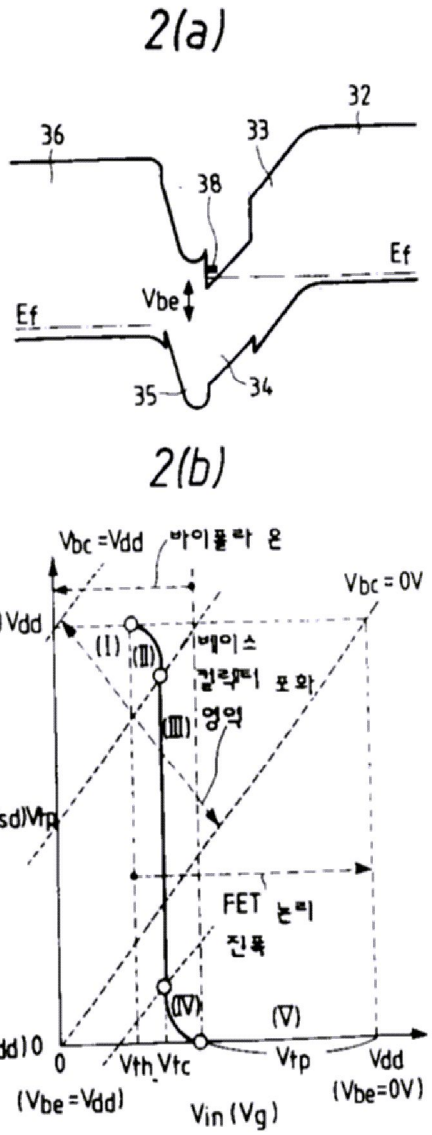
제3항에 있어서, 논리 회로 또는 메모리 회로가 형성되는 반도체 장치.

도면

도면1

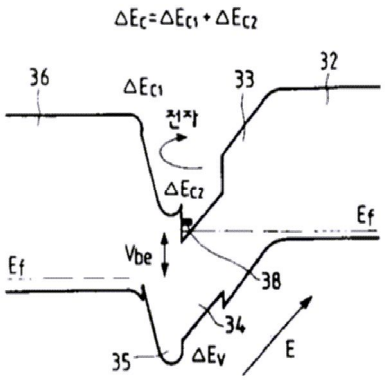

1(a)
1(b)
Vdd
10
E
B
C
PNp DHBT
입력
출력
D
20
G
S
n
채널
FET
SB
G
S
35 38 45 36
D
43
44
37
37
SB
46
34
33
32
31
30
B
38
40
41
36
C
42
35
34
33
32
31
2DEG 베이스 PNp HBT

도면2

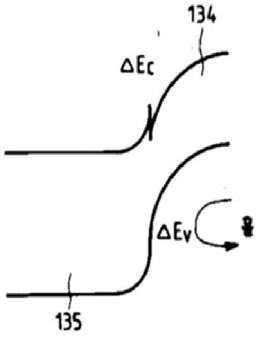

2(a)
32
36
33
38
Ef
Vbe
Ef
35
34
2(b)
Vbc =Vdd
바이폴라 온
Vbc = 0V
(Vce=0V) Vdd
(I)
(II)
베이스
컬렉터 포화
(III)
영역
Vout (Vsd) Vtp
FET 논리
진폭
(IV)
(V)
(Vce=Vdd) 0
0
Vth Vtc
Vtp
Vdd
(Vbe=Vdd)
(Vbe=0V)
Vin (Vg)

도면3

3(a)

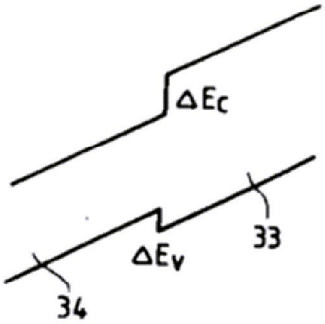


3(b)



도면4

4(a)



4(b)

