



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1444738**

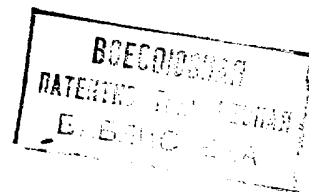
A 1

(5D) 4 G 06 F 1/04

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4241995/24-24

(22) 08.05.87

(46) 15.12.88. Бюл. № 46

(72) В. П. Лачугин, А. Ю. Веревкин,
И. П. Галабурда, П. В. Ильин
и Д. Ю. Могилко

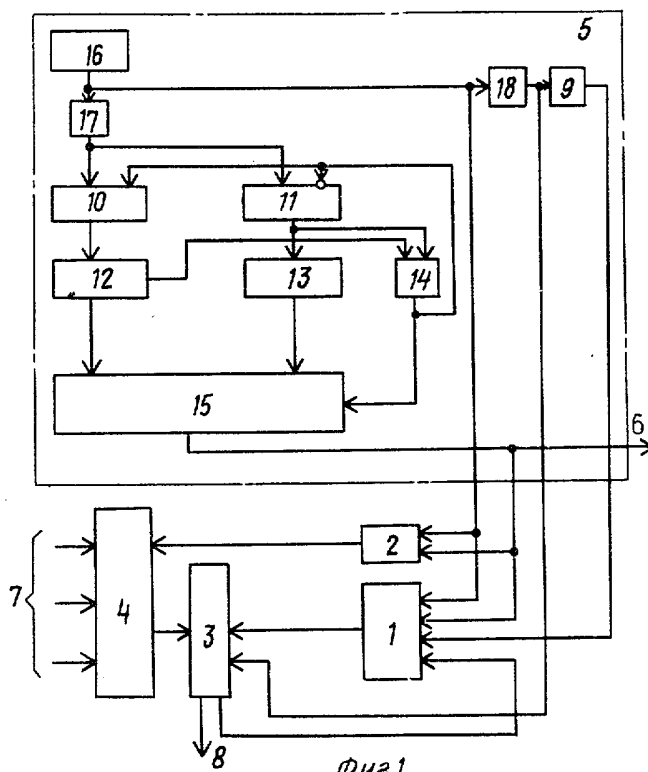
(53) 681.3(088.8)

(56) Заявка Японии № 55-18384,
кл. G 06 F 1/04, 1980.

Авторское свидетельство СССР
№ 1038931, кл. G 06 F 1/04, 1981.

(54) ТАЙМЕР

(57) Изобретение относится к области автоматики и вычислительной техники и может быть использовано в управляющих вычислительных машинах и системах. Отличительной особенностью таймера является то, что микросекундные интервалы отсчитываются с большей частотой, чем миллисекундные. Целью изобретения является увеличение быстродействия. Поставленная цель достигается введением в блок 5 управления элемента И 10, элемента 11 запрета, счетчика 13, триггера 14, селектора 15, элемента 17 задержки и связей блока 5 управления с блоками 1, 2 памяти. 1 ил.



Фиг.1

(19) **SU** (11) **1444738** **A 1**

Изобретение относится к автоматике и вычислительной технике и может быть использовано в управляющих вычислительных машинах и системах.

Целью изобретения является увеличение быстродействия.

На чертеже показан таймер.

Таймер содержит блоки 1 и 2 памяти, счетчик 3, мультиплексор 4, блок 5 управления, группу 6 выходов временного интервала, группу 7 тактовых входов, выход 8 окончания отсчета временного интервала.

Блок 5 управления содержит элемент 9 задержки, элемент И 10, элемент 11 запрета, счетчики 12 и 13, триггер 14, селектор 15, задающий генератор 16, элементы 17 и 18 задержки.

Таймер работает следующим образом.

В исходном состоянии в блок 1 памяти занесены коды длительностей временных интервалов, подлежащих отсчету, а в блок 2 памяти — коды частоты, с которой будет выполняться отсчет. При этом микросекундные интервалы занесены в ячейки с 0-й до К-й. Счетчик 12 блока 5 управления обнулен, а в счетчике 13 блока 5 установлен адрес (К+1)-й ячейки, начиная с которой в блоке 1 памяти помещены миллисекундные и секундные интервалы времени (цепи начальной записи не показаны). Триггер 14 блока 5 находится в единичном состоянии, сигнал с выхода которого открывает элемент И 10 а также разрешает выдачу через селектор 15 адреса со счетчика 12 блока 5.

С приходом первого импульса от генератора 16 происходит следующее. По переднему фронту данного импульса происходит чтение содержимого 0-й ячейки блока 1 памяти. Сигналом, задержанным элементом 18 задержки, производится запись считанного слова в счетчик 3. Признак микросекундной частоты отсчета, считанный с блока 2 памяти, разрешает прохождение на счетный вход счетчика 3 синхронимпульсов микросекундного импульса. Если такой импульс имеется на одном из входов группы 7 таймера, то произойдет прибавление единицы к содержимому счетчика 3.

Сигналом, задержанным элементом 9 задержки, произойдет запись содержимого счетчика 3 по старому адресу, т. е. в 0-ю ячейку блока 1 памяти сигнала. Задержанным элементом 17 задержки через открытый элемент И 10 содержимое счетчика 12 блока 5 управления будет увеличено на единицу, т. е. будет сформирован адрес следующей ячейки блока 1 памяти.

Аналогичные действия повторяются в таймере с ячейками по К-ю, причем адрес К-й ячейки соответствует полному заполнению счетчика 12. После записи нового содержимого в К-ю ячейку блока 1 происходит переполнение счетчика 12, сигнал с вы-

хода переполнения устанавливает в нулевое состояние триггер 14, что приводит к закрытию элемента И 10 и открытию элемента запрета 11, а также к разрешению выдачи адреса через селектор 15 со счетчика 13.

Поскольку в счетчике 13 установлен адрес (К+1)-й ячейки, то по переднему фронту следующего импульса от генератора 16 произойдет чтение содержимого (К+1)-й ячейки блока 1, далее — запись считанного слова в счетчик 3. Из блока 2 памяти в мультиплексор 4 поступит признак соответствующей частоты. При наличии на входе 7 таймера сигнала данной частоты произойдет прибавление единицы к содержимому счетчика 3, после чего новое содержимое счетчика 3 будет записано по старому адресу, т. е. в (К+1)-ю ячейку блока 1 памяти.

Сигналом задержанным элементом 17 задержки через открытый элемент запрета 11 в счетчике 13 будет сформирован адрес (К+2)-й ячейки. Этим же сигналом с выхода элемента 11 триггер 14 будет вновь установлен в единичное состояние. Вновь будут просмотрены ячейки с 0-й по К-ю, после чего будет просмотрена (К+2)-я ячейка и т. д. Сигналом переполнения в счетчике 13 вновь будет установлен адрес (К+1)-й ячейки.

В дальнейшем работа таймера повторяется.

При окончании отсчета некоторого временного интервала на выходе 8 таймера появляется сигнал переполнения счетчика 3, а на группе 6 выходов — адрес окончившегося интервала.

Формула изобретения

Таймер, содержащий мультиплексор, счетчик, два блока памяти и блок управления, причем группа информационных входов мультиплексора является группой тактовых входов таймера, группа выходов первого блока памяти соединена с группой управляющих входов мультиплексора, выход которого соединен со счетным входом счетчика, выход переполнения которого является выходом окончания отсчета временного интервала таймера, группа выходов второго блока памяти соединена с группой информационных входов счетчика, группа выходов разрядов счетчика соединена с группой информационных входов второго блока памяти, причем блок управления содержит первый счетчик, задающий генератор, выход которого соединен с входом первого элемента задержки, выход которого соединен с входом второго элемента задержки, отличающийся тем, что, с целью повышения быстродействия, выход задающего генератора соединен с входом разрешения чтения первого блока памяти и с входом

3

разрешения чтения второго блока памяти, выход первого элемента задержки соединен с входом разрешения записи счетчика таймера, причем в блок управления введены третий элемент задержки, элемент И, элемент запрета, второй счетчик, триггер и селектор, выход задающего генератора соединен с входом третьего элемента задержки, выход которого соединен с первым входом элемента И и с информационным входом элемента запрета, управляющий вход которого соединен с выходом триггера, с вторым входом элемента И и с управляющим входом селектора, группа выходов которого соединена с группой адресных

4

входов первого и второго блоков памяти и является группой выходов временного интервала триггера, выход элемента И соединен со счетным входом первого счетчика, группа выходов которого соединена с первой группой информационных входов селектора, вторая группа информационных входов которого соединена с группой выходов разрядов второго счетчика, счетный вход которого соединен с выходом элемента запрета и с единичным входом триггера, нулевой вход которого соединен с выходом переполнения первого счетчика, выход второго элемента задержки соединен с входом записи второго блока памяти.

5

10

Редактор Н. Горват
Заказ 6481/46

Составитель Н. Торопова
Техред И. Верес
Тираж 704

Корректор Л. Патай
Подписное

ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4