



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **225 286 A1**4(51) H 03 K 19/092  
H 01 L 27/06**AMT FÜR ERFINDUNGS- UND PATENTWESEN**

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 03 K / 263 748 7

(22) 04.06.84

(44) 24.07.85

(71) VEB Zentrum Wissenschaft und Technik, 8060 Dresden, PF 969, DD

(72) Armgarth, Dietrich, Dr.-Ing., DD

**(54) Integrierte Schaltungsanordnung**

(57) Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltungsanordnung zu finden, die als Treiberstufe einsetzbar ist, die mit MOS- und Bipolar-Transistoren aufgebaut werden kann und keine Absenkung bzw. Anhebung der Ausgangssignalpegel hervorruft, so daß kleine Subthresholdströme erreicht werden, und wobei die kleinen Verzögerungszeiten auch bei kleinen Betriebsspannungen von 2 ... 3 Volt weiter garantiert werden. Die Lösung sieht vor, daß zwischen eingangsseitigen MOS- und ausgangsseitigen Bipolar-Transistoren zusätzlich p-Kanal-MOS-Transistoren angeordnet werden, um die Ausgangssignalpegel nicht abzusenken bzw. anzuheben.  
Fig. 2

Titel der Erfindung

Integrierte Schaltungsanordnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine integrierte Schaltungsanordnung mit MOS- und Bipolar-Transistoren, insbesondere als Treiberstufe in integrierten Schaltkreisen.

Charakteristik der bekannten technischen Lösungen

Werden Treiberstufen in einer MOS-Technik realisiert, so ist ein großes  $w/l$ -Verhältnis erforderlich, um Ströme im mA-Bereich treiben zu können. Solche Treiberstufen benötigen viel Platz auf der Siliziumscheibe, so daß die Packungsdichte gering ist. Außerdem erreichen die parasitären Kapazitäten beträchtliche Werte, weil große Gateflächen vorhanden sind. Günstiger dagegen ist eine Kombination von MOS- und Bipolar-Transistoren, wobei die Bipolar-Transistoren als Treibertransistoren auf der Ausgangsseite verwendet werden. Die MOS-Transistoren auf der Eingangsseite können mit einem  $w/l = 1$  realisiert werden, so daß noch Drainströme von  $5 \dots 20 \mu\text{A}$  fließen können. Diese geringen Ströme werden in den Bipolar-Transistoren, die z. B. ein  $\beta_H = 100$  aufweisen, verstärkt, so daß Ausgangsströme von  $0,5 \dots 2 \text{ mA}$  fließen. Die Bipolar-Transistoren können ebenfalls mit minimalen Stegbreiten realisiert werden, so daß solche BIMOS-Schaltungsanordnungen weniger Platz auf der Siliziumscheibe benötigen. Vorteilhaft ist weiterhin, daß die BIMOS-Schaltungsanordnungen wesentlich kleinere Eingangskapazitäten besitzen, da die Gateflächen der MOS-Transistoren klein sind ( $w/l = 1$ !).

Solche BIMOS-Schaltungsanordnungen können auch vorteilhaft bei kleinen Betriebsspannungen betrieben werden, ohne daß sich die dynamischen Parameter wesentlich verschlechtern.

Bekannt sind solche BIMOS-Schaltungsanordnungen aus der Literatur. In der US-Patentschrift 4 159 450 wird z. B. eine solche BIMOS-Schaltungsanordnung angegeben. Es werden dort p- und n-Kanal-MOS-Transistoren auf der Eingangsseite und npn- und pnp-Bipolar-Transistoren auf der Ausgangsseite verwendet. Nachteilig ist bei der bekannten Schaltungsanordnung, daß sowohl npn- als auch pnp-Bipolar-Transistoren zur Verfügung stehen müssen und daß der Ausgangs-"High"-Pegel nicht gleich dem Wert der Betriebsspannung  $U_{DD}$  und der Ausgangs-"Low"-Pegel nicht gleich dem Massepotential ist, sondern daß diese Werte um  $U_{BE}$  der Emitter-Basis-Dioden abgesenkt bzw. angehoben sind. Damit sind die Werte für den Ausgangs-"High"-Pegel  $U_{DD} - U_{BE}$  und für den Ausgangs-"Low"-Pegel  $\approx U_{BE}$ . Das bedeutet, daß ein p-Kanaltransistor nachfolgender Stufen nicht mehr sicher gesperrt ist, da  $U_{GS} = U_{BE} \approx U_{TP}$  ist. Damit fließt ein beachtlicher Subthresholdstrom, der noch im Bipolar-Transistor verstärkt wird.

Durch das Anheben des Ausgangs-"Low"-Pegels treten beim n-Kanaltransistor der nachfolgenden Stufen ähnliche Probleme auf. Auch hier ist  $U_{GS} = U_{BE} \approx U_{TN}$ , so daß in diesem Fall auch beachtliche Leckströme fließen. Eine Zusammenschaltung mit reinen CMOS-Schaltungsanordnungen ist nicht ohne weiteres möglich.

In "Digest of Technical Papers" des "Symposiums on VLSI-Technology 1982, S. 110 - 113" wird ebenfalls eine BIMOS-Schaltungsanordnung vorgestellt. Hier sind pnp- und npn-Transistor gegenüber der US-Patentschrift 4 159 450 vertauscht. Im wesentlichen treten auch bei dieser Schaltungsanordnung die bereits diskutierten Nachteile auf.

H. C. Lin u. a. haben in "Complementary MOS-Bipolar Transistor Structure", IEEE Transact. ED-16, No. 11, (Nov. 69), S. 945 - 951, ebenfalls schon sehr früh integrierte Schaltungsanordnungen mit MOS- und Bipolar-Transistoren beschrieben. Sie verwenden MOS-Transistoren auf der Eingangsseite und Bipolar-Transistoren auf der Ausgangsseite. Durch Hinzufügen von MOS- und Bipolar-Transistoren wurden einige Modifikationen abgeleitet. Alle integrierten Schaltungsanordnungen weisen ebenfalls den Nachteil auf, daß der Ausgangs-"High"-Pegel gegenüber  $U_{DD}$  um  $U_{BE}$  abgesenkt und daß der Ausgangs-"Low"-Pegel gegenüber Masse um  $U_{BE}$  bzw.  $2U_{BE}$  angehoben wird. Damit fließt auch in diesen integrierten Schaltungsanordnungen ein beachtlicher Subthresholdstrom, und die Zusammenschaltung mit reinen CMOS-Schaltungsanordnungen ist auch hier nicht ohne weiteres möglich.

In der EP 0058 958 wird eine weitere BIMOS-Schaltungsanordnung vorgestellt. Hier wird nur ein Bipolar-Transistor auf der Ausgangsseite verwendet. Er ist zwischen der Betriebsspannung  $U_{DD}$  und dem Ausgang angeordnet und soll die Ausgangskapazität mit einem größeren Strom laden. Zur Entladung wird ein n-Kanal-MOS-Transistor verwendet. Der Bipolar-Transistor in der angegebenen Schaltungsanordnung fällt direkt beim CMOS-Prozeß mit p-Wanne ab, ohne daß zusätzliche technologische Verfahrensschritte erforderlich sind. Isolierte Bipolar-Transistoren können nicht verwendet werden.

In dieser integrierten Schaltungsanordnung wird auch wieder der Ausgangs-"High"-Pegel gegenüber  $U_{DD}$  um  $U_{BE}$  abgesenkt, so daß ebenfalls die diskutierten Probleme auftreten. Der Ausgangs-"Low"-Pegel wird durch den n-Kanal-MOS-Transistor auf nahezu 0 Volt gezogen. Um größere Ströme treiben zu können, ist allerdings ein großes  $w/l$ -Verhältnis beim n-Kanal-MOS-Transistor erforderlich. Damit wächst wieder der Platzbedarf gegenüber einem Bipolar-Transistor.

### Ziel der Erfindung

Das Ziel der Erfindung ist, eine integrierte Schaltungsanordnung anzugeben, die als Treiberstufe eingesetzt werden kann, die wenig Platz auf der Siliziumscheibe benötigt und die damit eine hohe Packungsdichte zuläßt.

### Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltungsanordnung zu finden, die als Treiberstufe einsetzbar ist, die mit MOS- und Bipolar-Transistoren aufgebaut werden kann und keine Absenkung bzw. Anhebung der Ausgangssignale hervorruft, so daß kleine Subthresholdströme erreicht werden, und wobei die kleinen Verzögerungszeiten auch bei kleinen Betriebsspannungen von 2...3 Volt weiter garantiert werden.

Erfindungsgemäß wird die Aufgabe bei einer integrierten Schaltungsanordnung mit eingangsseitigen MOS- und ausgangsseitigen Bipolar-Transistoren dadurch gelöst, daß ein Eingang mit Gates von n- und p-Kanal-MOS-Transistoren verbunden ist, daß zwischen Ausgang und der Basis eines Bipolar-Transistors ein n-Kanal-Junction-Transistor und der n-Kanal-MOS-Transistor in Reihe angeordnet sind, daß das Gate des n-Kanal-Junction-Transistors und der Kollektor des Bipolar-Transistors mit dem Ausgang verbunden sind, daß der Emitter des Bipolar-Transistors mit Masse verbunden ist, daß zwischen einer Betriebsspannung und der Basis eines zweiten Bipolar-Transistors der p-Kanal-MOS-Transistor angeordnet ist, daß der Kollektor des zweiten Bipolar-Transistors mit der Betriebsspannung verbunden ist, daß zwischen der Betriebsspannung und dem Drain des n-Kanal-MOS-Transistors ein zweiter p-Kanal-MOS-Transistor angeordnet ist und daß das Gate dieses p-Kanal-MOS-Transistors und der Emitter des zweiten Bipolar-Transistors mit dem Ausgang verbunden sind.

In einer Weiterbildung der Erfindung ist zwischen der Betriebsspannung und dem Ausgang zusätzlich ein p-Kanal-MOS-Transistor angeordnet und dessen Gate mit dem Eingang verbunden.

In beiden Ausführungen kann anstelle des n-Kanal-Junction-Transistors ein Bipolar-Transistor oder auch eine Diode angeordnet sein.

### Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden. In der zugehörigen Zeichnung zeigen

Fig. 1: eine grundsätzliche Ausführung der Erfindung,

Fig. 2: eine Weiterbildung dieser Ausführung.

Gemäß Fig. 1 ist der Eingang E auf Gates von n- und p-Kanal-MOS-Transistoren 1 und 2 geführt. Zwischen dem Ausgang A und der Basis des Bipolar-Transistors 5 sind ein n-Kanal-Junction-Transistor 4 und der n-Kanal-MOS-Transistor 1 in Reihe angeordnet. Das Gate des n-Kanal-Junction-Transistors 4 und der Kollektor des Bipolar-Transistors 5 sind mit dem Ausgang A verbunden. Der Emitter des Bipolar-Transistors 5 ist auf Masse 7 geführt. Zwischen der Betriebsspannung  $U_{DD}$  und der Basis eines Bipolar-Transistors 6 ist ein p-Kanal-MOS-Transistor 2 angeordnet. Der Kollektor des Bipolar-Transistors 6 ist auf  $U_{DD}$  geführt, während der Emitter mit dem Ausgang A verbunden ist. Zwischen  $U_{DD}$  und dem Drain des n-Kanal-MOS-Transistors 1 ist ein p-Kanal-MOS-Transistor 3 angeordnet. Das Gate des p-Kanal-MOS-Transistors 3 ist mit dem Ausgang A verbunden.

Liegt am Eingang E ein "High"-Pegel, so sind die Transistoren 1, 5 und 3 leitend, und am Ausgang A pegelt sich im eingeschwungenen Zustand der "Low"-Zustand ein. Durch die

Transistoren 1 und 3 fließt ein relativ kleiner Strom, der in die Basis von Transistor 5 eingespeist wird. Der Transistor 5 wird voll durchgesteuert, und am Ausgang A liegt je nach Strombelastung eine Spannung von ca. 100 mV. Transistor 3 ist voll leitend, weil zwischen Source und Gate fast die Spannung  $U_{DD}$  anliegt. Transistor 4 ist gesperrt, weil das Gate ein negatives Potential aufweist als das n-Gebiet, das mit dem Drain von Transistor 1 zusammengeschaltet ist. Damit fließt im stationären Zustand ein kleiner Strom durch die Transistoren 1, 3 und 5. Je nach Größe dieses Stromes kann auch eine Gleichstromlast am Ausgang durchgesteuert werden.

Transistor 2 ist gesperrt, weil  $U_{GS} = U_{BE} \approx |U_{TP}|$  ist. Es fließt nur ein kleiner Strom, der im nA-Bereich liegt. Dieser Strom wird zwar im Transistor 6 verstärkt; er ist aber genügend klein, so daß die Wirkungsweise der integrierten Schaltungsanordnung nicht beeinflußt wird.

Beim Umschalten von "High"- zum "Low"-Potential am Eingang E wird zunächst Transistor 2 etwas leitend. Damit kann auch ein Strom durch Transistor 6 fließen. Die Transistoren 1, 3 und 5 sind in diesem Moment auch noch leitend, so daß kurzzeitig ein größerer Strom von  $U_{DD}$  nach Masse 7 fließt. Ist dann die Eingangsspannung auf  $U_{BE} = U_{TN1} + U_{BE5}$  abgesunken, so ist Transistor 1 gesperrt. Damit fließt durch Transistor 5 nur noch ganz kurz ein Strom, bis die Speicherladung in diesem Transistor abgebaut ist.

Bei weiterem Absinken der Eingangsspannung werden dann die Transistoren 2 und 6 voll leitend. Eine Lastkapazität am Ausgang wird sehr schnell durch den großen Strom aufgeladen und am Ausgang A liegt der "High"-Pegel an. Transistor 3 ist gesperrt, während Transistor 4 sehr niederohmig ist, da sich die Potentiale an seinen Elektroden kaum unterscheiden. Transistor 1 ist gesperrt, und am Drain von Transistor 1 liegt etwa der Ausgangs-"High"-Pegel an. In diesem Zustand fließen keine stationären Ströme.

Der Ausgangs-"High"-Pegel ist hier allerdings gegenüber  $U_{DD}$  ebenfalls um  $U_{BE}$  abgesenkt, so daß die diskutierten Nachteile auftreten.

Wird nun wieder das Potential am Eingang E von "Low" nach "High" umgeschaltet, so beginnen bei  $U_E = U_{TN1} + U_{BE5}$  die Transistoren 1, 4 und 5 zu leiten. Steigt das Eingangspotential noch etwas an, so fließt durch diese Transistoren schon ein beachtlicher Strom. Die Transistoren 2 und 6 sind aber auch noch leitend, so daß wieder von  $U_{DD}$  nach Masse 7 kurzzeitig ein größerer Strom fließt. Hat die Eingangsspannung etwa den Wert  $U_{DD} - U_{BE6}$  erreicht, so sind die Transistoren 2 und 6 gesperrt, während die Transistoren 1 und 5 voll leitend sind. Transistor 4 ist nun gesperrt, und Transistor 3 ist voll leitend. Damit ist der am Anfang angenommene Zustand wieder erreicht.

Gemäß Fig. 2 ist ein weiterer p-Kanal-MOS-Transistor 8 zwischen  $U_{DD}$  und dem Ausgang A angeordnet. Das Gate des p-Kanal-MOS-Transistors 8 ist mit dem Eingang E verbunden. Durch diesen zusätzlichen Transistor 8 wird nun erreicht, daß bei einem "Low"-Pegel am Eingang E der Ausgangs-"High"-Pegel auf nahezu  $U_{DD}$  gezogen wird. Damit liegt am Ausgang A ein Potential, das nun nicht mehr um  $U_{BE}$  abgesenkt ist. Für eine nachfolgende gleichartige Stufe bedeutet das, daß  $U_{GS2} \approx 0$  Volt ist. Der Subthresholdstrom wird dadurch in den Pico-Ampere-Bereich (pA) zurückgedrängt, und auch der verstärkte Strom durch Transistor 6 kann vernachlässigt werden.

Mit der erfindungsgemäßen integrierten Schaltungsanordnung ist erreicht worden, daß die Ausgangspegel nicht mehr um  $U_{BE}$  abgesenkt bzw. angehoben werden, so daß vernachlässigbare Subthresholdströme erreicht werden. Die Schaltzeiten sind ebenfalls klein, weil durch die großen Ströme in den Bipolar-

Transistoren 5 und 6 die Ausgangskapazität schnell umgeladen wird. Alle MOS-Transistoren können mit einem  $w/l$ -Verhältnis von 1 realisiert werden, so daß der Platzbedarf gegenüber reinen CMOS-Schaltungsanordnungen kleiner wird. Die erfindungsgemäße integrierte Schaltungsanordnung kann auch bei Betriebsspannungen von 2 bis 3 Volt betrieben werden, ohne daß sich die dynamischen Parameter wesentlich verschlechtern. Eine Gleichstromlast kann je nach Dimensionierung von Transistor 3 sicher durchgesteuert werden. Die Zusammenschaltung mit reinen CMOS-Schaltungsanordnungen ist ohne Einschränkungen möglich.

An Stelle des n-Kanal-Junction-Transistors 4 können auch ein Bipolar-Transistor oder eine Diode angeordnet werden. Vorteilhafter ist jedoch ein Junction-Transistor, weil er zusammen mit dem Bipolar-Transistor 5 in einem isolierten Gebiet untergebracht werden kann und den kleinsten Spannungsabfall aufweist.

Patentansprüche

1. Integrierte Schaltungsanordnung mit eingangsseitigen MOS- und ausgangsseitigen Bipolar-Transistoren, insbesondere für Treiberstufen, dadurch gekennzeichnet, daß ein Eingang (E) mit Gates von n- und p-Kanal-MOS-Transistoren (1; 2) verbunden ist, daß zwischen Ausgang (A) und der Basis eines Bipolar-Transistors (5) ein n-Kanal-Junction-Transistor (4) und der n-Kanal-MOS-Transistor (1) in Reihe angeordnet sind, daß das Gate des n-Kanal-Junction-Transistors (4) und der Kollektor des Bipolar-Transistors (5) mit dem Ausgang (A) verbunden sind, daß der Emitter des Bipolar-Transistors (5) mit Masse (7) verbunden ist, daß zwischen einer Betriebsspannung ( $U_{TD}$ ) und der Basis eines zweiten Bipolar-Transistors (6) der p-Kanal-MOS-Transistor (2) angeordnet ist, daß der Kollektor des zweiten Bipolar-Transistors (6) mit der Betriebsspannung ( $U_{DD}$ ) verbunden ist, daß zwischen der Betriebsspannung ( $U_{DD}$ ) und dem Drain des n-Kanal-MOS-Transistors (1) ein zweiter p-Kanal-MOS-Transistor (3) angeordnet ist und daß das Gate dieses p-Kanal-MOS-Transistors (3) und der Emitter des zweiten Bipolar-Transistors (6) mit dem Ausgang (A) verbunden sind.
2. Integrierte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen der Betriebsspannung ( $U_{DD}$ ) und dem Ausgang (A) zusätzlich ein p-Kanal-MOS-Transistor (8) angeordnet ist und daß dessen Gate mit dem Eingang (E) verbunden ist.
3. Integrierte Schaltungsanordnung nach den Ansprüchen 1 oder 2, dadurch gekennzeichnet, daß anstelle des n-Kanal-Junction-Transistors (4) ein Bipolar-Transistor angeordnet ist.
4. Integrierte Schaltungsanordnung nach den Ansprüchen 1 oder 2, dadurch gekennzeichnet, daß anstelle des n-Kanal-Junction-Transistors (4) eine Diode angeordnet ist.

Hierzu 2 Seiten Zeichnungen

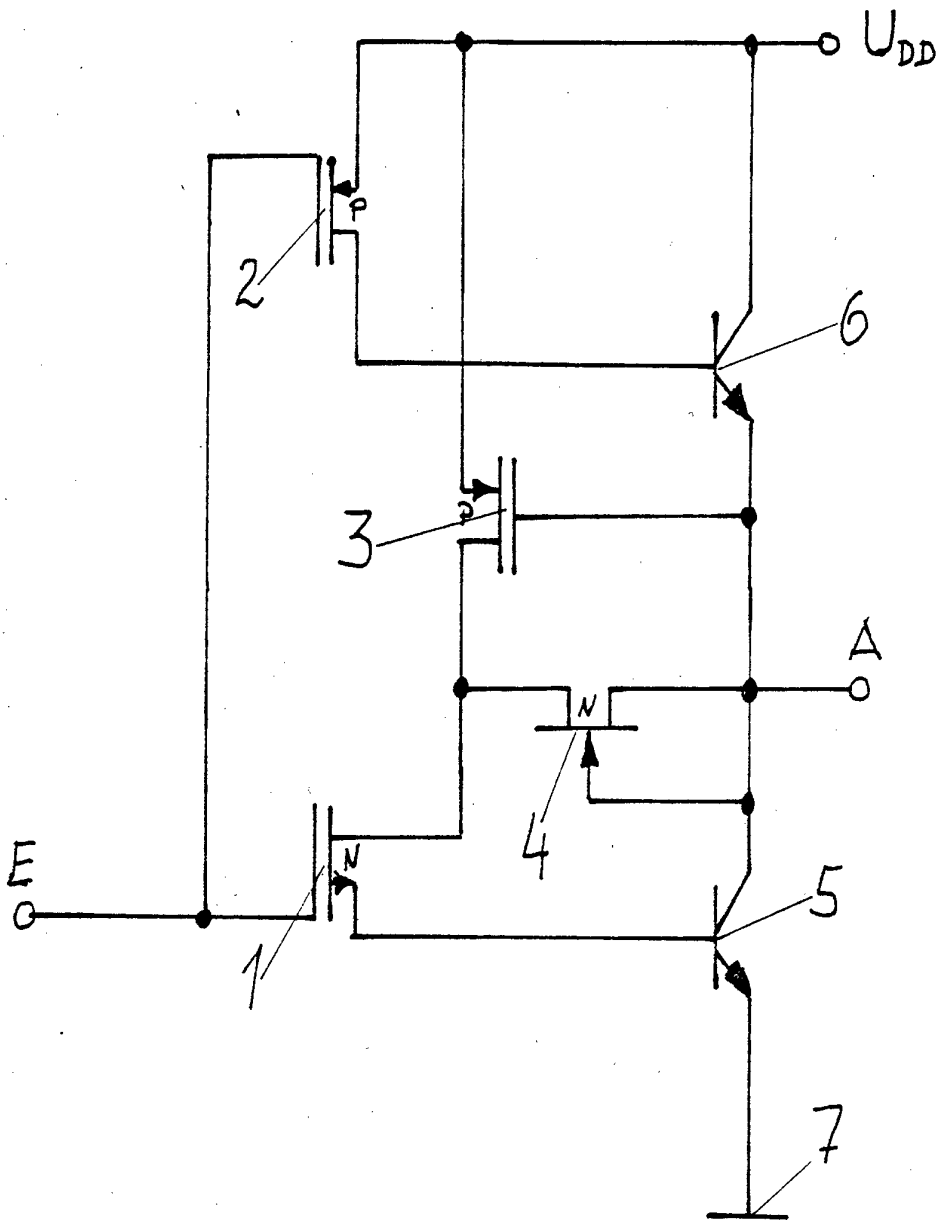


Fig. 1

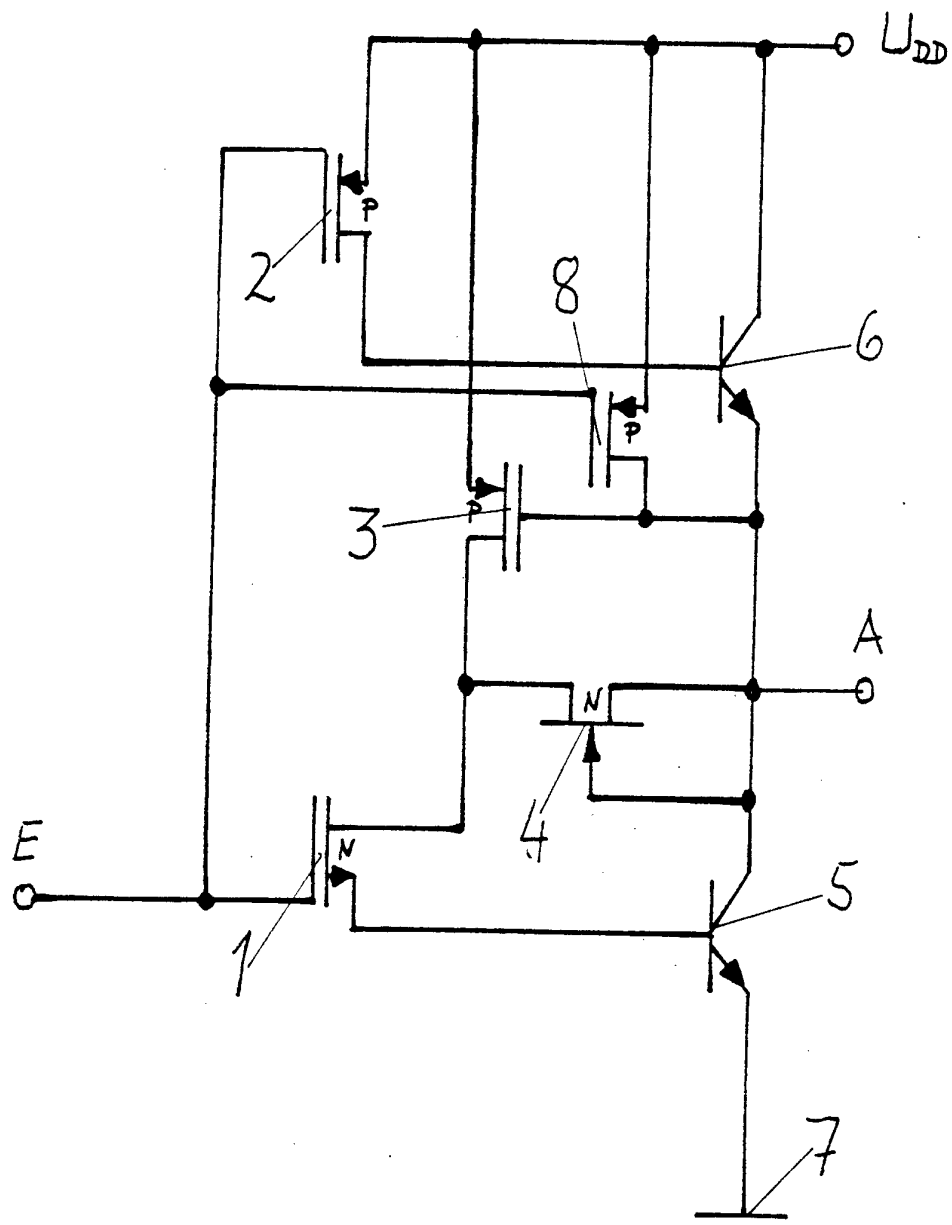


Fig.2