

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7242552号

(P7242552)

(45)発行日 令和5年3月20日(2023.3.20)

(24)登録日 令和5年3月10日(2023.3.10)

(51)国際特許分類

H 0 1 S 5/183(2006.01)

F I

H 0 1 S 5/183

請求項の数 8 (全21頁)

(21)出願番号	特願2019-558942(P2019-558942)	(73)特許権者	316005926
(86)(22)出願日	平成30年10月18日(2018.10.18)		ソニーセミコンダクタソリューションズ
(86)国際出願番号	PCT/JP2018/038870		株式会社
(87)国際公開番号	WO2019/116721		神奈川県厚木市旭町四丁目14番1号
(87)国際公開日	令和1年6月20日(2019.6.20)	(74)代理人	110003339
審査請求日	令和3年9月2日(2021.9.2)		弁理士法人南青山国際特許事務所
(31)優先権主張番号	特願2017-236840(P2017-236840)	(74)代理人	100104215
(32)優先日	平成29年12月11日(2017.12.11)		弁理士 大森 純一
(33)優先権主張国・地域又は機関	日本国(JP)	(74)代理人	100196575
			弁理士 高橋 満
		(74)代理人	100168181
			弁理士 中村 哲平
		(74)代理人	100117330
			弁理士 折居 章
		(74)代理人	100160989

最終頁に続く

(54)【発明の名称】 垂直共振器型面発光レーザ素子の製造方法

(57)【特許請求の範囲】

【請求項1】

支持基板上に、誘電体DBR(Distributed Bragg Reflector)層及び SiO_2 からなる第1の接合用誘電体層を順に積層して第1の基板を作成し、

半導体基板上に、半導体DBR層、電流狭窄層、活性層、コンタクト層及び SiO_2 からなる第2の接合用誘電体層を順に積層して第2の基板を作成し、

前記第1の接合用誘電体層及び前記第2の接合用誘電体層の表面をCMP(chemical mechanical polishing)により平坦化し、

前記第1の接合用誘電体層及び前記第2の接合用誘電体層にプラズマを照射した後、前記第1の接合用誘電体層と前記第2の接合用誘電体層を接合し、

前記第1の基板と前記第2の基板の接合体をアニールする

垂直共振器型面発光レーザ素子の製造方法。

【請求項2】

請求項1に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記誘電体DBR層は、第1の材料からなる第1の層と第2の材料からなる第2の層を交互に積層して構成され、前記第1の層と前記第2の層は少なくとも一方の熱伝導率が 10 W/mK 以上である

垂直共振器型面発光レーザ素子の製造方法。

【請求項3】

請求項1に記載の垂直共振器型面発光レーザ素子の製造方法であって、

10

20

前記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、前記第 1 の層と前記第 2 の層は少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子の製造方法。

【請求項 4】

請求項 1 に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、前記第 1 の層と前記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上であり、かつ少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子の製造方法。

10

【請求項 5】

請求項 2 に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記第 1 の材料は SiO_2 であり、

前記第 2 の材料は Si_3N_4 である

垂直共振器型面発光レーザ素子の製造方法。

【請求項 6】

請求項 2 に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記第 1 の材料は Si_3N_4 であり、

前記第 2 の材料は TiO_2 である

垂直共振器型面発光レーザ素子の製造方法。

20

【請求項 7】

請求項 3 に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記第 1 の材料は SiO_2 であり、

前記第 2 の材料は Ta_2O_5 である

垂直共振器型面発光レーザ素子の製造方法。

【請求項 8】

請求項 3 に記載の垂直共振器型面発光レーザ素子の製造方法であって、

前記第 1 の材料は SiO_2 であり、

前記第 2 の材料は TiO_2 である

垂直共振器型面発光レーザ素子の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、半導体レーザ素子である垂直共振器型面発光レーザ素子の製造方法、垂直共振器型面発光レーザ素子、距離センサ及び電子機器に関する。

【背景技術】

【0002】

垂直共振器型面発光レーザ (V C S E L : Vertical Cavity Surface Emitting LASER) 素子は半導体レーザ素子の一種であり、基板面に垂直方向に光を共振させ、同方向にレーザ光を出射する素子である。

40

【0003】

V C S E L 素子の構造として、例えば非特許文献 1 には、化合物半導体発光層を挟んで共振器を形成する一対の D B R (Distributed Bragg Reflector : 分布ブラッグ反射鏡) を備える V C S E L 素子が開示されている。

【0004】

一方の D B R は、V C S E L 素子に A l G a A s の A l 組成を変えた屈折率の異なる層が交互に 20 層程度積層されて形成され、他方の D B R はシリコン基板側に SiO_2 と Ta_2O_5 を交互に 20 層程度積層されて形成されている。

【0005】

この V C S E L 素子は、それぞれ上記 D B R を形成した化合物半導体基板とシリコン基

50

板をBCB（ベンゼンシクロブテン）樹脂によって接合することにより形成されている。

【先行技術文献】

【非特許文献】

【0006】

【文献】Silicon-Integrated Hybrid-Cavity 850-nm VCSELs by Adhesive Bonding: Impact of Bonding Interface Thickness on Laser Performance, IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 23, NO. 6, NOVEMBER /DECEMBER 2017

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、上記非特許文献1に記載のVCSEL素子はBCB樹脂やSiO₂とTa₂O₅を積層したDBRの熱抵抗が大きい。このため、レーザ発光により生じた熱がVCSEL素子から放出されにくく、高温により素子特性が悪化するおそれがある。

【0008】

以上のような事情に鑑み、本技術の目的は、伝導放熱性に優れた垂直共振器型面発光レーザ素子の製造方法、垂直共振器型面発光レーザ素子、距離センサ及び電子機器を提供することにある。

【課題を解決するための手段】

【0009】

20

上記目的を達成するため、本技術に係る垂直共振器型面発光レーザ素子の製造方法は、支持基板上に、誘電体DBR（Distributed Bragg Reflector）層及び第1の接合用誘電体層を順に積層して第1の基板を作成する。

半導体基板上に、半導体DBR層、電流狭窄層、活性層、コンタクト層及び第2の接合用誘電体層を順に積層して第2の基板を作成する。

上記接合用誘電体層を接合する。

上記第1の基板と上記第2の基板の接合体をアニールする。

【0010】

この製造方法によれば、第1の基板と第2の基板を熱伝導率が高い誘電体層（第1の接合用誘電体層と第2の接合用誘電体層）によって接合することができ、垂直共振器型面発光レーザ素子の伝導放熱性を良好なものとすることができる。

30

【0011】

上記第1の接合用誘電体層と上記第2の接合用誘電体層を接合する工程では、上記第1の接合用誘電体層及び上記第2の接合用誘電体層にプラズマを照射した後、上記第1の接合用誘電体層と上記第2の接合用誘電体層を接合させるプラズマ接合を行ってもよい。

【0012】

第1の接合用誘電体層と第2の接合用誘電体層はプラズマ接合によって接合摺ること画可能である。

【0013】

上記誘電体DBR層は、第1の材料からなる第1の層と第2の材料からなる第2の層を交互に積層して構成され、上記第1の層と上記第2の層は少なくとも一方の熱伝導率が10W/mK以上であってもよい。

40

【0014】

誘電体DBR層を構成する第1の層と第2の層は、少なくとも一方を熱伝導率が10W/mK以上の材料により形成することで誘電体DBR層の熱抵抗を小さくし、垂直共振器型面発光レーザ素子の伝導放熱性をさらに良好なものとすることができる。

【0015】

上記誘電体DBR層は、第1の材料からなる第1の層と第2の材料からなる第2の層を交互に積層して構成され、上記第1の層と上記第2の層は少なくとも一方の屈折率が2以上であってもよい。

50

【 0 0 1 6 】

誘電体 D B R 層を構成する第 1 の層と第 2 の層は、少なくとも一方を屈折率が 2 以上熱伝導率が 2 以上の材料により形成することで必要な厚みを薄くすることができ、誘電体 D B R 層の熱抵抗を小さくし、垂直共振器型面発光レーザ素子の伝導放熱性をさらに良好なものとすることができる。

【 0 0 1 7 】

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上であり、かつ少なくとも一方の屈折率が 2 以上であってもよい。

【 0 0 1 8 】

上記第 1 の接合用誘電体層は、 SiO_2 、 SiON 、 SiN 及び Al_2O_3 のいずれかからなり、上記第 2 の接合用誘電体層は上記第 1 の接合用誘電体層と同じ材料からなるものであってもよい。

【 0 0 1 9 】

上記第 1 の材料は SiO_2 であり、上記第 2 の材料は Si_3N_4 であってもよい。

【 0 0 2 0 】

上記第 1 の材料は Si_3N_4 であり、上記第 2 の材料は TiO_2 であってもよい。

【 0 0 2 1 】

上記第 1 の材料は SiO_2 であり、上記第 2 の材料は Ta_2O_5 であってもよい。

【 0 0 2 2 】

上記第 1 の材料は SiO_2 であり、上記第 2 の材料は TiO_2 であってもよい。

【 0 0 2 3 】

上記目的を達成するため、本技術に係る垂直共振器型面発光レーザ素子は、支持基板と、誘電体 D B R 層と、接合用誘電体層と、第 1 のコンタクト層と、活性層と、狭窄層と、半導体 D B R 層と、第 2 のコンタクト層からなる積層体を具備する。

上記誘電体 D B R 層は、上記支持基板上に設けられている。

上記接合用誘電体層は、上記誘電体 D B R 層上に設けられている。

上記第 1 のコンタクト層は、上記接合用誘電体層上に設けられている。

上記活性層は、上記第 1 のコンタクト層上に設けられている。

上記狭窄層は、上記活性層上に設けられている

上記半導体 D B R 層は、上記狭窄層上に設けられている。

上記第 2 のコンタクト層は、上記半導体 D B R 層上に設けられている。

【 0 0 2 4 】

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上であってもよい。

【 0 0 2 5 】

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の屈折率が 2 以上であってもよい。

【 0 0 2 6 】

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上であり、かつ少なくとも一方の屈折率が 2 以上であってもよい。

【 0 0 2 7 】

上記目的を達成するため、本技術に係る距離センサは、垂直共振器型面発光レーザ素子を具備する。

上記垂直共振器型面発光レーザ素子は、支持基板と、上記支持基板上の誘電体 D B R 層と、上記誘電体 D B R 層上の接合用誘電体層と、上記接合用誘電体層上の第 1 のコンタクト層と、上記第 1 のコンタクト層上の活性層と、上記活性層上の狭窄層と、上記狭窄層上

10

20

30

40

50

の半導体 D B R 層と、上記半導体 D B R 層上の第 2 のコンタクト層からなる積層体を備える。

【 0 0 2 8 】

上記目的を達成するため、本技術に係る電子機器は、垂直共振器型面発光レーザ素子を具備する。

上記垂直共振器型面発光レーザ素子は、支持基板と、上記支持基板上の誘電体 D B R 層と、上記誘電体 D B R 層上の接合用誘電体層と、上記接合用誘電体層上の第 1 のコンタクト層と、上記第 1 のコンタクト層上の活性層と、上記活性層上の狭窄層と、上記狭窄層上の半導体 D B R 層と、上記半導体 D B R 層上の第 2 のコンタクト層からなる積層体を備える。

10

【発明の効果】

【 0 0 2 9 】

以上のように、本技術によれば、伝導放熱性に優れた垂直共振器型面発光レーザ素子の製造方法、垂直共振器型面発光レーザ素子、距離センサ及び電子機器を提供することにある。

【図面の簡単な説明】

【 0 0 3 0 】

【図 1】本技術の実施形態に係る V C S E L 素子の断面図である。

【図 2】同 V C S E L 素子が備える誘電体 D B R 層の断面図である。

【図 3】配線を接続した同 V C S E L 素子の断面図である。

20

【図 4】各材料の屈折率及び熱伝導率を示す表である。

【図 5】同 V C S E L 素子が備える誘電体 D B R 層の積層構造を示す模式図である。

【図 6】同 V C S E L 素子(発光波長 8 4 0 n m) が備える誘電体 D B R 層の材料及び構造を示す表である。

【図 7】同 V C S E L 素子(発光波長 9 4 0 n m) が備える誘電体 D B R 層の材料及び構造を示す表である。

【図 8】同 V C S E L 素子(発光波長 8 4 0 n m) の反射率シミュレーション結果を示すグラフである。

【図 9】同 V C S E L 素子(発光波長 9 4 0 n m) の反射率シミュレーション結果を示すグラフである。

30

【図 1 0】同 V C S E L 素子の製造に用いられる第 1 基板の断面図である。

【図 1 1】同 V C S E L 素子の製造に用いられる第 2 基板の断面図である。

【図 1 2】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 3】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 4】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 5】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 6】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 7】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 8】同 V C S E L 素子の製造方法を示す模式図である。

【図 1 9】同 V C S E L 素子の製造方法を示す模式図である。

40

【図 2 0】同 V C S E L 素子の製造方法を示す模式図である。

【図 2 1】同 V C S E L 素子の製造方法を示す模式図である。

【図 2 2】本技術の実施形態に係る V C S E L 素子集積体の断面図である。

【図 2 3】同 V C S E L 素子集積体の製造方法を示す模式図である。

【図 2 4】同 V C S E L 素子集積体の製造方法を示す模式図である。

【図 2 5】同 V C S E L 素子集積体の製造方法を示す模式図である。

【発明を実施するための形態】

【 0 0 3 1 】

本技術の実施形態に係る V C S E L (Vertical Cavity Surface Emitting LASER : 垂直共振器型面発光レーザ) 素子について説明する。

50

【0032】

[VCSEL素子の構造]

図1は、本実施形態に係るVCSEL素子100の断面図である。同図に示すように、VCSEL素子100は、支持基板101、誘電体DBR層102、接合用誘電体層103、第1コンタクト層104、活性層105、狭窄層106、半導体DBR層107及び第2コンタクト層108がこの順で積層されて構成されている。

【0033】

支持基板101は、VCSEL素子100の各層を支持する。支持基板101は例えばSi、Ge、又は Al_2O_3 からなる。

【0034】

誘電体DBR層102は、誘電体からなるDBR (Distributed Bragg Reflector : 分布ブラッグ反射鏡) である。図2は、誘電体DBR層102を示す断面図である。同図に示すように誘電体DBR層102は、第1層102aと第2層102bを交互に積層して構成されている。第1層102aと第2層102bの層数は図示するものに限られない。誘電体DBR層102の厚みは例えば $3\mu m$ である。第1層102aの材料と第2層102bの詳細については後述する。

【0035】

接合用誘電体層103は、接合用誘電体層103の下層構造と上層構造を接合する。接合用誘電体層103は誘電体からなり、例えば SiO_2 、 $SiON$ 、 SiN 又は Al_2O_3 からなる。

【0036】

第1コンタクト層104は、n型GaAs等のn型半導体材料からなる。第1コンタクト層104の厚みは例えば $1\sim 2\mu m$ である。

【0037】

活性層105は、GaAs等からなりバンドギャップが小さい量子井戸層と、AlGaAs等からなりバンドギャップが大きい障壁層を交互に複数層積層して形成され、量子井戸を形成する。活性層105の厚みは例えば $0.3\mu m$ である。

【0038】

狭窄層106は、酸化領域106aと非酸化領域106bを備え、第1コンタクト層104と第2コンタクト層108の間に流れる電流に狭窄作用を付与する。

【0039】

酸化領域106aは酸化されたAlGaAs等からなり、導電性及び屈折率が小さく、光閉じ込め領域として機能する。非酸化領域106bは酸化されていないAlGaAs等からなり、酸化領域106aより導電性が大きく、電流注入領域として機能する。狭窄層106の厚みは例えば $0.15\mu m$ である。

【0040】

半導体DBR層107は、半導体からなるDBRである。半導体DBR層107は、屈折率が異なる第1層と第2層を交互に積層して構成されている。第1層は例えば $Al_xGa_{1-x}As$ からなり、第2層は例えば第1層とは組成が異なる $Al_xGa_{1-x}As$ からなる。第1層と第2層の積層数は特に限定されない。半導体DBR層107の厚みは例えば $3\mu m$ である。

【0041】

第2コンタクト層108は、p型GaAs等のp型半導体材料からなる。第2コンタクト層108の厚みは特に限定されないが、第2コンタクト層108はレーザが透過するため、薄い方が好適である。

【0042】

図3は、配線を接続したVCSEL素子100の断面図である。同図に示すように、第1コンタクト層104及び第2コンタクト層108上に電極109が形成され、VCSEL素子100の表面は、絶縁性材料からなる絶縁層110によって被覆されている。絶縁層110上にはパッド111が形成され、電極109とパッド111は配線112によっ

10

20

30

40

50

て接続されている。

【0043】

[VCSEL素子の動作]

VCSEL素子100は一般的なVCSEL素子と同様に動作する。即ち、第1コンタクト層104と第2コンタクト層108の間に電圧が印加されると、第1コンタクト層104と第2コンタクト層108の間に電流が流れる。

【0044】

電流は狭窄層106によって狭窄作用を受け、非酸化領域106bに注入される。この注入電流によって活性層105のうち非酸化領域106bに近接する領域において自然放出光が生じる。自然放出光はVCSEL素子100の積層方向(層に垂直方向)に進行し、誘電体DBR層102及び半導体DBR層107によって反射される。

10

【0045】

誘電体DBR層102及び半導体DBR層107は特定の波長(以下、発振波長)の光を反射するように構成されている。自然放出光のうち発振波長の成分は誘電体DBR層102及び半導体DBR層107の間で定在波を形成し、活性層105によって増幅される。注入電流が閾値を超えると定在波を形成する光がレーザ発振し、第2コンタクト層108を透過して出射される。

【0046】

[誘電体DBR層の材料について]

上述のように誘電体DBR層102は第1層102aと第2層102bが交互に積層されて構成されている。以下、第1層102aの材料を第1材料とし、第2層102bの材料を第2材料とする。

20

【0047】

第1材料と第2材料は、少なくともいずれか一方の熱伝導率が 10 W/mK 以上が好適である。また、第1材料と第2材料は少なくともいずれか一方の屈折率が2以上が好適である。さらに、第1材料と第2材料は少なくともいずれか一方の熱伝導率が 10 W/mK 以上かつ、少なくともいずれか一方の屈折率が2以上がより好適である。

【0048】

図4は、各種材料の屈折率と熱伝導率を示す表である。熱伝導率が 10 W/mK 以上の材料としては Si_3N_4 、 AlN 及び TiO_2 等が挙げられる。また、屈折率が2以上の材料としては、 Ta_2O_5 、 TiO_2 、 AlN 、 Si 及び GaAs 等が挙げられる。

30

【0049】

第1材料と第2材料の組み合わせとして、「第1材料/第2材料」と表記すると、 $\text{SiO}_2/\text{Ta}_2\text{O}_5$ 、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2/\text{TiO}_2$ 又は $\text{Si}_3\text{N}_4/\text{TiO}_2$ が好適である。

【0050】

図5は、誘電体DBR層102の積層構造を示す模式図である。同図に示すように、第1層102aと第2層102bは共に $\lambda/4$ に相当する厚みを有する。 λ はVCSEL素子100の発光波長であり、各材料の屈折率によって $\lambda/4$ に相当する厚みが決まる。1層ずつの第1層102aと第2層102bのペアを積層ペアとする。

40

【0051】

図6及び図7は、第1材料/第2材料の組み合わせと $\lambda/4$ 相当厚、反射率及び熱抵抗を示す表である。図6は、VCSEL素子100の発光波長 λ が 840 nm の場合、図7はVCSEL素子100の発光波長 λ が 940 nm の場合の表である。

【0052】

図8はVCSEL素子100の発光波長 λ が 840 nm の場合の反射率シミュレーション結果であり、図9はVCSEL素子100の発光波長 λ が 940 nm の場合の反射率シミュレーション結果である。

【0053】

図6に示すように、 $\text{SiO}_2/\text{Ta}_2\text{O}_5$ の場合、 SiO_2 の $\lambda/4$ 相当厚は 144 nm

50

であり、 Ta_2O_5 の $\lambda/4$ 相当厚は 117nm である。反射率を 99.96% とするためには積層ペア数を 20 とする必要があり、その場合の熱抵抗は $4.7 \times 10^{-6}\text{m}^2 \cdot \text{K} / \text{W}$ となり、誘電体DBR層 102 の熱抵抗を小さくすることができる。

【0054】

$\text{SiO}_2/\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2/\text{TiO}_2$ 及び $\text{Si}_3\text{N}_4/\text{TiO}_2$ の場合も図6及び図7に示すように、誘電体DBR層 102 の熱抵抗を小さくことができ、第1材料及び第2材料として好適である。

【0055】

なお、誘電体DBR層 102 は2種類の材料を交互積層したものに限られず、3種類以上の材料を交互に積層したものであってもよい。

10

【0056】

この場合であっても、誘電体DBR層 102 を構成する複数の材料は少なくともいずれか一つの熱伝導率が $10\text{W}/\text{mK}$ 以上が好適であり、また、同複数の材料は少なくともいずれか一つの屈折率が2以上が好適である。さらに、同複数の材料は少なくともいずれか一つの熱伝導率が $10\text{W}/\text{mK}$ 以上かつ、少なくともいずれか一つの屈折率が2以上がより好適である。

【0057】

[VCSEL素子の製造方法]

VCSEL素子 100 の製造方法について説明する。VCSEL素子 100 は第1基板と第2基板をそれぞれ作成し、接合することによって製造することが可能である。なお、以下の説明において上記VCSEL素子 100 の各層となる層にはVCSEL素子 100 の各層と同一の符号を付する。

20

【0058】

図10は、第1基板 210 を示す断面図である。同図に示すように、第1基板 210 は、支持基板 101 、誘電体DBR層 102 及び第1接合用誘電体層 211 が順に積層されて形成されている。

【0059】

誘電体DBR層 102 は、支持基板 101 上に第1層 $102a$ と第2層 $102b$ を交互に成膜して形成することができる。第1層 $102a$ と第2層 $102b$ の成膜はスパッタ法、CVD (chemical vapor deposition)法又はALD (Atomic Layer Deposition)法によって行うことが可能である。

30

【0060】

第1接合用誘電体層 211 は、上述の接合用誘電体層 103 と同一の材料のからなる層である。第1接合用誘電体層 211 は、誘電体DBR層 102 上にスパッタ法、CVD法又はALD法によって積層することが可能である。

【0061】

図11は、第2基板 220 を示す断面図である。同図に示すように、第2基板 220 は、半導体基板 221 、第2コンタクト層 108 、半導体DBR層 107 、狭窄層 106 、活性層 105 、第1コンタクト層 104 及び第2接合用誘電体層 222 が順に積層されて形成されている。

40

【0062】

第2コンタクト層 108 、半導体DBR層 107 、狭窄層 106 、活性層 105 及び第1コンタクト層 104 は、半導体基板 221 上にMOCVD (metal organic chemical vapor deposition)法によるエピタキシャル成長によって積層することができる。

【0063】

第2接合用誘電体層 222 は、上述の接合用誘電体層 103 と同一の材料からなる層である。第2接合用誘電体層 222 は、第1コンタクト層 104 上にスパッタ法、CVD法又はALD法によって積層することが可能である。

【0064】

図12乃至図21は、VCSEL素子 100 の製造プロセスを示す模式図である。図1

50

2に示すように、第1接合用誘電体層211及び第2接合用誘電体層222を原子レベルで平坦化する。この平坦化はCMP (chemical mechanical polishing) によって行うことができる。

【0065】

この際、VCSEL素子100として高い歩留まりを得るためには活性層105に光共振の「腹」が存在する必要がある。第1接合用誘電体層211及び第2接合用誘電体層222の膜厚ばらつきは50nm程度以下とする必要がある。このため、第1基板220と第2基板220の全体の厚みを計測しながら、平坦化を精密に制御した方がよい。

【0066】

続いて、第1接合用誘電体層211及び第2接合用誘電体層222にプラズマを照射する。プラズマ照射により第1接合用誘電体層211及び第2接合用誘電体層222においてダングリングボンドが形成される。さらに、図13に示すように、第1基板210と第2基板220を、第1接合用誘電体層211と第2接合用誘電体層222が隣接するように対向させ、図14に示すように第1基板210と第2基板220を当接させる。

【0067】

これにより、図15に示すように、第1接合用誘電体層211と第2接合用誘電体層222が接合(常温プラズマ接合)され、接合用誘電体層103が形成される。このようにして第1基板210と第2基板220の接合体230が形成される。

【0068】

続いて、接合体230に対してアニールを行い、第1接合用誘電体層211と第2接合用誘電体層222の接合を強化する。具体的にはこのアニールにより、上記プラズマ照射により形成されたダングリングボンドが結合を生じる。

【0069】

続いて、半導体基板221を薄化し、図16に示すように第2コンタクト層108を残して除去する。さらに、図17に示すように、第2コンタクト層108、半導体DBR層107、狭窄層106、活性層105及び第1コンタクト層104の一部を除去してメサパスト形状を形成する。

【0070】

続いて、図18に示すように狭窄層106の一部に酸化処理を施し、酸化領域106aと非酸化領域106bを形成する。

【0071】

続いて、図19に示すように、第1コンタクト層104上と第2コンタクト層108上に電極109を形成する。さらに、絶縁層110、パッド111及び配線112を形成する(図3参照)。

【0072】

VCSEL素子100は以上のようにして製造することができる。なお、上記説明では、半導体基板221上に第2コンタクト層108を形成するとしたが、第2コンタクト層108は接合後に形成してもよい。

【0073】

この場合、図20に示すように半導体基板221上に直接半導体DBR層107を積層したものを第2基板220とし、図21に示すように半導体基板221を薄化する。さらに薄化された半導体基板221に不純物をドーピングして図16に示す第2コンタクト層108とすることができる。

【0074】

[VCSEL素子による効果について]

VCSEL素子100は以上のような構成を有する。上記のようにVCSEL素子100は第1基板210と第2基板220が接合用誘電体層103を介して接合され、形成されている。接合用誘電体層103は、SiO₂等の熱伝導率が高い誘電体材料からなり、VCSEL素子100の伝導放熱性を大きくすることが可能である。

【0075】

10

20

30

40

50

さらに、誘電体 D B R 層 1 0 2 の材料（第 1 材料及び第 2 材料）を上述の材料とすることにより、誘電体 D B R 層 1 0 2 による熱抵抗小さくし、V C S E L 素子 1 0 0 の伝導放熱性をより向上させることが可能である。

【 0 0 7 6 】

V C S E L 素子 1 0 0 は、スマートフォン等の各種電子機器において顔認証等に用いられる距離センサの発光素子として利用することが可能である。

【 0 0 7 7 】

[V C S E L 集積体について]

V C S E L 素子 1 0 0 は集積体とすることも可能である。図 2 2 は、V C S E L 素子の集積体である V C S E L 集積体 3 0 0 の断面図である。

10

【 0 0 7 8 】

同図に示すように V C S E L 集積体 3 0 0 は、複数の V C S E L 素子 3 1 0 を備える。個々の V C S E L 素子 3 1 0 は V C S E L 素子 1 0 0 と同一の層構造を有し、支持基板 1 0 1、誘電体 D B R 層 1 0 2 及び接合用誘電体層 1 0 3 は複数の V C S E L 素子 3 1 0 の間で共通となっている。

【 0 0 7 9 】

V C S E L 素子 3 1 0 の数や配列は特に限定されず、一次元アレイや二次元アレイとすることができる。V C S E L 素子 3 1 0 を集積させることにより、高出力レーザを形成することが可能である。

【 0 0 8 0 】

20

[V C S E L 集積体の製造方法について]

V C S E L 集積体 3 0 0 の製造方法について説明する。V C S E L 集積体 3 0 0 は、V C S E L 素子 1 0 0 と同様の製造プロセスによって製造することが可能である。即ち、第 1 基板 2 1 0 と第 2 基板 2 2 0 を接合し（図 1 0 乃至図 1 5 参照）、半導体基板 2 2 1 を薄化した（図 1 6 参照）後、メサポスト形状を形成する（図 1 7 参照）。

【 0 0 8 1 】

この際、互いに離間する複数のメサポストを形成し、酸化領域 1 0 6 a 及び非酸化領域 1 0 6 b を形成（図 1 8 参照）することにより、個々のメサポストをそれぞれ V C S E L 素子 3 1 0 とすることができる。1 枚ずつの第 1 基板 2 1 0 と第 2 基板 2 2 0 を接合した接合体 2 3 0 から複数の V C S E L 素子 3 1 0 を備える V C S E L 集積体 3 0 0 を製造することが可能である。

30

【 0 0 8 2 】

図 2 3 乃至図 2 5 は V C S E L 集積体 3 0 0 の配線及び埋め込み膜の形成方法を示す模式図である。図 2 3 に示すように、V C S E L 集積体 3 0 0 上に埋め込み膜 3 2 1 を成膜する。埋め込み膜 3 2 1 は例えば S i O₂ とすることができ、C V D 等によって成膜することができる。

【 0 0 8 3 】

また埋め込み膜 3 2 1 は、無機水ガラスを S O G（Spin on Glass）等によって形成してもよく、B C B（ベンゼンシクロブテン）又はポリイミド等の有機高分子をスピニング形成してもよい。埋め込み膜 3 2 1 の厚みは V C S E L 素子 3 1 0 の高さ（接合用誘電体層 1 0 3 から第 2 コンタクト層 1 0 8 までの高さ）の 1 . 5 倍程度が好適である。

40

【 0 0 8 4 】

続いて、図 2 4 に示すように埋め込み膜 3 2 1 を平坦化する。平坦化は例えば C M P によって行うことができる。続いて、埋め込み膜 3 2 1 にコンタクトホールを形成し、図 2 5 に示すように、電極 3 2 2 及び配線 3 2 3 を形成する。以上のようにして V C S E L 集積体 3 0 0 に配線及び埋め込み膜を形成することができる。

【 0 0 8 5 】

埋め込み膜 3 2 1 により V C S E L 集積体 3 0 0 の表面を平坦化し、配線 3 2 3 の形成を容易とすることで、配線歩留まりを向上させることが可能である。

【 0 0 8 6 】

50

[光電子集積回路について]

誘電体 DBR 層 102 に回折格子を設けることにより、VCSEL 素子 100 によって光電子集積回路を構成することも可能である。この場合、第 1 基板 210 (図 10 参照) において誘電体 DBR 層 102 を形成後、誘電体 DBR 層 102 に回折格子を形成し、その上に第 1 接合用誘電体層 211 を設ければよい。VCSEL 素子 100 において生成されたレーザはこの回折格子によって光集積化回路内へ誘導される。

【0087】

なお、本技術は以下のような構成もとることができる。

【0088】

(1)

支持基板上に、誘電体 DBR (Distributed Bragg Reflector) 層及び第 1 の接合用誘電体層を順に積層して第 1 の基板を作成し、

半導体基板上に、半導体 DBR 層、電流狭窄層、活性層、コンタクト層及び第 2 の接合用誘電体層を順に積層して第 2 の基板を作成し、

上記第 1 の接合用誘電体層と上記第 2 の接合用誘電体層を接合し、

上記第 1 の基板と上記第 2 の基板の接合体をアニールする

垂直共振器型面発光レーザ素子の製造方法。

【0089】

(2)

上記(1)に記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第 1 の接合用誘電体層と上記第 2 の接合用誘電体層を接合する工程では、上記第 1 の接合用誘電体層及び上記第 2 の接合用誘電体層にプラズマを照射した後、上記第 1 の接合用誘電体層と上記第 2 の接合用誘電体層を接合させるプラズマ接合を行う

垂直共振器型面発光レーザ素子の製造方法。

【0090】

(3)

上記(1)又は(2)に記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記誘電体 DBR 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上である

垂直共振器型面発光レーザ素子の製造方法。

【0091】

(4)

上記(1)又は(2)に記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記誘電体 DBR 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子の製造方法。

【0092】

(5)

上記(1)又は(2)に記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記誘電体 DBR 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 10 W/mK 以上であり、かつ少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子の製造方法。

【0093】

(6)

上記(1)から(5)のうちいずれか一つに記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第 1 の接合用誘電体層は、 SiO_2 、 SiON 、 SiN 及び Al_2O_3 のいずれかか

10

20

30

40

50

らなり、

上記第2の接合用誘電体層は上記第1の接合用誘電体層と同じ材料からなる
垂直共振器型面発光レーザ素子の製造方法。

【0094】

(7)

上記(1)から(6)のうちいずれか一つ記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第1の材料は SiO_2 であり、

上記第2の材料は Si_3N_4 である

垂直共振器型面発光レーザ素子の製造方法。

10

【0095】

(8)

上記(1)から(6)のうちいずれか一つ記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第1の材料は Si_3N_4 であり、

上記第2の材料は TiO_2 である

垂直共振器型面発光レーザ素子の製造方法。

【0096】

(9)

上記(1)から(6)のうちいずれか一つ記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第1の材料は SiO_2 であり、

上記第2の材料は Ta_2O_5 である

垂直共振器型面発光レーザ素子の製造方法。

20

【0097】

(10)

上記(1)から(6)のうちいずれか一つ記載の垂直共振器型面発光レーザ素子の製造方法であって、

上記第1の材料は SiO_2 であり、

上記第2の材料は TiO_2 である

垂直共振器型面発光レーザ素子の製造方法。

30

【0098】

(11)

支持基板と、

上記支持基板上の誘電体DBR層と、

上記誘電体DBR層上の接合用誘電体層と、

上記接合用誘電体層上の第1のコンタクト層と、

上記第1のコンタクト層上の活性層と、

上記活性層上の狭窄層と、

上記狭窄層上の半導体DBR層と、

上記半導体DBR層上の第2のコンタクト層

からなる積層体を具備する垂直共振器型面発光レーザ素子。

40

【0099】

(12)

上記(11)に記載の垂直共振器型面発光レーザ素子であって、

上記誘電体DBR層は、第1の材料からなる第1の層と第2の材料からなる第2の層を交互に積層して構成され、上記第1の層と上記第2の層は少なくとも一方の熱伝導率が 10 W/mK 以上である

垂直共振器型面発光レーザ素子。

【0100】

50

(1 3)

上記(1 1)に記載の垂直共振器型面発光レーザ素子であって、

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子。

【 0 1 0 1 】

(1 4)

上記(1 1)に記載の垂直共振器型面発光レーザ素子であって、

上記誘電体 D B R 層は、第 1 の材料からなる第 1 の層と第 2 の材料からなる第 2 の層を交互に積層して構成され、上記第 1 の層と上記第 2 の層は少なくとも一方の熱伝導率が 1 0 W / m K 以上であり、かつ少なくとも一方の屈折率が 2 以上である

垂直共振器型面発光レーザ素子。

【 0 1 0 2 】

(1 5)

支持基板と、上記支持基板上の誘電体 D B R 層と、上記誘電体 D B R 層上の接合用誘電体層と、上記接合用誘電体層上の第 1 のコンタクト層と、上記第 1 のコンタクト層上の活性層と、上記活性層上の狭窄層と、上記狭窄層上の半導体 D B R 層と、上記半導体 D B R 層上の第 2 のコンタクト層からなる積層体を備える垂直共振器型面発光レーザ素子

を具備する距離センサ。

【 0 1 0 3 】

(1 6)

支持基板と、上記支持基板上の誘電体 D B R 層と、上記誘電体 D B R 層上の接合用誘電体層と、上記接合用誘電体層上の第 1 のコンタクト層と、上記第 1 のコンタクト層上の活性層と、上記活性層上の狭窄層と、上記狭窄層上の半導体 D B R 層と、上記半導体 D B R 層上の第 2 のコンタクト層からなる積層体を備える垂直共振器型面発光レーザ素子

を具備する電子機器。

【符号の説明】

【 0 1 0 4 】

1 0 0 ... V C S E L 素子

1 0 1 ... 支持基板

1 0 2 ... 誘電体 D B R 層

1 0 2 a ... 第 1 層

1 0 2 b ... 第 2 層

1 0 3 ... 接合用誘電体層

1 0 4 ... 第 1 コンタクト層

1 0 5 ... 活性層

1 0 6 ... 狭窄層

1 0 6 a ... 酸化領域

1 0 6 b ... 非酸化領域

1 0 7 ... 半導体 D B R 層

1 0 8 ... 第 2 コンタクト層

2 1 0 ... 第 1 基板

2 1 1 ... 第 1 接合用誘電体層

2 2 0 ... 第 2 基板

2 2 1 ... 半導体基板

2 2 2 ... 第 2 接合用誘電体層

2 3 0 ... 接合体

3 0 0 ... V C S E L 集積体

3 1 0 ... V C S E L 素子

10

20

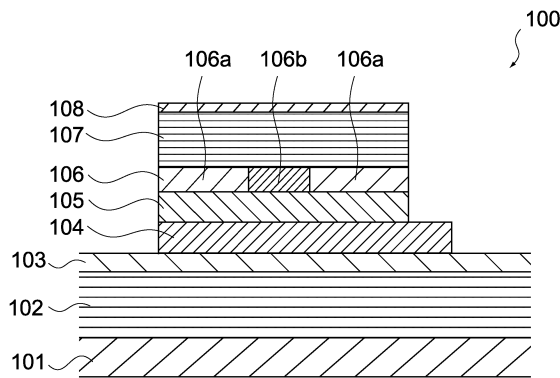
30

40

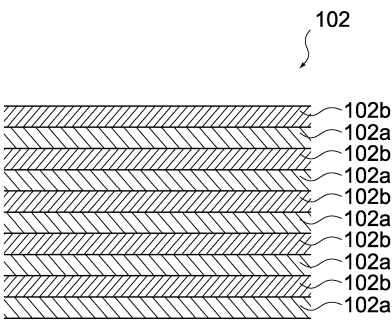
50

【図面】

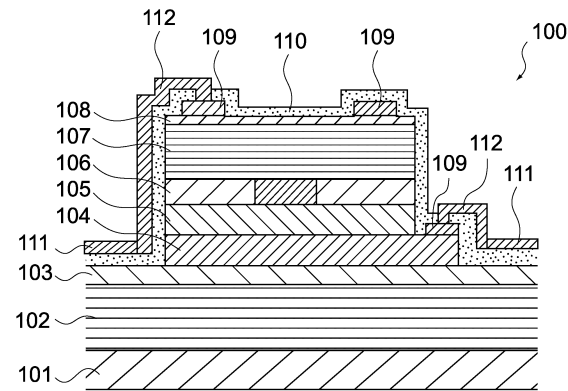
【図 1】



【図 2】



【図 3】



【図 4】

	屈折率 @840nm	熱伝導率 (W/mK)
SiO ₂	1.48	1.1
Si ₃ N ₄	1.8	16-33
Ta ₂ O ₅	2.1	1.1
TiO ₂	2.5-2.7	4.8-11.8
Al ₂ O ₃	1.77	2.23
AlN	2.165	200
BCB	1.541	0.3
空気	1	0.024
Si	3.7	
GaAs	5.1	

10

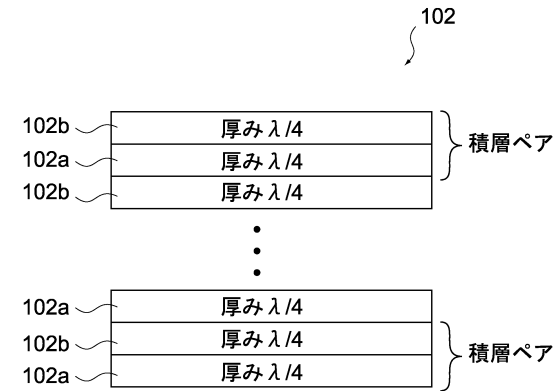
20

30

40

50

【図 5】



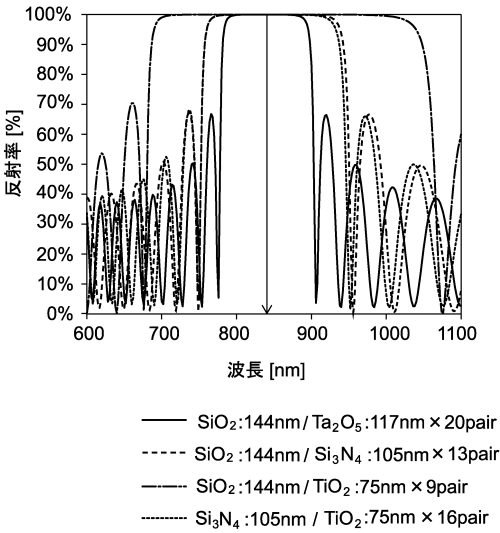
【図 6】

第1材料/第2材料 と $\lambda/4$ 相当厚(nm)	SiO ₂	Ta ₂ O ₅	Si ₃ N ₄	TiO ₂	積層ペア数	反射率	熱抵抗 [m ² ·K/W]
$\lambda/4$ for SiO ₂ / Ta ₂ O ₅	144	117			20	99.96%	4.7×10^{-6}
$\lambda/4$ for SiO ₂ / Si ₃ N ₄	144		105		13	99.98%	1.8×10^{-6}
$\lambda/4$ for SiO ₂ / TiO ₂	144			75	9	99.99%	1.6×10^{-6}
$\lambda/4$ for Si ₃ N ₄ / TiO ₂			105	75	16	99.96%	9.4×10^{-7}

【図 7】

第1材料/第2材料 と $\lambda/4$ 相当厚(nm)	SiO ₂	Ta ₂ O ₅	Si ₃ N ₄	TiO ₂	積層ペア数	反射率	熱抵抗 [m ² ·K/W]
$\lambda/4$ for SiO ₂ / Ta ₂ O ₅	161	131			13	99.97%	3.4×10^{-6}
$\lambda/4$ for SiO ₂ / Si ₃ N ₄	161		118		13	99.98%	1.9×10^{-6}
$\lambda/4$ for SiO ₂ / TiO ₂	161			84	9	99.99%	1.8×10^{-6}
$\lambda/4$ for Si ₃ N ₄ / TiO ₂			118	84	17	99.97%	1.1×10^{-6}

【図 8】



10

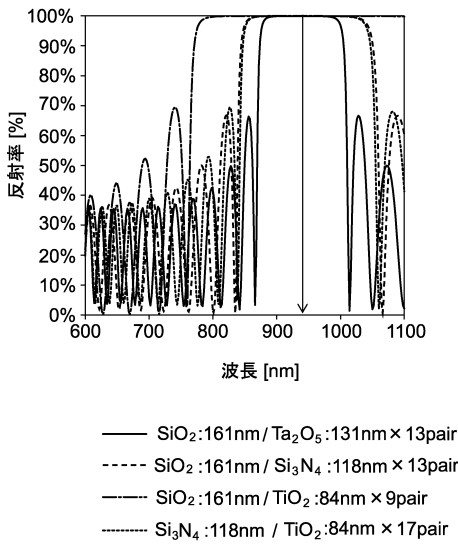
20

30

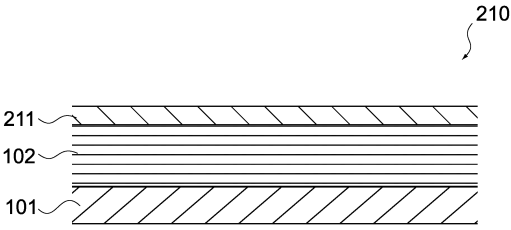
40

50

【図 9】

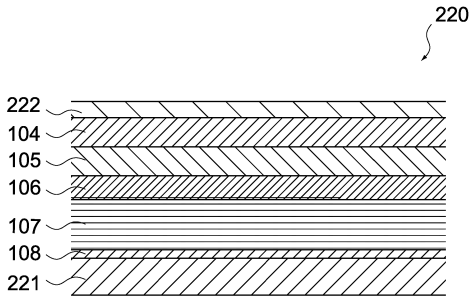


【図 10】

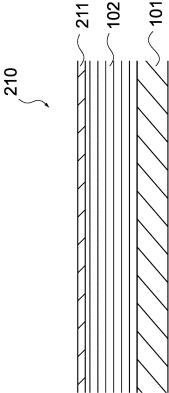


10

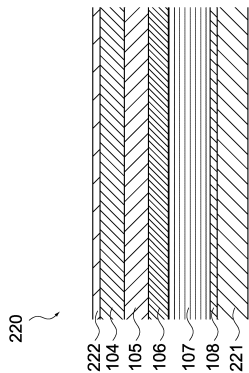
【図 11】



【図 12】



20

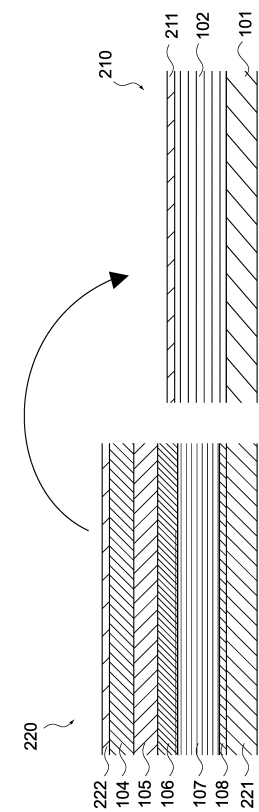


30

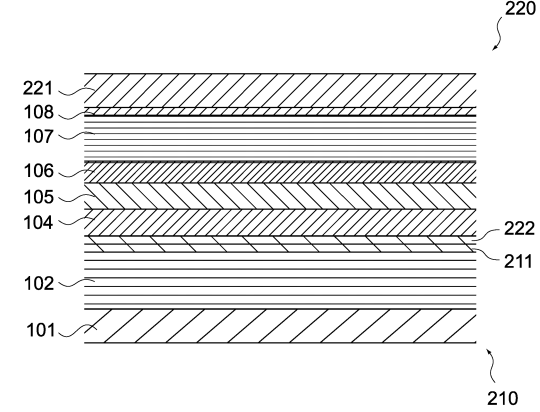
40

50

【図 1 3】



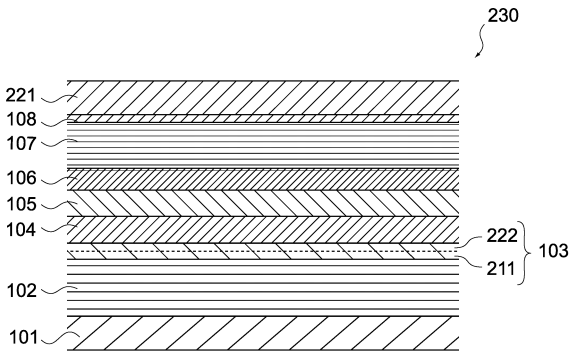
【図 1 4】



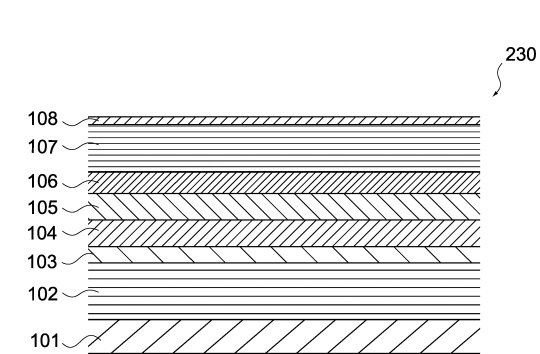
10

20

【図 1 5】



【図 1 6】

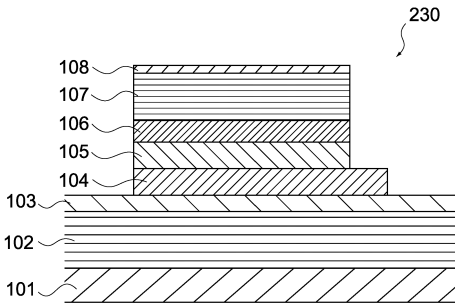


30

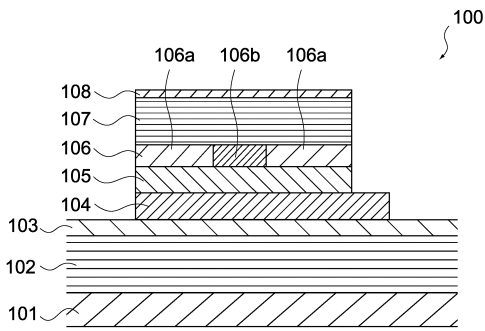
40

50

【図 17】

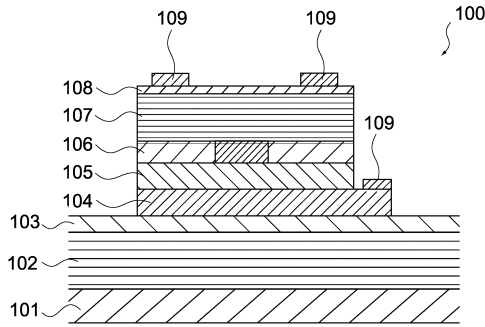


【図 18】

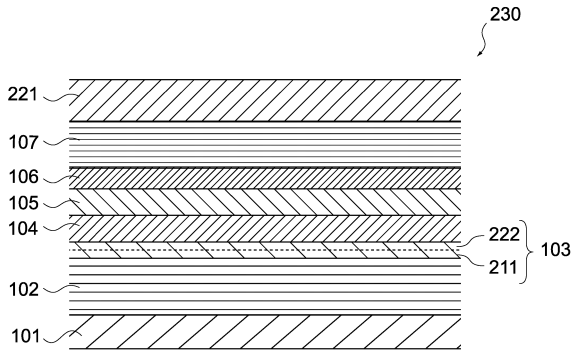


10

【図 19】



【図 20】



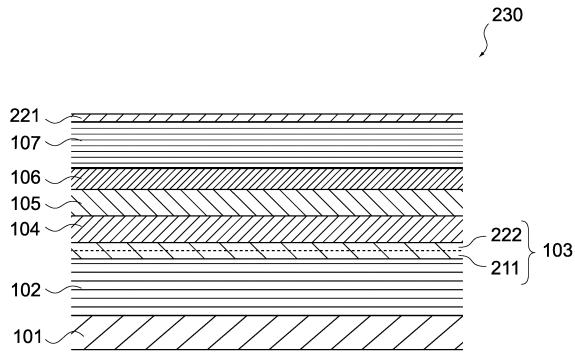
20

30

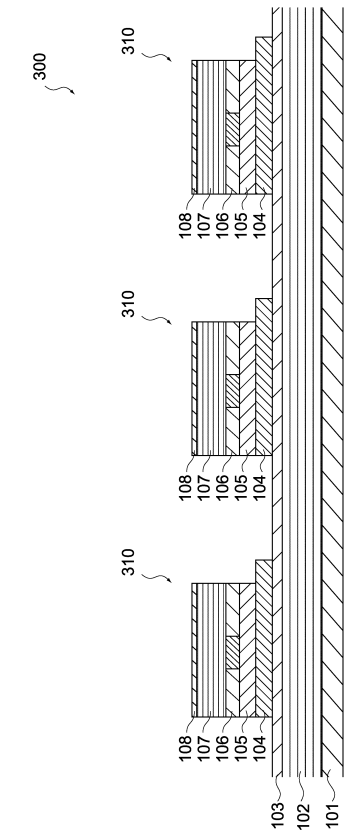
40

50

【図 2 1】



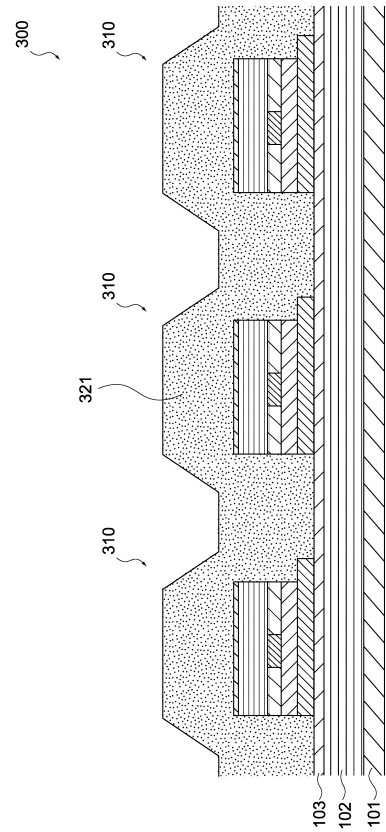
【図 2 2】



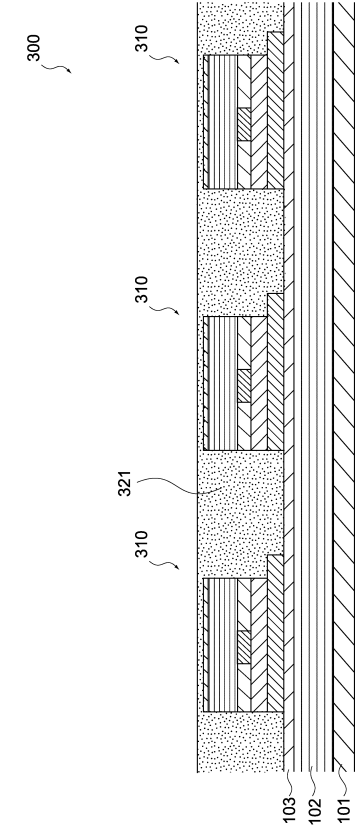
10

20

【図 2 3】



【図 2 4】

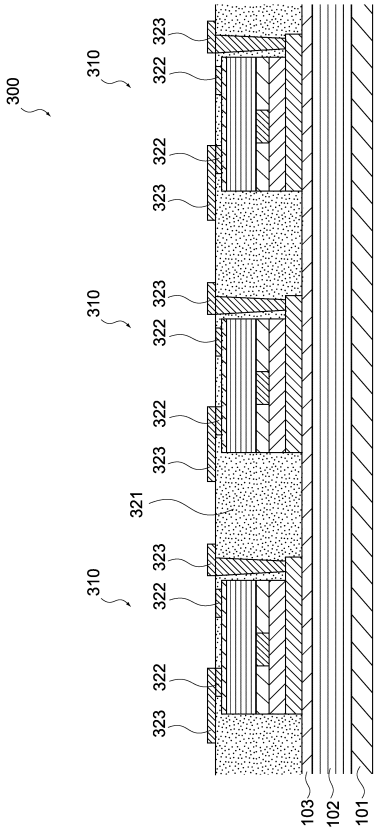


30

40

50

【図 25】



10

20

30

40

50

フロントページの続き

弁理士 関根 正好
(74)代理人 100168745
弁理士 金子 彩子
(74)代理人 100176131
弁理士 金山 慎太郎
(74)代理人 100197398
弁理士 千葉 絢子
(74)代理人 100197619
弁理士 白鹿 智久
(72)発明者 木村 秀樹
神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内
審査官 佐竹 政彦
(56)参考文献 特開 2 0 0 6 - 3 5 1 7 9 8 (J P , A)
特開 2 0 0 4 - 1 4 0 0 0 7 (J P , A)
米国特許出願公開第 2 0 0 5 / 0 1 0 0 0 6 9 (U S , A 1)
特開 2 0 1 2 - 1 6 9 4 8 1 (J P , A)
特開 2 0 1 5 - 1 3 5 8 7 7 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
H 0 1 S 5 / 0 0 - 5 / 5 0