

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3951815号
(P3951815)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl. F I
 HO 1 L 21/8238 (2006.01) HO 1 L 27/08 3 2 1 A
 HO 1 L 27/092 (2006.01) HO 1 L 27/08 3 3 1 G
 HO 1 L 27/08 (2006.01)

請求項の数 4 (全 14 頁)

<p>(21) 出願番号 特願2002-168131 (P2002-168131) (22) 出願日 平成14年6月10日(2002.6.10) (65) 公開番号 特開2004-6555 (P2004-6555A) (43) 公開日 平成16年1月8日(2004.1.8) 審査請求日 平成16年10月14日(2004.10.14) (31) 優先権主張番号 特願2001-175579 (P2001-175579) (32) 優先日 平成13年6月11日(2001.6.11) (33) 優先権主張国 日本国(JP) (31) 優先権主張番号 特願2002-117571 (P2002-117571) (32) 優先日 平成14年4月19日(2002.4.19) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号 (74) 代理人 100133167 弁理士 山本 浩 (72) 発明者 神保 信一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (72) 発明者 齋藤 順 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 審査官 瀧内 健夫</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、該半導体基板上の第2導電型の半導体領域と、該第2導電型の半導体領域から第1導電型の半導体基板に達するトレンチを有し、該トレンチによって、前記半導体領域を第1と第2の領域に分離し、第1と第2の領域の少なくとも一方に、第1導電型ドレイン領域と第1導電型ソース領域を形成しての第1導電型MOSと、前記半導体領域に形成した第1導電型領域内に第2導電型ドレイン領域と第2導電型ソース領域を形成しての第2導電型MOSとを有し、かつ前記第1と第2の領域の一方が浮遊電位を基準とする回路領域であり、他方が最低電位を基準とする回路領域である半導体装置において、前記トレンチ内に高濃度第1導電型領域又は埋め込みのポリシリコンを形成し、
 該高濃度第1導電型領域又はポリシリコンを前記最低電位を基準とする回路領域の最低電位に電気的に接続していることを特徴とする半導体装置。

10

【請求項2】

第1導電型の半導体基板と、該半導体基板上の第2導電型の第1と第2の半導体領域と、該第2導電型の第1と第2の半導体領域の間であって第1と第2の半導体領域より深く、かつ第1導電型の半導体基板に形成したトレンチを有し、第1と第2の半導体領域の少なくとも一方に、第1導電型ドレイン領域と第1導電型ソース領域を形成しての第1導電型MOSと、前記半導体領域に形成した第1導電型領域内に第2導電型ドレイン領域と第2導電型ソース領域を形成しての第2導電型MOSとを有し、かつ前記第1と第2の半導体領域の一方が浮遊電位を基準とする回路領域であり、他方が最低電位を基準とする回路領

20

域である半導体装置において、前記トレンチ内に高濃度第1導電型領域又は埋め込みのポリシリコンを形成し、該高濃度第1導電型領域又はポリシリコンを前記最低電位を基準とする回路領域の最低電位に電氣的に接続していることを特徴とする半導体装置。

【請求項3】

前記浮遊電位を基準とする回路領域の周囲に、前記トレンチ構造と接する高耐圧接合終端構造を有することを特徴とする請求項1記載の半導体装置。

【請求項4】

前記浮遊電位を基準とする回路領域の周囲に、該回路領域と接し、かつ前記トレンチ構造とは接しない高耐圧接合終端構造を有することを特徴とする請求項2記載の半導体装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、電源装置等の制御駆動用に高耐圧ドライバとして使用される集積回路の半導体装置に関する。

【0002】

【従来の技術】

従来、電源装置等の制御駆動用に高耐圧ドライバとして使用される集積回路では、高電位部と低電位部を分離する構造が採用されている。

上記の分離構造としては、pn接合を用いる接合分離構造と、SiO₂などの誘電体を用いる誘電体分離構造が一般的である。

20

【0003】

上記の接合分離構造では、例えば、p型基板を用いる場合に、その表面に低濃度のn型のエピタキシャル層を形成したウエハを用い、そのエピタキシャル層に深いp型層の拡散をなさしめてpn接合によって3次的にn層の島を形成し、その中にCMOSにより構成するドライバ回路などを造り込む。このn層の島(n層領域)とp型基板に逆バイアス電圧を印加することで、接合容量によってn層の島を電氣的に分離して、高耐圧を実現することができる。

【0004】

また、上記の誘電体分離構造では、例えば、シリコン基板上に選択的に形成したSiO₂によって電氣的に分離されたシリコン領域に回路を構成するもので、分離されたシリコン領域毎に異なる基準電位で動作をさせて、高耐圧を実現することができる。

30

特許出願を遡及調査すると、特開平9-55498号公報には、従来の接合分離構造で用いていたエピタキシャルウエハを使用せずに、通常のシリコンウエハを用い、プレーナ接合のみによって接合分離を行う方法、即ち、一種の自己分離構造とも見なせる分離構造が開示されている。

【0005】

また、特開2000-58673号公報には、接合分離とトレンチ分離との組み合わせ構造が開示されている

さらに、トレンチの表面に沿って絶縁層が形成されるタイプのトレンチ分離構造も開示されている。

40

なお、上記の接合分離構造においては、基板表面に現れるpn接合の電界集中を緩和する必要があるが、そのための一般的な構成として、RESURF (Reduced Surface electric field) 構造が用いられている。

【0006】

この構造は、分離されたn型領域とp型基板との間に逆バイアスが加わると、プレーナ接合の底部に当たる平行平板接合は、基板面に対して平行に空乏層が広がるのに対して、この領域の端部では、一般的に空乏層が広がりやすく、電界が集中し易いため、このn型領域の濃度を低めに設定することにより、該端部を空乏化し易くするものである。

【0007】

また、他の構造として、ダブルRESURF構造も用いられている。この構造は、単純

50

なシングルRESURF構造と比べて、n型領域端部の表面に低濃度のp⁻領域が追加されていることが特徴である。この構造で、分離されたn型領域と基板との間に逆バイアスが加わると、このn型領域端部では表面側のp⁻領域及びp⁻基板の両方の界面から空乏層が広がっていく。

【0008】

以下、上記のダブルRESURF構造を有する集積回路の具体的な構造例と、その動作について説明する。

図9は、従来の集積回路（高耐圧ドライバ）の1構造例を示す平面図である。

図9に示す高耐圧ドライバは、ダブルRESURF構造を有する。

高耐圧ICチップ90上には、3相の上アーム（U、V、W）分の浮遊電位基準回路形成領域901と、GND基準回路形成領域902が形成されている。 10

【0009】

また、浮遊電位基準回路形成領域901は、高耐圧接合終端構造903でそれぞれ囲まれている。

図10は、従来の集積回路（図9）の線分B-B'で示す箇所での断面の構造を示す断面図である。

図11は、従来の集積回路（図9）の線分C-C'で示す箇所での断面の構造を示す断面図である。

【0010】

図10、11に示す従来の集積回路では、p⁻基板910の表面層のn領域92（U相）に浮遊電位基準回路を構成するための浮遊電位基準回路形成領域901を形成しており、また、n領域702にGND基準回路を構成するためのGND基準回路形成領域902を形成している。 20

n領域92、702には、それぞれ、制御回路を構成するための種々の半導体装置を含んでいる。このような半導体装置として、図10、11では、1個のP-MOS（PチャネルMOSトランジスタ）と、1個のN-MOS（NチャネルMOSトランジスタ）を、それぞれの領域に例示している。

【0011】

n領域702の符号V_{cc}は、図示しない下アーム電源の配線を示し、GND（接地）に対する配線V_{cc}の電位は、任意であるが、例えば、10～20（V）程度に設定されることもある。 30

n領域92の周囲には、高耐圧接合終端構造903が形成されているが、該高耐圧接合終端構造903は、n領域92に接しているn領域98に形成される。

【0012】

上記のn領域98は、n領域92と同一プロセスで同時に形成されることもある。

n領域92において、符号V_{UL}は、浮遊電位基準回路の基準電位を示し、符号V_{UH}は、浮遊電位基準回路の電源電位を示す。電源（上アーム電源）の電圧は、電位V_{UH}と電位V_{UL}との電位差、即ち、（V_{UH} - V_{UL}）で与えられ、任意の例えば、10～20（V）程度に設定される。 40

【0013】

基準電位V_{UL}を有する配線は、この高耐圧ドライバが駆動する図示しない上下アームの2個のIGBT（Insulator Gate Bipolar Transistor）の midpoint（より具体的には、上アームIGBTのエミッタと下アームIGBTのコレクタの接続点）に配線で接続されており、これらのIGBTのスイッチングに応じて、600（V）仕様では、0～600（V）、1200（V）仕様では、0～1200（V）程度まで激しく変動する。この際の電圧V_{UL}の変化率dV/dtは、1万～2万（V/μs）程度にまで達することがある。

【0014】

なお、図9は、3相ドライバICの場合を示しているが、この場合、p⁻基板910上に、n領域92（U相）と同様の浮遊電位基準回路を有するn型の領域（V相、W相）が、他に2つ存在するが、これらのn領域においても、n領域92と同様に、基準電位V_{UL} 50

、 V_{WL} は、IGBTのスイッチングに応じて激しく変動する。

【0015】

【発明が解決しようとする課題】

ところで、上記従来の集積回路に形成されているpn接合の各々には、接合容量が存在するので、一種のコンデンサが形成されていることになる。

この一つのコンデンサの容量値をCとすると、そのコンデンサに急峻な変化(dV/dt)波形を伴う電圧を印加する時、 $C \times dV/dt$ なる充電電流(変位電流)がpn接合の接合面全面に流れることになり、該充電電流が、後述する図10、11の符号911、912で例示するような寄生トランジスタを動作させ、回路の誤動作や素子破壊を引き起こす場合が有るといった問題点が有った。

10

【0016】

図12は、従来の集積回路(図9)の線分B-B'で示す断面の構造にラッチアップ電流の1例を加えた断面図である。

図13は、図9に示す従来の集積回路の線分C-C'で示す箇所の断面の構造にラッチアップ電流の1例を加えた断面図である。

従来、自己分離構造の場合、図12、13に例示するような寄生サイリスタ(p領域93、n領域92、p⁻基板910およびn領域702)のラッチアップ電流(太い矢印部分)が流れる可能性があった。

【0017】

図14は、ラッチアップ電流を防止する手段を備えた従来の集積回路の線分B-B'で示す箇所の構造を示す断面図である。

20

これまでは、図14に示すように、デバイスを形成している拡散層の周囲に深いガードリングを、イオン注入と熱拡散の手段により形成していたが、深いガードリングを得るには、横方向にも拡散層が広がることを考慮し、デバイスを形成している拡散層の間隔を広げておく必要があった。

【0018】

このような事情は、チップサイズの拡大を招くので、好ましい対策ではなかった。

また、誘電体分離構造の場合は、寄生サイリスタや寄生トランジスタが存在しないので、上記の寄生動作は生じないが、ウエハのプロセスコストが高くなるといった欠点を有していた。

30

【0019】

さらに、接合分離構造の場合は、エピタキシャルウエハを使用するため、不純物濃度や分離領域の深さの調整が自己分離構造の場合よりも容易であり、これにより、寄生動作が生じない構造にすることも可能であるが、やはり、ウエハのプロセスコストが自己分離構造よりも高くなるといった欠点を有していた。

なお、特開2000-58673号公報により開示されている接合分離とトレンチ分離との組合せ構造については、1チップ上で、高電位部と低電位部の間で600~1200(V)クラスの分離が必要な高耐压ICに適用可能な技術ではなかった。

【0020】

また、従来のトレンチ分離では、トレンチの表面に沿って絶縁層が形成されたタイプのみが開示されているが、本発明に係る半導体装置のように、トレンチ表面の導電膜またはトレンチに埋め込まれたポリシリコンが、トレンチ周辺のP⁻基板と電氣的な接触を有するタイプについては開示されていない。

40

本発明は、以上のような従来の集積回路における問題点に鑑みてなされたものであり、誤動作や素子破壊が生じ難い高耐压ドライバとして使用することができる半導体装置を提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明では上記の課題を解決するために、2種類の集積回路構造を用意している。即ち、「自己分離構造とトレンチ分離(トレンチ構造に依る電氣的な分離)との組合せによる

50

集積回路構造」と、「接合分離構造とトレンチ分離との組合せによる集積回路構造」との2種類である。

【0022】

最初に、上記の「自己分離構造とトレンチ分離との組合せによる集積回路構造」について説明する。

この構造では、まず、異なる電位を持つ可能性のある拡散層の周囲（例えば、高耐圧接合終端構造とGND基準回路形成領域の周囲）のp⁻基板の表面層に深いトレンチ（溝）を形成する。

【0023】

その後、上記のトレンチに関し、下記の（1）または（2）の手段を実行する。

（1）p⁻基板の表面層に形成した上記トレンチの内壁に、高濃度のp⁺型領域を形成する。また、その領域の表面に金属膜などの導電膜（一種の電極）を形成すると共に、該導電膜の電位を上記トレンチ周辺のp⁻基板の電位（即ち、GNDの電位）と同電位となるように該導電膜を接地している。これにより、上記導電膜の電位（即ち、上記高濃度のp⁺型拡散層の電位）が、例えばGND基準回路形成領域のような領域のV_{cc}電位よりも低いGND電位に保たれるようにしている。

【0024】

（2）上記トレンチに高濃度のp⁺型シリコンを埋め込んだ後に熱処理を行うことによって電気抵抗を下げてp⁻基板と上記の高濃度のp⁺型シリコンの電氣的な接続を高めている。かつ上記の高濃度のp⁺型シリコンの表面に電極を配し、該電極の電位を上記トレンチ周辺のp⁻基板の電位（即ち、GNDの電位）と同電位となるように該電極を接地している。これにより、上記高濃度のp⁺型シリコンの電位が、例えばGND基準回路形成領域を構成しているn型の領域202の電位よりも低く保たれるようにしている。

【0025】

次に、上記の「接合分離構造とトレンチ分離との組み合わせによる集積回路構造」について説明する。

【0026】

この構造では、エピタキシャル層にトレンチを形成して領域分離を行う。

その後、上記のトレンチに関し、上記の（1）または（2）の手段と同様の手段を実行する。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す平面図である。

【0028】

高耐圧ICチップ10上には、3相の上アーム（U、V、W）分の浮遊電位基準回路形成領域21と、GND基準回路形成領域22が形成されている。

また、浮遊電位基準回路形成領域21は、高耐圧接合終端構造23でそれぞれ囲まれている。

図1に示す高耐圧ドライバは、高耐圧接合終端構造23をダブルRESURF構造とすることが可能である。

【0029】

図2は、本発明の第1の実施の形態に係る集積回路（図1）の線分A-A'で示す箇所での断面の構造を示す断面図である。

図2に示す集積回路では、p⁻基板1の表面層にn領域2（U相）を形成し、該n領域2に、浮遊電位基準回路を構成するための浮遊電位基準回路形成領域21を形成しており、また、n領域202に、GND基準回路を構成するためのGND基準回路形成領域22を形成している。

10

20

30

40

50

【0030】

また、 n 領域2の周囲には、高耐圧接合終端構造23を形成しているが、該高耐圧接合終端構造23は、 n 領域2に接している n 領域8に形成している。

図2では、この n 領域2、202に、制御回路を構成するための半導体素子として、1個のP-MOSと、1個のN-MOSを、それぞれの領域に例示している（より具体的には、 n 領域2に直接に上記1個のP-MOSを設け、かつ n 領域2に第4の領域となる p 領域3を形成した上で、該 p 領域3上に上記1個のN-MOSを設けている）が、本発明に係る集積回路では、 n 領域2、202には、それぞれ、任意個数のN-MOS、P-MOSTランジスタを含めることが可能である。

【0031】

なお、図2において、符号D、G、Sは、それぞれ、P-MOSまたはN-MOSのドレイン電極、ゲート電極、ソース電極を示すものとする。各ゲート電極Gは、それぞれ所定の領域の表面上に絶縁膜を介して形成している。

また、図2では n 領域202における各領域の導電型の図示を省略しているが、 n 領域2のそれぞれの領域に示した導電型と同じである。

【0032】

本実施の形態に係る集積回路では、図1に示す浮遊電位基準回路形成領域21に隣接する高耐圧接合終端構造23とGND基準回路形成領域22との周囲のトレンチ構造7として、上記高耐圧接合終端構造23とGND基準回路形成領域22の周囲にトレンチを形成した後、その側壁に、高濃度 p^+ 型領域であるトレンチ壁 p^+ 領域51を形成し、その後、アルミ等の金属を材料に含む電極16をスパッタリング又はCVDで形成して該トレンチ壁 p^+ 領域51とのコンタクトをとる。該トレンチ壁 p^+ 領域51を p^- 基板1に接続した構造としているので、該トレンチ壁 p^+ 領域51が p^- 基板1と同電位となっている。

【0033】

なお、これにより、該トレンチ壁 p^+ 領域51の電位は、 n 領域202の電位よりも低く保たれる。

n 領域202の符号Vccは、図示しない下アーム電源の配線を示し、GND（接地）に対する配線Vccの電位は、任意であるが、例えば、+10～20（V）程度に設定する。

【0034】

このトレンチ壁 p^+ 領域51の効果について説明する。図2の構造においても、 p 領域3、 n 領域2、 p^- 基板1および n 領域202からなる $pnpn$ 構造の寄生サイリスタが存在している。このため、 p 領域3に急峻な電圧が印加された場合に、 n 領域2と p^- 基板1との接合部には接合容量Cに比例した変位電流 $C \times (dV/dt)$ が流れることとなる。このときに p^- 基板1中には上記変位電流に対応する充電電流が流れ、これによって、 p^- 基板1の電位がGNDレベル以上となる部分が発生する。 dV/dt が大きくなると、上記充電電流が大きくなるため、 p^- 基板1の電位上昇は増加する。 p^- 基板1の電位が高くなり、 p^- 基板1と n 領域202の間が順バイアス状態になると、寄生サイリスタのゲート電流が流れることとなる。このゲート電流値が増加して所定の値に達すると、寄生サイリスタのアノードに相当する p 領域3とカソードに相当する n 領域202間の電位差が、寄生サイリスタのブレイクオーバー電圧より低くてもサイリスタがオン状態となってラッチアップする。このラッチアップ現象により過電流が流れ半導体装置は破壊にいたる。しかし、トレンチ壁 p^+ 領域51上に形成した電極16がゲート電極の役目を果たすこととなる。この電極16をGNDに接続して電位をGNDレベルに固定することにより、上記充電電流のうちトレンチへ流れ込む電流の割合が増加し、 n 領域202周辺の p^- 基板1に流れる電流を減らすことができる。このため、 n 領域202周辺の p^- 基板1の電位上昇を小さくできるため、 p^- 基板1と n 領域202との間が順バイアスされて寄生サイリスタのゲート電流が流れるのを抑えることができる。こうして寄生サイリスタがラッチアップしにくい構造とすることができる。

【0035】

10

20

30

40

50

n領域2において、符号 V_{UL} は、浮遊電位基準回路形成領域21に含まれる浮遊電位基準回路の基準電位を示し、符号 V_{UH} は、該浮遊電位基準回路の電源電位を示す。通常使用時の電源(上アーム電源)の電圧は、電位 V_{UH} と電位 V_{UL} との電位差、即ち、 $(V_{UH} - V_{UL})$ で与えられ、任意であるが、例えば、+10~20(V)程度に設定する。

【0036】

基準電位 V_{UL} を有する配線は、この高耐圧ドライバが駆動する図示しない上下アームの2個のIGBTの midpoint (より具体的には、上アームIGBTのエミッタと下アームIGBTのコレクタの接続点)に配線で接続することが可能である。

なお、図1は、3相ドライバICの場合を示しているが、この場合、p⁻基板1上に、n領域2(U相)と同様の浮遊電位基準回路を有するn型の領域(V相、W相)が、他に

10

【0037】

高耐圧接合終端構造23の構造は、n領域2に接してn領域8を形成し、さらにp⁻型とp型が隣接する領域を該n領域8の表面層に形成している。このn領域8は、n領域2と同一プロセスで同時に形成することも可能である。

さらに、n領域8の表面層においてp⁻型とp型が隣接する上記の領域を形成するに際しては、p⁻基板1とn領域8との間の第1のpn接合と、該p⁻型とp型の接続領域とn領域8との間の第2のpn接合とが共に逆バイアスされた時に、第1のpn接合の両側に広がる第1の空乏層と、第2のpn接合の両側に広がる第2の空乏層とがn領域8で結合し、かつ該第2の空乏層が該p⁻型とp型の接続領域の表面まで達するようにするのがよ

20

【0038】

なお、高耐圧接合終端構造23の構造は、上記の他にも種々の構造に変形が可能である。また、このp⁻型とp型の接続領域を挟んで、一方の側に第3のドレイン電極を備え、他方に第3のソース電極及び第3のゲート電極を備えて成る横型の高耐圧MIS(Metal Insulator Semiconductor)トランジスタを配する変形例とすることも可能である。この変形例を示したのが図3であり、図3は、図1のD-D'で示す箇所での断面図である。図3において、n領域8のp⁻領域9に囲まれた部分にn型の高濃度領域が設けられ、これが第3のドレイン領域となる。そして、p⁻領域9の外側(トレンチ構造側)に第3のゲート電極と、ソース領域、第3のソース電極が設けられている。

30

【0039】

以下、本実施の形態に係る集積回路の構造を形成するに際しての様々な可能性について、さらに詳しく説明する。

まず、上記のp⁻基板1とn領域2との間の第3のpn接合に逆バイアス電圧を印加した時、該n領域2に形成される第3の空乏層の先端がp領域3に達しないように上記のn領域2の厚さと不純物濃度を選定することが望ましい。

【0040】

また、該トレンチ壁p⁺領域51の電位をn領域202の電位よりも低く保つ方法については上述したが、上記のp⁻基板1とn領域202との間の内蔵電位を V_{bi} とすると、該p⁻基板1と該n領域202との間の第4のpn接合の間に電圧値 V_{cc} の逆バイアス電圧を印加した状態で、該p⁻基板1に広がる第4の空乏層の先端における該p⁻基板1の電位 V_1 が、動作時において常に $V_1 < V_{cc} + V_{bi}$ なる不等式を成立させるように上記トレンチ構造を形成することが望ましい。

40

【0041】

さらに、上記トレンチ構造が上記n領域2の周囲を取り囲むように上記トレンチ構造を形成することがよい。

また、上記トレンチ構造が上記n領域202の周囲を取り囲むように上記トレンチ構造を形成することがよい。

(第2の実施の形態)

図4は、本発明の第2の実施の形態に係る集積回路(高耐圧ドライバ)の1構造例を示

50

す断面図である。

【0042】

本実施の形態に係る集積回路の構造は、図1, 2に示す本発明の第1の実施の形態に係る集積回路の構造に比べて、トレンチ構造7のみが変わっており、その他の構造、及びその形成方法については本発明の第1の実施の形態に係る集積回路と同じである。

本実施の形態に係る集積回路では、図1に示す浮遊電位基準回路形成領域21に隣接する高耐圧接合終端構造23とGND基準回路形成領域22との周囲のトレンチ構造7として、上記の周囲にトレンチを形成した後、該トレンチ内部にp⁺型にドーブしたポリシリコンをCVDで埋め込んで、埋め込みp⁺領域41を形成する。その後、金属電極17を用いて該埋め込みp⁺領域41とのコンタクトをとり、該埋め込みp⁺領域41をGNDに接続した構造とし、該埋め込みp⁺領域41がp⁻基板1と同じGND電位となるようにしている。第1の実施の形態の場合、トレンチ内に金属の電極をスパッタリングで形成するため、金属膜の被覆性を考慮してトレンチの幅を5μm以上の深さと同程度の5μmとしているが、第2の実施の形態では、トレンチ内部をポリシリコンで埋めるため、そのトレンチの幅は2μm程度とすることができ、より半導体装置の小型化が達成できる。

【0043】

なお、これにより、該埋め込みp⁺領域41の電位は、n領域202の電位よりも低いGND電位に保たれる。

ここで、上記ポリシリコンに接する上記p⁻基板1の表面層に、高濃度にドーブしたp型の領域を形成することも可能である。

図5は、本発明の参考例1に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【0044】

本参考例1に係る集積回路の構造は、図1, 2に示す本発明の第1の実施の形態に係る集積回路の構造に比べて、トレンチ構造7のみが変わっており、その他の構造、及びその形成方法については本発明の第1の実施の形態に係る集積回路と同じである。本参考例1に係る集積回路のトレンチ構造は、図1に示す浮遊電位基準回路形成領域21に隣接する高耐圧接合終端構造23とGND基準回路形成領域22との周囲のトレンチ構造7として、上記の周囲にトレンチを形成した後、該トレンチ内部に絶縁物61を埋め込む。そして、絶縁物61を埋め込んだトレンチの両側のp⁻領域1の表面に高濃度のp⁺領域を形成して電極17によりGND電位に接続する。この構造によりp⁻領域1の電位上昇を防ぎ、寄生サイリスタがラッチアップしにくくしている。

【0045】

（第3の実施の形態）

図6は、本発明の第3の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

本実施の形態に係る集積回路の構造は、図1, 2に示す本発明の第1の実施の形態に係る集積回路のトレンチ構造7を接合分離構造に取り入れたものである。

【0046】

従って、n領域8とn領域202は、エピタキシャル成長で形成された層を分割したものである。共にトレンチ構造7に隣接している。トレンチ構造7の形状は図2の構造と同じである。また、この実施の形態では、n領域8において、GND電位に接続されている金属電極17とトレンチとの間にp⁻領域9bが設けられており、金属電極17と浮遊電位基準回路形成領域21との間にp⁻領域9aが設けられている。このうちのp⁻領域9bによりp⁻領域9b下のn領域8を空乏化しやすくしている。なお、高い電位がかかるのは、浮遊電位基準回路形成領域21に近いp⁻領域9a側であるので、p⁻領域9bの幅よりもp⁻領域9aの幅を大きくしておく。

【0047】

（第4の実施の形態）

図7は、本発明の第4の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示

10

20

30

40

50

す断面図である。

本実施の形態に係る集積回路の構造は、図4に示す本発明の第2の実施の形態に係る集積回路のトレンチ構造7を接合分離構造に取り入れたものである。従って、n領域8とn領域202は、エピタキシャル成長で形成された層を分割したものであるため、共にトレンチ構造7に隣接している。

【0048】

図8は、本発明の参考例2に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

本参考例2に係る集積回路の構造は、図5に示す参考例1の形態に係る集積回路のトレンチ構造7を接合分離構造に取り入れたものである。

従って、n領域8とn領域202は、エピタキシャル成長で形成された層を分割したものであるため、共にトレンチ構造7に隣接している。

【0049】

なお、上記の各実施の形態で説明したMOSの各領域の導電型（p型またはn型）は、一斉に反転させることが可能である。

【0050】

【発明の効果】

以上に説明したとおり、本発明では、トレンチによって浮遊電位を基準とする回路領域と最低電位を基準とする回路領域とに分離された半導体装置において、トレンチ内に高濃度で基板と同導電型の領域又は埋め込みのポリシリコンを形成し、最低電位を基準とする回路領域の最低電位に電氣的に接続されているので、半導体装置内に寄生的に形成されている寄生トランジスタや寄生サイリスタが、IGBT等の大容量電源半導体のスイッチング動作による急峻な電圧変化によって寄生動作（バイポーラ動作やラッチアップ動作）を引き起こしていた従来の現象を抑制することが可能となり、よって、誤動作や素子破壊が生じ難い高耐圧ドライバを実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す平面図である。

【図2】 本発明の第1の実施の形態に係る集積回路（図1）の線分A-A'で示す箇所での断面の構造を示す断面図である。

【図3】 本発明の第1の実施の形態に係る集積回路（図1）の線分D-D'で示す箇所での変形例の構造を示す断面図である。

【図4】 本発明の第2の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【図5】 本発明の参考例1に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【図6】 本発明の第3の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【図7】 本発明の第4の実施の形態に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【図8】 本発明の参考例2に係る集積回路（高耐圧ドライバ）の1構造例を示す断面図である。

【図9】 従来の集積回路（高耐圧ドライバ）の1構造例を示す平面図である。

【図10】 従来の集積回路（図9）の線分B-B'で示す箇所での断面の構造を示す断面図である。

【図11】 従来の集積回路（図9）の線分C-C'で示す箇所での断面の構造を示す断面図である。

【図12】 従来の集積回路（図9）の線分B-B'で示す箇所での断面の構造にラッチアップ電流の1例を加えた断面図である。

【図13】 図9に示す従来の集積回路の線分C-C'で示す箇所での断面の構造にラッ

10

20

30

40

50

チアップ電流の1例を加えた断面図である。

【図14】 ラッチアップ電流を防止する手段を備えた従来の集積回路(図9)の線分B-B'で示す箇所での断面の構造を示す断面図である。

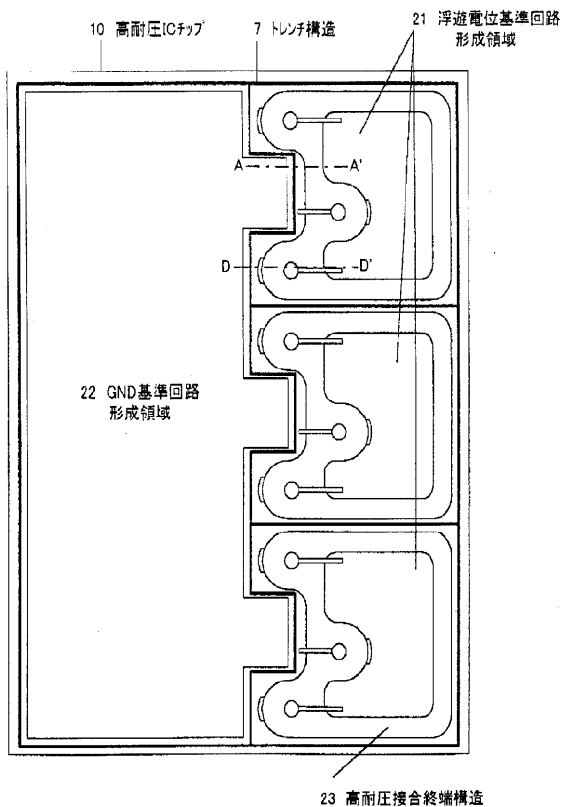
【符号の説明】

- 1 p⁻基板
- 2 n領域(U相)
- 3 p領域
- 7 トレンチ構造
- 10 高耐压ICチップ
- 21 浮遊電位基準回路形成領域
- 22 GND基準回路形成領域
- 23 高耐压接合終端構造
- 16 電極
- 17 金属電極
- 41 埋め込みp⁺領域
- 51 トレンチ壁p⁺領域
- 61 絶縁物
- 71 埋め込みp⁺領域
- 90 高耐压ICチップ
- 91 絶縁物

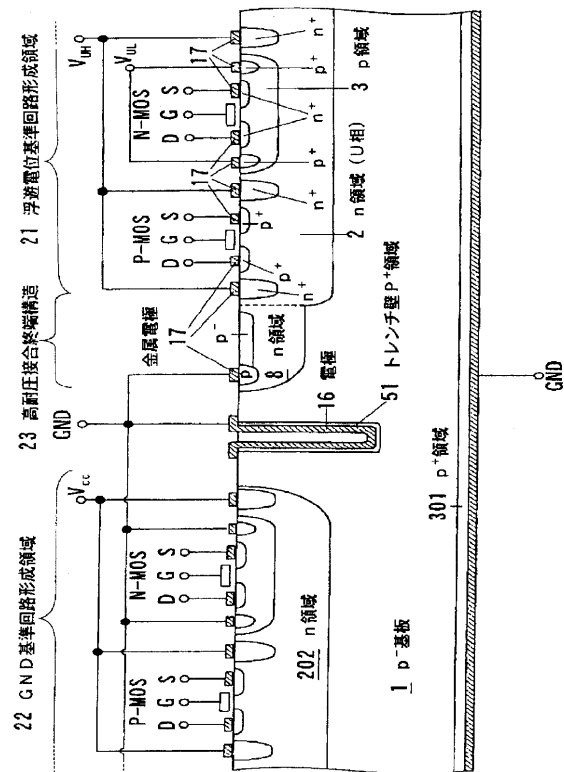
10

20

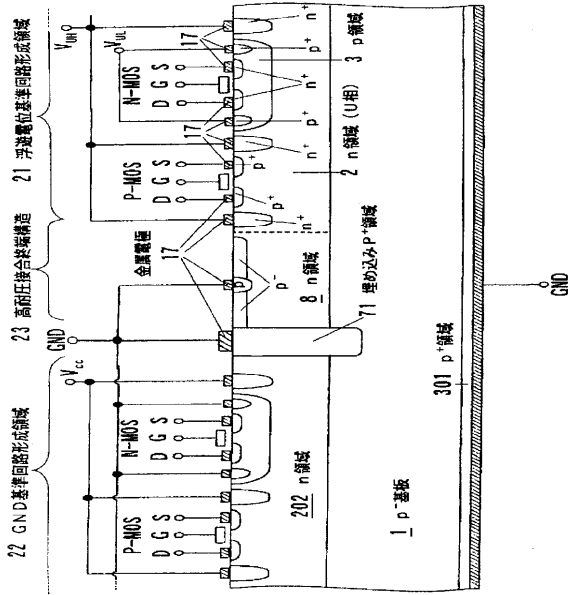
【図1】



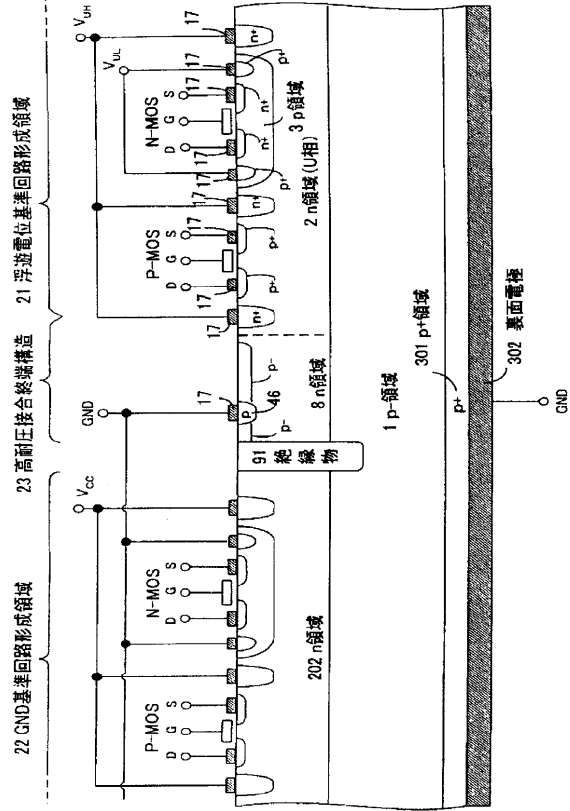
【図2】



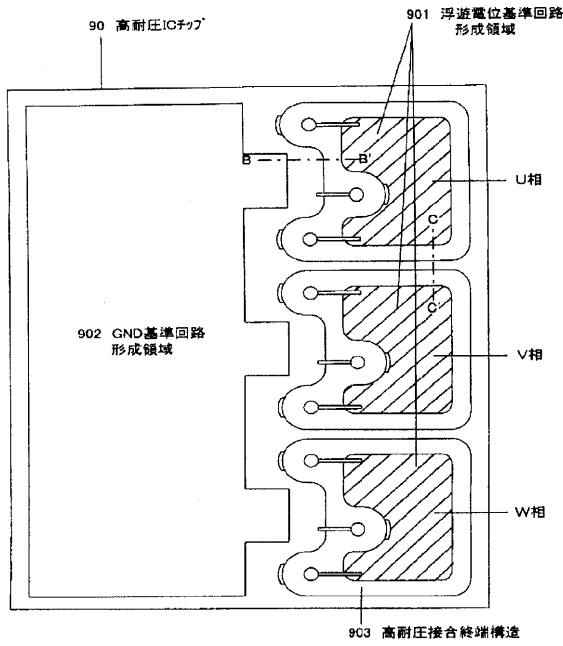
【 7 】



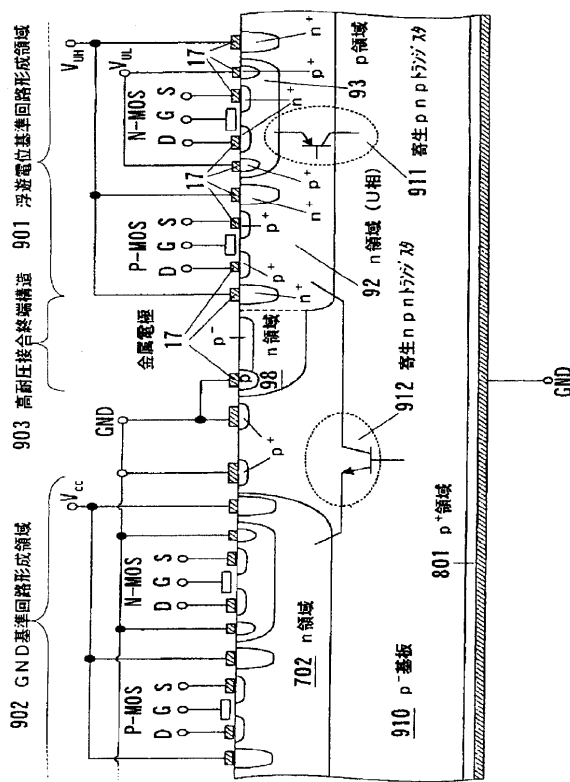
【 8 】



【 9 】



【 10 】



フロントページの続き

- (56)参考文献 特開昭61-290753(JP,A)
特開昭63-002370(JP,A)
特開昭63-090164(JP,A)
特開昭63-116445(JP,A)
特開平02-166761(JP,A)
特開平04-157763(JP,A)
特開2001-237381(JP,A)

(58)調査した分野(Int.Cl., DB名)

- H01L 21/8234
H01L 21/8236
H01L 21/8238
H01L 27/08
H01L 27/088
H01L 27/092