

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月6日(06.03.2014)



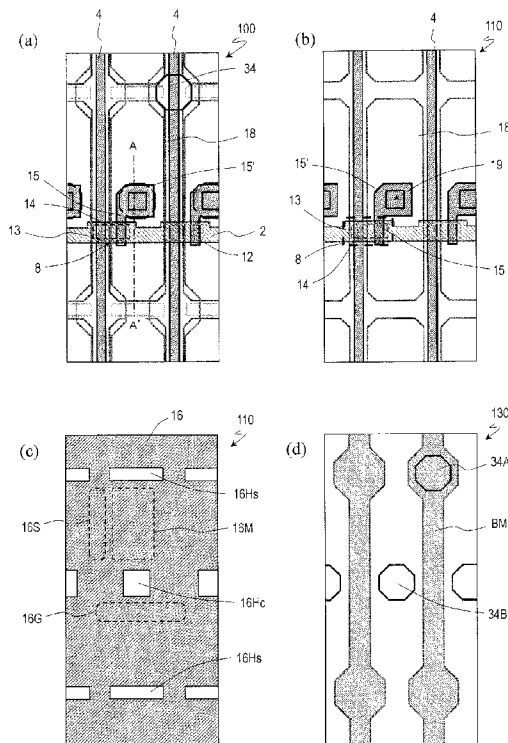
(10) 国際公開番号

WO 2014/034786 A1

- (51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1335 (2006.01) G09F 9/30 (2006.01)
G02F 1/1337 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073164
- (22) 国際出願日: 2013年8月29日(29.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-190430 2012年8月30日(30.08.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 吉田 昌弘(YOSHIDA Masahiro).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板および液晶表示装置



(57) Abstract: An active matrix substrate (110) is provided with the following: a gate bus line (2) and source bus lines (4) disposed on a substrate (10); a TFT (8); a first insulation layer (23) covering the TFT; a first conduction layer (16) that is a first conduction layer disposed on top of the first insulation layer and that has a reflective surface; a second insulation layer (26) that is disposed on top of the first conduction layer and has light transmitting properties; and a second conduction layer (18) that is disposed on top of the second insulation layer and has light transmitting properties. The first conduction layer is disposed in common for a plurality of pixels, and includes a first portion (16G) that integrally covers the edges on both sides of the gate bus line, a second portion (16S) that integrally covers the edges on both sides of the source bus lines, and a third portion (16M) that is covered by a pixel electrode (18).

(57) 要約: アクティブマトリクス基板(110)は、基板(10)上に設けられたゲートバスライン(2)およびソースバスライン(4)と、TFT(8)と、TFTを覆う第1絶縁層(23)と、第1絶縁層上に設けられた第1導電層であって表面が反射性を有する第1導電層(16)と、第1導電層上に設けられた透光性を有する第2絶縁層(26)と、第2絶縁層上に設けられた透光性を有する第2導電層(18)とを備え、第1導電層は、複数の画素に対して共通に設けられており、ゲートバスラインの両側のエッジを一体的に覆う第1部分(16G)と、ソースバスラインの両側のエッジを一体的に覆う第2部分(16S)と、画素電極(18)によって覆われる第3部分(16M)とを含む。

明 細 書

発明の名称：アクティブマトリクス基板および液晶表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板およびそれを用いる液晶表示装置に関する。

背景技術

[0002] 薄型テレビジョン、あるいは、パーソナルコンピュータやスマートフォン用の表示装置などに、薄膜トランジスタ（TFT）をスイッチング素子に用いるアクティブマトリクス型の液晶表示装置が利用されている。広視野角特性を有する液晶表示装置としては、垂直配向モードであるVA（Vertical Alignment）モードや、横電界モードであるIPS（In-Plane-Switching）モードやFFS（Fringe Field Switching）モードを利用した液晶表示装置などが開発されている。

[0003] VAモードの液晶表示装置として、液晶の配向方向が互いに異なる複数のドメインが1画素内に形成される、MVA（Multi-domain Vertical Alignment）モードの液晶表示装置が知られている。また、画素中心部に形成されたリベット等を中心として、液晶の配向方向を1画素内で連続的に異ならせる、CPA（Continuous Pinwheel Alignment）モードの液晶表示装置も知られている。

[0004] 特許文献1には、複数の突起状構造物を画素領域内に備え、VAモードで動作する液晶表示装置が記載されている。画素領域内に配置されている突起状構造物は、液晶分子の配向を規制するために利用される。また、突起状構造物の一部は柱状スペーサとしても機能し、セルギャップ（液晶層の厚さ）を維持するために用いられる。

[0005] 特許文献2には、45°方向、135°方向、225°方向、および31

5° 方向（いずれも方位角）に延びる複数の微細なスリットまたは切り込みが形成された画素電極を有する、MVAモードの液晶表示装置が記載されている。このような形状を有する画素電極は、フィッシュボーン型画素電極または櫛歯状画素電極などと呼ばれる。フィッシュボーン型画素電極を用いれば、電圧印加時に、スリットに対して平行に液晶分子を配向させることができるので、4分割配向構造を実現することができる。

[0006] また、特許文献2には、画素の略中央部に突起状構造体を設ける構成が開示されている。突起状構造体は、液晶分子の配向を規制するためや、スペーサとしてセルギャップ（液晶層の厚さ）を維持するために用いられる。

先行技術文献

特許文献

- [0007] 特許文献1：特開2005-309239号公報
特許文献2：国際公開第2011/096390号
特許文献3：特開2008-26430号公報
特許文献4：特開2003-91012号公報
特許文献5：特開2000-206564号公報

発明の概要

発明が解決しようとする課題

- [0008] アクティブマトリクス基板（TFT基板）において、透明画素電極の下層に、絶縁層を介して、別の導電層を設ける構成が知られている。特許文献3には、IPSモードの液晶表示装置において、画素電極の下層に比誘電率が4以上の絶縁層を介して導電層を設ける構成が示されている。この導電層は、例えば、ITOなどの透明導電性材料を用いて形成され、補助容量を形成するために用いられる。また、特許文献3には、画素領域の一部に、下層導電層としてアルミニウムなどからなる反射電極を設ける構成も開示されている。このように画素の一部に反射電極を設けることによって、反射透過型の表示装置を得ることができる。

[0009] また、透明画素電極の下層において、絶縁層を介して反射電極を画素領域全体にわたって設けることによって、反射型の液晶表示装置を得ることもできる。特許文献4には、液晶層側に設けられた透明画素電極と、絶縁体であるカラーフィルタを介して透明画素電極の下層に設けられた反射電極とを備える反射型の液晶表示装置が開示されている。特許文献4に記載の表示装置では、透明画素電極と反射電極とが電氣的に接続されており、これらには、T F Tを介して同じ大きさの電圧が印加される。

[0010] 特許文献5には、液晶層側に設けられた透明画素電極と、その下に絶縁層を介して設けられた反射膜とを有する、反射型の液晶表示装置が開示されている。特許文献5に記載の液晶表示装置では、上記の反射膜は、透明画素電極やT F Tとは絶縁されている。これらの透明画素電極や反射膜は、基板法線方向から見たときに、ゲート信号線やデータ信号線の一部と重なるように形成されることもある。

[0011] ただし、特許文献5において、反射膜は、画素電極と同様に、画素ごとに分離した平面形状を有しており、画素間において間隙を有していると考えられる。また、この反射膜は、T F Tを覆うようには形成されていない。さらに、反射膜は、独立して（フローティング状態で）設けられており、反射膜に対して信号が付与されることはない。

[0012] このような場合に、画素電極の周囲部において、画素電極と、信号線／走査線との間に寄生容量が形成され易く、この寄生容量が原因で表示品位の劣化が生じるおそれがあった。

[0013] 本発明は、上記課題を解決するためになされたものであり、表示品位が良好な反射型の液晶表示装置およびこれに用いられるアクティブマトリクス基板を提供することをその目的とする。

課題を解決するための手段

[0014] 本発明の実施形態によるアクティブマトリクス基板は、複数の画素を有する反射型の表示装置に用いられるアクティブマトリクス基板であって、基板と、前記基板上に設けられたゲートバスラインと、前記ゲートバスラインに

対して電氣的に絶縁され、前記ゲートバスラインと交差する方向に延びるソースバスラインと、前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられたTFTと、前記TFTを覆う第1絶縁層と、前記第1絶縁層上に設けられた第1導電層であって、表面が反射性を有する第1導電層と、前記第1導電層上に設けられた透光性を有する第2絶縁層と、前記第2絶縁層上に設けられた透光性を有する第2導電層であって、前記第1および第2絶縁層に形成されたコンタクトホールを通して前記TFTに電氣的に接続され、かつ、前記第1導電層とは電氣的に絶縁されている第2導電層とを備え、前記第2導電層は、前記複数の画素のそれぞれに対して設けられた複数の画素電極を含んでおり、前記第1導電層は、前記複数の画素に対して共通に設けられており、前記第1導電層が、前記ゲートバスラインの両側のエッジを一体的に覆う第1部分と、前記ソースバスラインの両側のエッジを一体的に覆う第2部分と、前記第1部分と前記第2部分とに隣接し、前記画素電極によって覆われる第3部分とを含む。

[0015] ある実施形態において、前記第1導電層は、前記TFTのチャネル領域を覆う部分を含む。

[0016] ある実施形態において、上記のアクティブマトリクス基板には、前記複数の画素が設けられた表示領域と、前記表示領域の外側に位置する額縁領域とが設けられており、前記額縁領域において、前記ゲートバスラインに接続された第1配線と、前記ソースバスラインに接続された第2配線と、前記第1導電層に接続された第3配線とを有し、前記第1配線、第2配線および第3配線は、互いに対して電氣的に絶縁されている。

[0017] ある実施形態において、前記画素電極の端部が、前記ゲートバスラインおよび前記ソースバスラインのうちの少なくとも一方と重なる。

[0018] ある実施形態において、前記コンタクトホールが、前記画素電極の略中央に位置している。

[0019] ある実施形態において、前記第1導電層は、前記コンタクトホールに対応する位置に設けられた第1開口部と、隣接する2つの画素間に設けられた第

2 開口部であって前記ゲートバスラインおよび前記ソースバスラインと重ならない位置に設けられたスリット状の第2 開口部とを有する。

[0020] ある実施形態において、前記コンタクトホールが、隣接する2つの画素間に形成されている。

[0021] ある実施形態において、前記第1 導電層は、前記コンタクトホールに対応する位置において、前記コンタクトホールと前記画素間の間隙とを一体的に覆うように形成された開口部を有する。

[0022] ある実施形態において、上記のアクティブマトリクス基板では、第1 の方向に沿って配置された複数の画素からなる第1 の画素列に対して2本のゲートバスラインが設けられており、前記1 の方向と交差する第2 の方向に沿って配置された複数の画素からなる第2 の画素列における隣接する2列に対して1本のソースバスラインが設けられている。

[0023] ある実施形態において、前記画素電極は、フィッシュボーン電極であり、第1 電極方向に沿って延びる複数の第1 枝部と、第2 電極方向に沿って延びる複数の第2 枝部と、第3 電極方向に沿って延びる複数の第3 枝部と、第4 電極方向に沿って延びる複数の第4 枝部とを有し、前記第1 電極方向、前記第2 電極方向、前記第3 電極方向、および前記第4 電極方向は互いに異なる方向である。

[0024] ある実施形態において、前記ゲートバスラインは、複数の画素を横切って延びており、前記ソースバスラインは、隣接する2画素間の境界に沿って延びており、前記第1 導電層は、前記ゲートバスラインの全体を覆い、かつ、前記ソースバスラインの全体を覆うように形成されている。

[0025] ある実施形態において、前記ゲートバスラインおよび前記ソースバスラインは、いずれも複数の画素を横切って延びており、前記第1 導電層には、前記ゲートバスラインおよび前記ソースバスラインのいずれとも重ならないスリット状の開口部が、隣接する2画素間の境界に沿うようにして設けられている。

[0026] ある実施形態において、前記T F Tの活性層は酸化物半導体を含む。

[0027] 本発明の実施形態による反射型の液晶表示装置は、上記のいずれかのアクティブマトリクス基板と、前記アクティブマトリクス基板と対向するように設けられた対向基板と、前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層とを備える反射型液晶表示装置であって、前記対向基板は、前記液晶層を挟んで前記画素電極と対向する対向電極を有しており、前記対向電極と、前記第1導電層とが電氣的に接続されている。

[0028] ある実施形態において、前記アクティブマトリクス基板と前記対向基板との間に配置されセルギャップを規定する柱状スペーサと、前記液晶層における液晶分子の配向を規制するための配向制御突起とを備え、前記柱状スペーサおよび前記配向規制突起のうちの少なくともいずれかは、前記コンタクトホールと重なる位置に設けられている。

発明の効果

[0029] 本発明の実施形態によるアクティブマトリクス基板を用いれば、表示品位が良好な反射型の液晶表示装置を提供することができる。

図面の簡単な説明

[0030] [図1]本発明の実施形態1による液晶表示装置のアクティブマトリクス基板の全体構成を示す平面図である。

[図2]実施形態1の液晶表示装置の表示領域における画素構成を示す平面図である。

[図3] (a)は、図2における略1画素に対応する領域を示し、(b)はTFT基板上の反射電極層以外の構成要素を主に示し、(c)は、TFT基板上の反射電極層の構成を示し、(d)は、対向基板上の構成要素を示す。

[図4]図3(a)に示すA-A'線に沿った断面図である。

[図5]反射電極層の表面（または第1絶縁層の表面）に形成された凹凸のパターンを模式的に示す平面図であり、(a)は、TFT基板上の構成を示す平面図であり、(b)は、第1絶縁層上の凹凸パターンを示す平面図である。

[図6]実施形態1の変形例によるアクティブマトリクス基板の全体構成を示す平面図である。

[図7]実施形態1の変形例によるアクティブマトリクス基板の構成を示す図であり、(a)はTFT基板上の構成を主に示し、(b)は対向基板上の構成を示す。

[図8]本発明の実施形態2による液晶表示装置の構成を説明する平面図であり、(a)は、略1画素に対応する領域の構成を示し、(b)は、TFT基板上の反射電極層以外の構成要素を主に示し、(c)は、TFT基板上の反射電極層の構成を示し、(d)は、対向基板上の構成を示す。

[図9]本発明の実施形態3による液晶表示装置の構成を説明する平面図であり、(a)は、略1画素に対応する領域の構成を示し、(b)は、TFT基板上の反射電極層以外の構成要素を主に示し、(c)は、TFT基板上の反射電極層の構成を示し、(d)は、対向基板上の構成を示す。

[図10]実施形態4の液晶表示装置の表示領域における画素構成を示す平面図である。

[図11](a)は、図10における略1画素に対応する領域の構成を示し、(b)は、TFT基板上の反射電極層以外の構成要素を主に示し、(c)は、TFT基板上の反射電極層の構成を示し、(d)は、対向基板上の構成を示す。

[図12]反射電極層の表面（または第1絶縁層の表面）に形成された凹凸のパターンを模式的に示す平面図であり、(a)は、TFT基板上の構成を示す平面図であり、(b)は、第1絶縁層上の凹凸パターンを示す平面図である。

[図13]実施形態4の変形例によるアクティブマトリクス基板の構成を示す図であり、(a)は略1画素に対応する領域の構成を示し、(b)はTFT基板上の構成を示す。

[図14]実施形態5の液晶表示装置の表示領域における画素構成を示す平面図である。

[図15](a)は、図14におけるTFT基板上の反射電極層以外の構成要素を主に示し、(b)は、TFT基板上の反射電極層の構成を示し、(c)は

、対向基板上の構成を示す。

[図16] 4色カラーフィルタを用いる場合の対向基板上の構成を示す平面図である。

発明を実施するための形態

[0031] 以下、図面を参照しながら本発明の実施形態を説明するが、本発明はこれらの実施形態に限定されない。

[0032] (実施形態1)

図1は、実施形態1の液晶表示装置が備えるアクティブマトリクス基板（TFT基板）110の全体構成を示し、図2は、液晶表示装置100に設けられた複数の画素Pxを示す。また、図3（a）は、図2における略1画素に対応する領域を示し、図4は、図3（a）に示すA-A'線に沿った断面を示す。図3（b）は、図3（a）に対応する領域におけるTFT基板110上の反射電極層16以外の構成要素を主に示し、図3（c）は、TFT基板110上の反射電極層16の構成を示し、図3（d）は、対向基板130上の構成要素を示す。

[0033] 図4に示すように、液晶表示装置100は、TFT基板110と、対向基板130と、これら一対の基板の間に保持された液晶層120とを有している。液晶層120は、負の誘電異方性（ $\Delta\epsilon < 0$ ）を有する液晶材料を用いて形成されており、TFT基板110および対向基板130上に設けられた図示しない垂直配向膜によって、電圧無印加時に液晶分子が基板法線方向に配向する垂直配向型の液晶層である。

[0034] 液晶表示装置100は、外光（周囲光）の反射を利用して表示を行う反射型の液晶表示装置であり、バックライトなどの光源を備えていなくても表示を行うことが可能である。また、後述するように、画素ごとに配向規制構造が設けられており、液晶表示装置100は、電圧印加時に液晶の配向方向を1画素内で連続的に異ならせるCPAモードで表示を行う。

[0035] 図1に示すように、TFT基板110（および液晶表示装置100）には、表示領域（画素配置領域）R1と、その外側に位置する非表示領域（額縁

領域) R 2 とが形成されている。表示領域 R 1 には、マトリクス状に配列された複数の画素が設けられており、画素ごとに液晶分子の配向状態を制御することによって画像や映像などが表示される。一方、額縁領域 R 2 は、液晶材料を基板間に封止するためのシール部や、外部駆動回路と接続される配線や端子などが設けられており、表示に寄与しない領域である。

[0036] 図 1 および図 2 に示すように、本実施形態の液晶表示装置 1 0 0 において、T F T 基板 1 1 0 の表示領域 R 1 には、ゲートバスライン 2、ソースバスライン 4、画素電極 1 8 や T F T 8 などが設けられている。T F T 基板 1 1 0 において、ゲートバスライン 2 は、水平方向に並ぶ画素列 P R を横切るように延びている。本実施形態では、各画素 P x が縦長の形状（例えば、横 $25\mu\text{m}$ × 縦 $75\mu\text{m}$ ）を有しており、ゲートバスライン 2 は、画素 P x の長い方の辺を横切るように延びている。画素 P x は、必ずしも縦長の平面形状を有していなくてもよいが、縦横比が 1 以上であることが好ましい。また、ソースバスライン 4 は、ゲートバスライン 2 と直交する方向（垂直方向）に延びている。本実施形態では、ソースバスライン 4 は、垂直方向に並ぶ画素列 P C の境界に沿って設けられている。

[0037] 図 1 に示すように、T F T 基板 1 1 0 の左右の辺に位置する額縁領域 R 2 には、ゲートバスライン 2 に配線（第 1 配線）を介して接続されたゲートドライバ 2 D が設けられており、また、下辺に位置する額縁領域 R 2 には、ソースバスライン 4 に配線（第 2 配線）を介して接続されたデータドライバ 4 D が設けられている。ゲートドライバ 2 D は、T F T 基板 1 1 0 上に直接的に（モノリシックに）形成されており、ゲートドライバ駆動配線 2' を介して、T F T 基板 1 1 0 の外側に設けられた駆動装置に接続されている。データドライバ 4 D は、例えば、T F T 基板 1 1 0 上に実装された I C チップによって実現されている。

[0038] さらに、額縁領域 R 2 には、反射電極用の幹配線（第 3 配線）6 が設けられている。この第 3 配線 6 は、後述する反射電極層 1 6（図 4 参照）に所定の電圧を印加するために用いられる。また、第 3 配線 6 は、反射電極層 1 6

とともに、対向基板 130 に設けられた対向電極 32（図 2 参照）に共通電圧を印加するために用いられても良い。この場合、反射電極層 16 と対向電極 32 とは電氣的に接続され、第 3 配線 6 を介してこれらには同じ信号が与えられる。ただし、反射電極層 16 と対向電極 32 とにそれぞれ別個の信号が付与されても良く、この場合には、上記の第 3 配線 6 は、対向電極 32 とは絶縁される。

[0039] このように、本実施形態の液晶表示装置 100 において、額縁領域 R2 には、ゲートバスライン 2 に接続された第 1 配線、ソースバスライン 4 に接続された第 2 配線、および、反射電極層 16 に接続された第 3 配線が、互いに対して絶縁されるように設けられている。第 1～第 3 配線には、それぞれ別個の信号を付与することができる。

[0040] 以下、図 2～図 4 を参照しながら、表示領域 R2 における TFT 基板 110 の構成をより詳細に説明する。図 4 に示すように、TFT 基板 110 は、ガラスなどから形成される透明基板 10 を用いて構成されており、透明基板 10 上には、ゲートバスライン 2 およびゲート電極 12、これらを覆うゲート絶縁膜 20（例えば、 SiO_x 膜、 SiN_x 膜、 SiO_x 膜と SiN_x 膜の積層膜）、ゲート絶縁膜 20 上に形成されたソースバスライン 4 およびソース電極 14、ソース電極 14 と間隔を開けて設けられたドレイン電極 15 などが形成されている。

[0041] ゲートバスライン 2 とソースバスライン 4 とは異なる方向（典型的には、水平方向と垂直方向）に延びており、これらの交差部近傍において TFT 8 が形成されている。TFT 8 のソース電極 14 とドレイン電極 15 とは、ゲート絶縁層 20 を挟んでゲート電極 12 の上方に配置された半導体層 13 に対して、互いに離間した状態で接続されている。ゲート電極 12 に所定の電圧を印加して TFT 8 をオン状態にしたとき、ソース電極 14 とドレイン電極 15 とが半導体層 13 を介して導通する。

[0042] 半導体層 13 は、典型的には、島状に設けられており、ソース電極 14 とドレイン電極 15 との間において TFT 8 のチャネル領域を形成する。半導

体層 13 は、種々の材料から形成されていてよく、例えば、アモルファスシリコン、ポリシリコン、微結晶シリコン、あるいは酸化物半導体などから形成され得る。

[0043] 酸化物半導体としては、 In 、 Ga および Zn を1 : 1 : 1の割合で含む In-Ga-Zn-O 系のアモルファス酸化物半導体が好適に用いられる。ただし、 In 、 Ga および Zn の割合は上記に限定されず適宜選択されてよい。また、 In-Ga-Zn-O 半導体膜の代わりに、他の酸化物半導体膜を用いることもできる。

[0044] 例えば、半導体層 13 は、 $\text{InGaO}_3(\text{ZnO})_5$ 膜、酸化マグネシウム亜鉛($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)、又は、酸化カドミウム亜鉛($\text{Cd}_x\text{Zn}_{1-x}\text{O}$)、酸化カドミウム(CdO)などから形成されていてよい。また、1族元素、13族元素、14族元素、15族元素又は17族元素等のうち一種、又は複数種の不純物元素が添加された ZnO を用いて形成されていてもよい。 ZnO には不純物元素が添加されていなくてもよい。また、 ZnO は、非晶質(アモルファス)状態、多結晶状態又は非晶質状態と多結晶状態が混在する微結晶状態であってもよい。

[0045] アモルファス In-Ga-Zn-O 系半導体は、低温で製造でき、また、高い移動度を実現できるという利点を有する。ただし、アモルファス In-Ga-Zn-O 系半導体に代えて、結晶性を有する In-Ga-Zn-O 系半導体を用いても良い。結晶質 In-Ga-Zn-O 系半導体層としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体層が好ましい。このような In-Ga-Zn-O 系半導体層の結晶構造は、例えば、特開2012-134475号公報に開示されている。

[0046] 図4に示すように、アクティブマトリクス基板 110 には、TFT 8 を覆う絶縁層であるパッシベーション層(例えば、 SiO_x 膜、 SiN_x 膜、 SiO_x 膜と SiN_x 膜の積層膜) 22 と、パッシベーション層 22 上に設けられた絶縁層である平坦化層(例えば、感光性有機膜) 24 とが設けられている。パッシベーション層 22 は、TFT 8 を保護するために設けられてい

る。また、平坦化層 24 は、典型的にはパッシベーション層 22 よりも厚く形成され、基板面の凹凸をならすために設けられている。なお、後述するように、平坦化層 24 の表面は、反射電極層 16 の表面に凹凸を形成するために、微細な凹凸を有していても良い。本明細書では、パッシベーション層 22 および平坦化層 24 をまとめて第 1 絶縁層 23 と呼ぶことがある。

[0047] 第 1 絶縁層 23 上には、反射性を有する導電性材料からなる反射電極層 16 が設けられている。反射電極層 16 は、第 2 絶縁層（例えば、 SiN_x 膜や SiO_x 膜）26 によって覆われており、第 2 絶縁層 26 上には、透明画素電極 18 が形成されている。透明画素電極 18 は、ITO や IZO などの透明導電性材料を用いて形成されている。

[0048] 透明画素電極 18 と反射電極層 16 とは絶縁されており、画素電極 18、反射電極層 16、および、第 2 絶縁層 26 によって、補助容量（蓄積容量） C_{cs} が形成されている。この補助容量 C_{cs} は、液晶容量 C_{lc} と並列に設けられており、TF T8 がオフ期間の間に、液晶層 120 に印加される電圧を保持するために利用される。

[0049] TF T8 のドレイン電極 15 は、ドレイン接続部 15' においてコンタクトホール 19 を通って画素電極 18 に接続されている。コンタクトホール 19 は、第 1 絶縁層 23 と、第 2 絶縁層 26 とを貫通するように設けられている。また、コンタクトホール 19 は、反射電極層 16 の開口部 16 Hc（図 3（c）参照）の内側を通るように設けられている。このようにコンタクトホール 19 が、反射電極層 16 の開口部 16 Hc 内を通るように形成されているので、反射電極層 16 と、画素電極 18 および TF T8（ドレイン電極 15）とは、電氣的に絶縁されている。

[0050] 画素電極 18 上には、液晶層 120 と接する垂直配向膜（図示せず）が形成されている。垂直配向膜は、液晶層 120 に含まれる液晶分子の長軸が電圧無印加時に基板面に対して略垂直に配向するように配向規制する。

[0051] 以上に説明した TF T 基板 110 と対向するようにして、観察者側に配置される対向基板 130 が設けられている。図 3（d）は、対向基板 130 上

の構成要素を示す。

- [0052] 図4および図3(d)に示すように、対向基板130は、ガラスなどから形成される透明基板30を用いて構成され、この透明基板30上には、遮光部材であるブラックマトリクスBM、カラーフィルタCF、透明導電性材料から形成される対向電極32などが設けられている。また、対向基板130上においても液晶層120と接するように垂直配向膜（図示せず）が設けられている。
- [0053] 本実施形態では、垂直方向に沿って延びる画素列PC（図2参照）について同じ色のカラーフィルタが設けられており、水平方向に沿って隣接する異なる画素列PCでは異なる色のカラーフィルタが配されている。より具体的には、水平方向に並ぶ3つの画素列PCに対して、R（赤）、G（緑）、B（青）のカラーフィルタがそれぞれ設けられており、3色の画素列PC（R）、PC（G）、PC（B）が順番に並んでいる。
- [0054] 図3(d)に示すように、ブラックマトリクスBMは、色の異なるカラーフィルタの境界部に対応するように、すなわち、本実施形態では、各垂直画素列PCの境界に沿って、垂直方向に延びるようにして設けられている。ブラックマトリクスBMは、例えば、黑色樹脂または金属膜から形成される。このようにブラックマトリクスBMを設けることで、TFT基板110と対向基板130とを貼り合わせる工程において貼り合わせズレが生じた場合や、斜め方向から見た場合の混色を抑制することができる。ただし、輝度、すなわち、画素の開口率（表示に有効な反射面積）を優先する場合は、ブラックマトリクスBMを設けない構成としてもよい。
- [0055] 対向電極32は、典型的には、表示領域全体に対して、すなわち、画素全体に対応して設けられている。ただし、これに限られず、対向電極32が、複数のブロックに分割して設けられていてもよい。
- [0056] さらに、CPAモードでの動作を行うために、対向基板130には、配向制御構造としての突起構造体34Bが設けられている。突起構造体34Bは、各画素の略中央部分に設けられている。これにより、電圧印加時において

、液晶層 120 の液晶分子が突起構造体 34 B の周りに、すなわち、画素中央部分の周りに放射状に配向する。このようにして、配向規制構造としての突起構造体 34 B を用いることによって、電圧印加時に 1 画素内の液晶分子を放射状に配向させることができるので、視野角特性を向上させることができる。

[0057] また、上下左右に隣接する 4 つの画素の境界部において、液晶層 120 の厚さ（セルギャップ）を制御するための突起構造体（柱状スペーサ）34 A が設けられている。この突起構造体 34 A は、柱状スペーサ、または、柱状スペーサよりも低く形成されたサブ柱状スペーサとしての機能を持つ。柱状スペーサとして設ける突起構造体 34 A は、例えば、 $3.2\ \mu\text{m}$ の高さを有し、セルギャップを維持するように機能する。これに対し、サブ柱状スペーサは、より低いスペーサであり、例えば $2.7\ \mu\text{m}$ の高さを有する。サブ柱状スペーサは、外部からの圧力が生じた場合にのみ、セルギャップを維持するように機能し、例えば、タッチパネル等を有する液晶表示装置においてセル厚維持のために好適に利用される。また、より低い（すなわち、より体積の小さい）サブ柱状スペーサを設けることによって、温度変化時における液晶層とスペーサとの収縮率の違いが原因で生じる、セル内における真空気泡の発生を低減し得る。

[0058] 一方、画素の中央部に設けられた突起構造体 34 B は、その先端部を液晶層 120 中に有しており、TFT 基板 110 と接していない。配向規制構造として設ける突起構造体 34 B（リベットとも呼ばれる）は、例えば、 $0.7\ \mu\text{m}$ の高さを有する。

[0059] また、液晶分子の配向を制御するために、必ずしも突起構造体 34 B を設ける必要はなく、画素の略中央部において対向電極 32 に開口部を設けるようにしても良い。本明細書において、突起構造体 34 B または対向電極 32 中に設けた開口部を、配向規制構造と呼ぶことがある。CPA モードで動作する液晶表示装置において、電圧印加時に、液晶層 120 の液晶分子は、配向規制構造を中心として放射状の配向状態を示す。

[0060] 本実施形態において、画素中央部に設けられた突起構造体 3 4 B は、配向制御のためにだけでなく、スペーサとしての機能を兼ねていても良く、この場合には突起構造体 3 4 B がセルギャップに対応する高さを有する。突起構造体 3 4 B は、典型的には、画素中央部に設けられたコンタクトホール 1 9 と、基板法線方向から見たときに重なる位置に設けられている。このため、突起構造体 3 4 B をスペーサとしても用いる場合には、コンタクトホール 1 9 のサイズは、突起構造体 3 4 B が落ち込まないようなサイズとすることが望ましい。

[0061] 柱状スペーサや突起構造体 3 4 A、3 4 B の断面形状（基板法線方向から見たときの形状）は、正八角形その他の多角形であってもよく、円形、楕円形などであってもよい。突起構造体 3 4 は錐台形状であることが好ましく、下底面（対向基板 1 3 0 側）の面積より、上底面（T F T 基板 1 1 0 側）の面積が小さい方が好ましい。すなわち、対向基板 1 3 0 の表面と、突起構造体 3 4 の側面のなす角度が 9 0 度より小さい方が好ましい。

[0062] また、突起構造体 3 4 B の比誘電率は、液晶層 1 2 0 を形成する液晶材料の比誘電率より小さい方が好ましい。これは、柱状スペーサやリベットの側面形状が促す液晶分子の傾斜方位と、電界が液晶を傾斜させようとする方位とが逆にならないようにするためである。

[0063] 図 3（d）からわかるように、ブラックマトリクス BM は、柱状スペーサ 3 4 A に対応する領域を覆う遮光部分を有している。また、ブラックマトリクス BM は、ソースバスライン 4 を覆う遮光部分も有している。この遮光部分は、T F T 基板 1 1 0 と対向基板 1 3 0 との貼り合わせズレが生じた際などに混色が生じるのを避けるために用いられる。また、突起構造体 3 4 から遠い領域（画素の周縁領域）における液晶分子の応答速度は低くなりがちであるので、残像発生の原因となりやすい。したがって、上記の遮光部分によって画素の周縁領域を遮光しておけば残像対策を講じることができる。

[0064] ただし、対向基板 1 3 0 に設けられるブラックマトリクス BM、柱状スペーサ 3 4 A、突起構造体 3 4 B などは、図 3（d）に示す形態以外の形態で

あってもよい。図 7 (a) および (b) に、変形例の液晶表示装置 102 を示す。

[0065] 図 7 (a) および (b) に示す形態では、柱状スペーサ 34 A が、画素の中央部に設けられている。この柱状スペーサ 34 A は、セルギャップの維持とともに配向規制のために利用される。

[0066] ここで、柱状スペーサ 34 A が配置された画素と、突起構造体 34 B が配置された画素とでは、その配置部周囲の表示が異なる場合があり、ざらつきとして視認される場合がある。そのため、これらの領域を表示に寄与しないようにすることが好ましい。

[0067] そこで、図 7 (b) に示すように、ブラックマトリクス BM は、ソースバスライン 4 に沿って（すなわち、カラーフィルタの境界に沿って）延びる部分以外に、各画素の中央部を通る帯状の部分の有していてもよい。このように、帯状の遮光領域を各画素の中央部を通るように配置すれば、1 画素内に、略同じ大きさの表示寄与領域が上下に形成される。これにより、画素内における配向の均等性が維持されるので、視野角の偏りを生じにくくすることができる。

[0068] 再び図 4 を参照する。上述のように、一对の垂直配向膜（図示せず）によって、液晶層 120 における液晶分子は、 90° に近いプレチルト角（例えば、 85° 以上～ 90° 未満：電圧無印加時）を有するように配向される。ここで、プレチルト角とは、基板主面に対して液晶分子の長軸方向が形成する角度をいう。また、対向基板 130 の外側（観察者側）において、典型的には、 $\lambda/4$ 位相差板（4 分の 1 波長板）や、その観察者側に設けられた直線偏光板などの光学素子が配置される。液晶表示装置 100 では、対向基板 130 および光学素子を通過した周囲光が液晶層 120 に入射し、反射電極層 16 で反射された後、液晶表示装置 100 から出射されることで表示が行われる。

[0069] 次に、図 3 (c) などを参照しながら、反射電極層 16 の構成をさらに説明する。

[0070] 反射電極層 16 は、液晶表示装置 100 の外部から入射した光を反射するために用いられる。このため、反射電極層 16 の表面は、所定の反射性を有するように形成されている。また、反射電極層 16 は、透明画素電極 18 に対して誘電体層 26 を介して対向するように配置されており、補助容量（蓄積容量）を形成するためにも用いられる。TFT のオフ期間中に、反射電極層 16 の電位は、画素電極 18 とは異なる電位（例えば、対向電極と同電位）に制御され、これにより、液晶層 120 に印加される保持電圧が好適に維持される。

[0071] 反射電極層 16 は、ゲートバスライン 2 の両側のエッジを一体的に覆う（すなわち、ゲートバスライン 2 を完全に覆う）第 1 部分 16 G と、ソースバスライン 4 の両側のエッジを一体的に覆う（すなわち、ソースバスライン 4 を完全に覆う）第 2 部分 16 S と、透明画素電極 18 と重なり反射電極として機能する主要部分（第 3 部分） 16 M とを含んでいる。図からわかるように、これらは互いに対して接続されており、後述する開口部 Hc、Hs 以外の領域において、第 1 部分 16 G、第 2 部分 16 S、および主要部分 16 M は、一体的に形成されている。この構成において、反射電極層 16 は、TFT 8 を覆うように設けられている。なお、ゲートバスライン 2 の両側のエッジは、所定方向に沿って延びるゲートバスライン 2 の線幅を規定する 2 つの辺に対応しており、ソースバスライン 4 の両側のエッジは、所定方向に沿って延びるソースバスライン 4 の線幅を規定する 2 つの辺に対応している。

[0072] また、反射電極層 16 には、コンタクトホール 19 に対応する位置に形成されたコンタクトホール用の開口部（第 1 開口部） 16 Hc と、上下に隣接する画素間に形成されたスリット状の開口部（第 2 開口部） 16 Hs とが設けられている。開口部 16 Hc は、コンタクトホール 19 よりも大きく形成されており、反射電極層 16 と、画素電極 18（あるいは TFT 8 のドレイン）とは絶縁される。また、スリット状の開口部 16 Hs は、画素の境界において、ゲートバスライン 2 およびソースバスライン 4 と重ならない位置に設けられている。

[0073] 反射電極層 16 は、比較的高い導電率を有する金属材料を用いて形成することが好ましい。反射電極層 16 を形成する材料としては、例えば、アルミニウム (Al)、銀 (Ag)、ニッケル (Ni)、白金 (Pt) およびクロム (Cr) などを用いることができる。反射電極層 16 の表面が、これらの金属材料から形成されていれば、表示に用いるために好適な反射光が得られるので好適である。また、反射電極層 16 は、金属膜を積層することによって形成されていてもよく、例えば、下層の Mo 膜 (厚さ 50 nm) と上層の Al 膜 (厚さ 100 nm) とからなる積層膜から形成されていてもよい。なお、平坦化層 24 として、感光性有機膜を用いる場合には、平坦化層 24 と反射電極層 16 との密着強度を高めるために、下層の Mo 層に 5%~30% (原子%) 程度の窒素が含有されていることが好ましい。また、反射電極層 16 の最上層に、透明導電層を積層することも可能である。なお、膜厚の合計は、例えば、20 nm~450 nm の範囲に設定される。

[0074] 導電性の高い反射電極層 16 を用いることで、反射電極層 16 に電圧を印加するときに生じ得る信号の遅延を、表示領域全体にわたって抑制することができる。特に、表示領域のサイズが大きい場合には、信号の遅延が生じやすいため、反射電極層 16 を導電性が高い材料から形成することが有利である。

[0075] 上記のように、反射電極層 16 には、ゲートバスライン 2 を覆う部分 (第 1 部分) 16 G が設けられている。このため、画素電極 18 とゲートバスライン 2 との間の電界を、第 1 部分 16 G によってシールドできる。これにより、ゲートバスライン 2 と画素電極 18 との間に生じ得る寄生容量を低減することができる。

[0076] また、反射電極層 16 には、ソースバスライン 4 を覆う部分 (第 2 部分) 16 S が設けられている。このため、画素電極 18 とソースバスライン 4 との間の電界を、第 2 部分 16 S によってシールドできる。これにより、ソースバスライン 4 と画素電極 18 との間に生じ得る寄生容量を低減することができる。

[0077] また、反射電極層 1 6 とゲートバスライン 2 /ソースバスライン 4 との間の寄生容量を低減するためには、第 1 絶縁層 2 3 の誘電率が小さく、また、第 1 絶縁層 2 3 が厚く形成されていることが好ましい。本実施形態では、第 1 絶縁層 2 3 を構成する平坦化膜 2 4 を、誘電率が 3.4 の感光性を有するアクリル樹脂（厚さ 3.0 μm ）で形成している。

[0078] 図 5（a）および（b）は、反射電極層 1 6 の表面に形成された凹凸のパターンを模式的に示す図である。反射電極層 1 6 の表面は、その下地となる第 1 絶縁層 2 3 の表面に形成された凹凸パターンと同様の凹凸パターンを有している。反射電極層 1 6 の表面に凹凸が形成されていることで、反射光の強度を面内で均一にすることができ、表示に適した反射光を得ることができる。

[0079] 第 1 絶縁層 2 3 の表面 2 3 S には、凹部 2 3 S 1 と、凸部 2 3 S 2 とが設けられている。本実施形態では直径 8 μm の円形の凸部パターンが形成されているが、例えば、直径 6 μm ~ 12 μm のサイズを有していても良い。また、円形ではなく多角形でもよい。また、隣接する円形の最短距離は 2 μm に設定されているが、これに限定されない。なお、凸部 2 3 S 2 には、柱状スペーサ 3 4 A を配置するための領域 3 4 S が含まれている。また、コンタクトホール 1 9 は、上述したように第 1 絶縁層 2 3 が存在しない領域である。

[0080] このように、第 1 絶縁層 2 3 の表面 2 3 S（すなわち、反射電極層 1 6 の表面）において、表示に用いるのに適切な反射光を得るための凹凸パターンを形成しておくことで、より向上した表示品位が得られる。

[0081] 以上に説明した液晶表示装置 1 0 0 において、下記の構成が実現されている。

- ・画素電極 1 8 と、ゲートバスライン 2 との間に、共通信号が入力され得る反射電極 1 6 が配置されている。

- ・画素電極 1 8 と、ソースバスライン 4 との間に、共通信号が入力され得る反射電極 1 6 が配置されている。

- ・画素電極 18 と反射電極層 16 とを用いて補助容量（蓄積容量）が形成されている。
- ・反射電極層 16 を、画素電極 18 の下層に形成しており、画素電極 18 は、対向電極 32 と同様に透明導電性材料から形成される。
- ・反射電極層 16 は、少なくとも金属材料（Al、Ag、Ni、Pt、Cr）を含み、かつ、広い面積（ほぼ画素領域全域）で形成される。
- ・柱状スペーサ（またはサブ柱状スペーサ）34A は、4つの画素の境界部分に配置されている。
- ・上下方向に隣接する画素電極 18 の間隙部に対応する位置に、反射電極層 16 の開口部（第2開口部）16Hs が形成されている。

[0082] このような構成によって、下記に示す利点が得られる。

- ・画素電極 18ーゲートバスライン 2 間の寄生容量を小さくできるため、フリッカが抑制される。
- ・画素電極 18ーソースバスライン 4 間の寄生容量を小さくできるため、シャドーイングが抑制される。また、低消費電力を目的として、フレーム毎に各画素の極性を反転させる駆動方式と低周波駆動方式とを併用する場合にも、単色画面がグラデーション表示となる表示不良を抑制できる。
- ・画素電極 18 のサイズに対応した、大きい補助容量を得ることができるため、上記フリッカやシャドーイングをさらに抑制できる。また、低周波駆動（たとえば一般的な 60Hz 駆動に対して 1～5Hz 駆動）を行った場合でも、液晶容量に対して、大きな補助容量を形成しているため、フリッカやシャドーイング等を抑制することができる。なお、大きい補助容量が形成されている場合には、TFT8 のサイズを大きくすることが好ましい。しかし、TFT8 が大きくなると TFT8 における電極間の寄生容量が大きくなりフリッカの原因となる。そこで、TFT8 のサイズを小さくするためには、In-Ga-Zn-O 系半導体等の電子移動度の高いチャネル材料を用いて TFT8 を構成することが好ましい。
- ・反射型表示装置 100 において、対向電極 32 を対向基板 130 に形成す

る場合は、対向電極 32 を ITO や IZO などの透明材料で形成する必要がある。一般に画素電極自体を反射電極で形成する構成が知られているが、この場合、対向電極 32 と画素電極 18 との仕事関数に違いに起因する直流電圧成分により、焼き付きが生じやすい（例えば特開 2002-189460 号公報）。これに対し、液晶表示装置 100 では、画素電極 18 を対向電極 32 と同じ透明材料で形成することができるため、焼き付きが生じにくい。

- ・補助容量電極（共通電極）としての反射電極層 16 の信号なまり（信号遅延）に起因する表示ムラを低減できる。

- ・柱状スペーサ 34A に起因する配向不良によって視認されるザラツキを軽減できる。

- ・画素領域内における、表示に寄与しにくい領域の反射電極 18 を取り除く（すなわち、スリット状開口部 16Hs を設ける）ことによって、ノーマリブラックで動作させる場合における、上下画素間の配向不良に基づく残像（映像表示から全面黒表示に切り替えたときに生じ得る残像）を抑制できる。従来の反射／半透過型表示装置では、画素の境界を延びるゲートバスラインと画素電極との間の電界の影響によって、液晶の応答が遅くなるために、残像が生じる場合があった。液晶表示装置 100 においても、画素電極 18 と反射電極層 16 との間に生じる電界が、液晶の応答性に影響する可能性があるので、画素の境界部において反射電極層 16 が開口部 16Hs を有していることが好ましい場合がある。また、ノーマリホワイト（例えば、図 13 に示す実施形態 4 の変形例）の場合は、コントラスト比の向上が見込める。

[0083] 図 6 は、実施形態 1 の変形例の TFT 基板 112 の構成を示す。この TFT 基板 112 では、ゲートドライバ 2D' が、基板上に実装された IC チップなどから構成されている。このように、周辺回路構成等などの表示パネルの全体構成としては、任意の構成を採用することができる。例えば、図 6 に示す形態以外に、データドライバとゲートドライバとが一体的に形成される形態であっても良い。一体型のドライバを TFT 基板の一辺のみに配置することによって表示パネルの 3 辺の額縁領域の幅を狭くすることができる。

[0084] (実施形態2)

図8(a)～(d)は、実施形態2の液晶表示装置200の構成を説明するための図である。図8(a)は、略1画素に対応する領域の構成を示し、図8(b)はTFT基板210上の反射電極層16以外の構成要素を主に示し、図8(c)はTFT基板210上の反射電極層16の構成を示し、図8(d)は対向基板230上の構成を示す。

[0085] 本実施形態の液晶表示装置200が、実施形態1の液晶表示装置100(CPAモードで動作)と異なる主な点は、画素電極として、フィッシュボーン型画素電極28が用いられており、MVAモードで表示を行う点である。なお、実施形態1と同様の構成要素については同じ参照符号を付すとともに説明を省略する。

[0086] 図8(a)および(b)に示すように、TFT基板210に設けられたフィッシュボーン型画素電極28は、水平方向(ゲートバスライン2の延びる方向)の右向きを0°として反時計回りに正の角度をとる方位角で表わすと、45°、135°、225°、および315°のそれぞれに延びる複数の細長電極部分(枝部)28bを有している。細長電極部分28bの間には、対応する方向に延びる細長い切り欠き(スリット)28cが設けられている。また、フィッシュボーン型画素電極28は、画素の中央部を垂直方向(ソースバスライン4の延びる方向)に沿って延びる背骨部(幹部)28aを有している。細長電極部分28bのそれぞれは背骨部28aに接続されている。

[0087] 細長電極部分28b(またはスリット28c)の延びる方向は、画素を縦横2×2に4等分することによって得られる4領域A1～A4のそれぞれで互いに異なっている。これによって、電圧印加時には、1つの画素内において、4領域A1～A4に対応する4つの液晶配向領域(液晶ドメイン)A1～A4が形成される。液晶ドメイン内では液晶分子の配向状態がほぼ同等であるとともに、異なるドメインでは液晶分子の配向状態が互いに異なる。

[0088] より具体的には、フィッシュボーン型画素電極28と対向電極32(図4

参照)との間に電圧が印加されたとき、それぞれのドメインA1～A4において、液晶分子は、スリット28cの延びる方向に平行、且つ、液晶分子の上端部が画素の内側に向って倒れるように配向する。

[0089] また、図8(d)に示すように、液晶表示装置200の対向基板230には、画素中央部に突起構造体34A(34B)が設けられている。突起構造体34A(34B)は、柱状スペーサとして機能し、かつ、配向制御構造体として機能する。ここで、柱状スペーサとして機能する突起構造体34Aは、全ての画素に対して設けられている必要はなく、一部の画素においてのみ設けられていて良い。つまり、突起構造体34A(34B)のうちの一部のみが柱状スペーサとして機能する高さを有する形態であってよい。以下では、これらをまとめて突起構造体34と呼ぶ。

[0090] 本実施形態において、突起構造体34は、各ドメインA1～A4における液晶分子の配向方向(方位角45°、135°、225°、315°)のそれぞれに対して略垂直な4辺を有する正八角形等の平面視形状(断面)を有している。さらに、対向基板130の表面と、突起構造体34の側面のなす角度が90度より小さい錐台形を有している。

[0091] 突起構造体34の側面にも垂直配向膜が形成されるため、突起構造体34自体によっても液晶分子に対する配向規制力が働く。その配向規制の方向(液晶分子を倒そうとする方向)は突起構造体34の側面に垂直な方向である。

[0092] 突起構造体34の周囲の液晶分子は、突起構造体34に向って配向しようとするが、突起構造体34の側面がその配向方向に垂直な面を有しているため、突起構造体34による配向規制の方向とドメインA1～A4による配向規制の方向とが一致する(あるいは両者が近い方向となる)。さらに、液晶分子の配向方向が不安定なドメインA1～A4の境界領域(すなわち背骨部28a上の液晶分子)の配向方向を、突起構造体34に向けることができる。これにより、配向の乱れが生じにくく、明るさ、コントラスト比、または視野角特性の良好な表示が得られる。

[0093] また、液晶ドメイン A 1 ～ A 4 のそれぞれで明るさが異なることも防止され、ザラツキ等の発生が防止され、高品質の表示を提供することができる。このように、画素領域の中心の周りに画素電極 2 8 によって複数のドメインが規定される場合において、画素領域の中心に突起構造体 3 4 を配置すると、配向の乱れが比較的生じにくい。

[0094] 本実施形態の T F T 基板 2 1 0 において、ゲートバスライン 2 およびゲート電極 1 2 と同層において同材料を用いて同工程で形成された補助容量配線（補助容量電極） 6 6 が設けられている。補助容量配線 6 6 は、ゲートバスライン 2 に沿って、画素の略中央部を延びるように形成されている。また、補助容量配線 6 6 は、T F T 8 のドレインに接続されたドレイン接続部 1 5 ' と重なる部分（補助容量電極）を有し、ドレイン接続部 1 5 ' と、補助容量電極と、これらの間に介在するゲート絶縁層 2 0 （図 4 参照）によって、追加の補助容量が形成されている。

[0095] また、図 8（c）に示すように、液晶表示装置 2 0 0 の T F T 基板 2 1 0 に設けられた反射電極層 1 6 は、実施形態 1 の液晶表示装置 1 0 0 と同様に、画素配列領域の全体にわたって形成されている。また、画素中央部に設けられたコンタクトホール 1 9 に対応する位置に設けられた開口部 1 6 H c と、上下に隣接する画素間に設けられたスリット状の開口部 1 6 H s が設けられている。

[0096] 前述のように、反射電極層 1 6 は、対向電極 3 2 と同じ電圧に制御され、画素電極 2 8 との間に補助容量を形成することができる。また、本実施形態では、補助容量配線 6 6 を用いて形成される補助容量も得られる構成であり、補助容量配線 6 6 には、反射電極 1 6 や対向電極 3 2 と同じ電圧が印加されてよい。

[0097] 次に、P S A（P o l y m e r S u s t a i n e d A l i g n m e n t）技術を用いる形態を説明する。

[0098] P S A 技術は、電圧無印加時の液晶分子の配向方向を規制するための配向維持層（A l i g n m e n t S u s t a i n i n g L a y e r）を形成

する技術である。配向維持層は、液晶セルを形成した後、液晶材料に予め混合しておいた光重合性モノマー（またはオリゴマー）を典型的には液晶層に電圧を印加した状態で光重合することによってポリマー層として形成される。配向維持層によって、電圧無印加時の液晶に、基板面に垂直な方向から若干（例えば 2° ～ 3° ）傾いた方向のプレチルト角と、配向方位とを維持（記憶）させることができる。これにより、電圧印加時における液晶配向の応答速度を向上させることができる。また、パネル表面を指押しした際の配向の戻りを速くすることができる。

[0099] 本実施形態のように、画素電極28のスリット28cが促す液晶分子の配向方向と、突起構造体34の促す液晶分子の配向方向とは、同様であることが好ましい。この場合には、P S A処理を行う際に、より確実に、液晶配向を所望の配向に維持することができるので、製造した液晶表示装置におけるP S A処理が原因で生じるざらつきやムラの発生を抑制できる。また、応答速度を改善することができるので、特に、液晶パネル面を、指等で押した場合に生じる配向異常を、より早く正常な配向に戻すことができる。このため、タッチパネル等を液晶パネルの表面に設置する場合や、また、赤外線方式のセンサ等を液晶パネルの観察者側に設置した場合、液晶パネル面が指等で押される場合において好適である。

[0100] なお、P S A技術は、フィッシュボーン型画素電極28との組み合わせだけでなく、実施形態1のC P Aモードの液晶表示装置100においても実施可能であり、応答速度向上の効果を得ることができる。

[0101] （実施形態3）

図9（a）～（d）は、実施形態3の液晶表示装置300を示す。図9（a）は、略1画素に対応する領域の構成を示し、（b）はT F T基板310上の反射電極層36以外の構成要素を主に示し、（c）はT F T基板310上の反射電極層36の構成を示し、（d）は対向基板330上の構成を示す。なお、実施形態1および2と同様の構成要素については同じ参照符号を付すとともに説明を省略する。

[0102] 図9（a）および（b）に示すように、液晶表示装置300では、1水平画素列に対して2本のゲートバスライン（第1ゲートバスライン12A、第2ゲートバスライン12B）が設けられており、また、ソースバスライン4Aは、ソースバスライン4Aの左右に配置された2画素に対して共通に接続されている。

[0103] ソースバスライン4Aの右側に配置される画素 $P \times A$ （図における左側の画素）は、第1ゲートバスライン12Aに接続されており、TFT8Aを介して、ソースバスライン4Aから画素電極18Aにデータ信号が付与される。また、ソースバスライン4Aの左側に配置される画素 $P \times B$ （図における右側の画素）は、第2ゲートバスライン12Bに接続されており、TFT8Bを介して、ソースバスライン4Aから画素電極18Bにデータ信号が付与される。なお、図示する形態は例であり、一本のソースバスライン4Aに共通に接続される左右の2画素に対して、異なるゲートバスラインが接続されている限り、他の形態を取り得る。つまり、図9（a）に示す左側画素 $P \times A$ および右側画素 $P \times B$ が、同じ第1ゲートバスライン12Aに接続され、かつ、これらの2画素の水平方向外側に隣接する2つの画素が、第2ゲートバスライン12Bに接続されていてもよい。

[0104] この液晶表示装置300によれば、ソースバスライン4Aの本数、および、ソースドライバの数を減らすことができるので、製造コストを低減することができる。また、額縁領域R2において、ソースバスライン4Aに接続される配線の本数を少なくすることができ、この配線を設けるための領域が狭くても済むので、額縁領域の狭小化を実現し得る。

[0105] また、図9（a）および（b）に示したように、本実施形態の液晶表示装置300では、画素によって画素内におけるコンタクトホール19A、19Bの位置が異なっている。このようにコンタクトホール19A、19Bの位置が異なる場合、対向基板330（図9（d））において柱状スペーサとして設けられた突起構造体34と、コンタクトホール19A、19Bとの相対位置が異なり、例えば、基板法線方向から見たときに、コンタクトホール1

9 Aは突起構造体34の右下に位置し、コンタクトホール19 Bは突起構造体34の左上に位置することになる。このような配置関係を有している場合、基板の貼り合わせずれなどによって、コンタクトホール19 A、19 Bと、突起構造体34との位置ずれが生じたときにも、突起構造体34の接地面積が変動しにくいという利点がある。

[0106] 図9(c)は、TFT基板310に設けられた反射電極層36を示す。反射電極層36は、実施形態1の液晶表示装置100の反射電極層16と同様に、画素配列領域の全体にわたるように複数の画素に共通に設けられている。また、画素中央部に設けられたコンタクトホール19 A、19 Bに対応する位置に開口部36 A H c、36 B H cを有する。さらに、上下に隣接する画素間に設けられたスリット状の開口部36 H sが設けられているが、本実施形態の液晶表示装置300では、ソースバスライン4 Aが2画素ごとに設けられているので、スリット状の開口部36 H sも、2画素にわたって延びるように形成されている。この場合にも、スリット状の開口部36 H sがソースバスライン4 Aおよびゲートバスライン2と重ならないように形成されている点で、実施形態1と同様である。

[0107] (実施形態4)

図10および図11(a)～(d)は、実施形態4の液晶表示装置400を示す。図10は、液晶表示装置400に設けられた複数の画素P xを示す。図11(a)は、図10における略1画素に対応する領域の構成を示し、図11(b)はTFT基板410上の反射電極層16以外の構成要素を主に示し、図11(c)はTFT基板410上の反射電極層16の構成を示し、図11(d)は対向基板430上の構成を示す。なお、実施形態1～3と同様の構成要素については同じ参照符号を付すとともに説明を省略する。

[0108] 実施形態1の液晶表示装置100では、画素のほぼ中央にコンタクトホール19が配置されていたが、液晶表示装置400のように、コンタクトホール49は、別の位置(画素電極の端部)に形成されていてもよい。

[0109] なお、本実施形態では、実施形態2と同様に、フィッシュボーン型の画素

電極 4 8 を用いた垂直配向モードの例を示す。画素電極 4 8 と T F T 8 のドレイン電極 1 5 との接続に用いられるコンタクトホール 4 9 は、画素電極 4 8 の端部（上下に隣接する画素電極 4 8 の間隙部分）に形成されている。この構成において、実施形態 2 では別個に形成されていた、反射電極 1 6 の第 1 開口部（コンタクトホール相当位置）1 6 H c と第 2 開口部（画素電極間隙部分）1 6 H s とが、一体に形成されている。これにより、本実施形態では、より大きな開口部 4 6 H c が反射電極 4 6 に形成されている。このように、反射電極 4 6 の開口部 4 6 H c を一体で大きく形成することで、実施形態 2 ではスリット状（例えば、幅が 4 ~ 6 μ m 程度）であった第 2 開口部 1 6 H s の形成不良を低減できる。

[0110] また、T F T 基板 4 1 0 には、補助容量配線 6 6 が、上下に隣接する画素電極 4 8 の間隙部分において形成されている。補助容量配線 6 6 は、ゲートバスライン 2 と同層に形成されており、ゲート絶縁膜 2 0 によって覆われている。この補助容量配線 6 6 と、T F T 8 のドレイン電極 1 5 から延長部分 1 5 a を介して画素端部に設けられたドレイン接続部 1 5 ' との間に、ゲート絶縁膜 2 0 を介して補助容量が形成されている。なお、延長部分 1 5 a は、フィッシュボーン型画素電極 4 8 の背骨部に沿って設けられていることが好ましい。背骨部は、液晶ドメインの境界に対応しており、所望の配向状態が得られにくい部分であるからである。

[0111] 図 1 2 (a) および (b) は、第 1 絶縁層 2 3 上に形成された凹凸パターンを示す。本実施形態においても、図 5 (a) および (b) に示した形態と同様に、第 1 絶縁層 2 3 の表面 2 3 S には、凹部 2 3 S 1 と、凸部 2 3 S 2 とが設けられている。凸部 2 3 S 2 には、柱状スペーサ 3 4 A を配置するための領域 3 4 S が含まれている。

[0112] 液晶表示装置 4 0 0 においては、上下に隣接する画素電極 4 8 の表示寄与部分の距離が、実施形態 1 の場合より広くなるので、この部分に柱状スペーサ 3 4 A (図 1 1 (d)) を配置することができる。

[0113] また、補助容量配線 6 6 によって、追加の補助容量が得られるので、フリ

ツカ、シャドーイングなどの表示不良を効果的に抑止することができる。

[0114] また、P S A処理を行う場合、画素電極48と反射電極層46との間の電界が配向に影響する場合があります、第2絶縁層26（図4参照）を厚く形成したり、第1絶縁層23と同様に低誘電率の有機膜を用いることが好ましい場合もある。この場合、補助容量が小さくなるが、小さくなる分を、補助容量配線66による補助容量で補うことができる。

[0115] 図13（a）および（b）は、変形例の液晶表示装置402およびアクティブマトリクス基板412の構成を示す。液晶表示装置402は、水平配向型の液晶層（および水平配向膜）を用いて表示を行うT Nモードの液晶表示装置であり、電圧無印加時に液晶分子が僅かなチルト角を有して略水平に配向しておりノーマリホワイトで動作する。

[0116] この構成において、柱状スペーサ34Aは、4つの画素の境界に配置されている。T Nモードで動作する場合、柱状スペーサ34Aを、液晶分子の配向制御のために用いることはないので、表示への寄与が小さい画素境界の領域に設けることが好ましい。

[0117] 本変形例の液晶表示装置402においても、反射電極層46は、図11（c）に示した形態と同様に、コンタクトホール49および画素間の間隙を一体的に覆う開口部46Hcを有している。また、補助容量配線66によって追加の補助容量が得られるので、フリッカ、シャドーイングなどの表示不良を効果的に抑止することができる。

[0118] （実施形態5）

図14および図15（a）～（c）は、実施形態5の液晶表示装置500の構成を説明するための図である。上記の実施形態1～4では、R G B 3色に対応した縦長の画素が設けられる形態を示したが、本実施形態では略正方形の形状を有する画素が設けられる形態を示す。

[0119] 図14は、液晶表示装置500の画素構成を示し、図15（a）はT F T基板510上の反射電極層56以外の構成要素を示し、図15（b）はT F T基板510上の反射電極層56の構成を示し、図15（c）は対向基板5

30上の構成を示す。なお、実施形態1～4と同様の構成要素については同じ参照符号を付すとともに説明を省略する。

[0120] 液晶表示装置500は、カラーフィルタを有しないモノクロ（白黒）の液晶表示装置であり、CPAモードで動作する。このため、図15（c）に示すように、対向基板530には、カラーフィルタが設けられておらず、また、各画素の略中央部には、配向規制用の突起34B（または、対向電極32の切り欠き部）が設けられている。

[0121] モノクロの表示装置では、混色のおそれがないため、隣接する画素電極に対応する位置に、積極的にブラックマトリクスBMを形成する必要がない。そこで、図15（c）に示すように、本実施形態では、4つの画素の境界部分において選択的に島状のブラックマトリクスBM（本明細書では、便宜上、このような島状の遮光部もブラックマトリクスと呼ぶ）を形成している。

[0122] ここで、残像抑制のため、反射電極層56において、縦方向に隣接する画素電極の間隙にスリット状開口部56Hs1設けるだけでなく、横方向に隣接する画素電極の間隙にもスリット状開口部56Hs2（第3開口部）を設けることが好ましい。なお、他の実施形態と同様に、コンタクトホール19に対応する位置にも開口部56Hcが設けられており、反射電極層56と画素電極58とは絶縁されている。

[0123] ここで、第3開口部56Hs2の下にソースバスライン4が配置されると、ソースバスライン4と画素電極58との間に寄生容量が形成されるので、表示に悪影響を及ぼす可能性がある。また、一般に金属配線で形成されるソースバスライン4の表面が反射膜となって、特定方向でのコントラストが低下する可能性がある。このために、本実施形態では、ソースバスライン4は、画素電極18（および反射電極層56の開口部以外の領域）によって覆われるように配置されている。同様に、ゲートバスライン2も、画素電極18（および反射電極層56の開口部以外の領域）によって覆われるように配置されている。

[0124] なお、実施形態1～4では、隣接する画素間で生じる混色を避けるための

ブラックマトリクスBMが配置されていたが、モノクロ表示装置においても同様にブラックマトリクスBMを配置する対応が可能である。しかし、画素の境界に沿ってブラックマトリクスBMを設ける場合、基板の貼り合わせズレが生じたときに開口率低下が生じるおそれがある。このため、モノクロ表示装置においては、上述のように、画素の境界に沿ってブラックマトリクスBMを設けることなく、反射電極層56において、画素の境界に沿ってスリット状の開口部を設けることによって、表示に寄与する領域を制限することが好ましい。

[0125] また、図15(a)に示すTF T基板510は、反射型液晶表示装置において用いられるだけでなく、マイクロカプセル型電気泳動方式の電子ペーパーにおいても用いられ得る。電子ペーパーは、典型的には、TF T基板と、これに対向して配置される対向基板（観察者側基板）と、これらの間に保持されたマイクロカプセル層とによって構成されている。マイクロカプセル層には、多数のマイクロカプセルが含まれており、各マイクロカプセルは数十～数百 μm 径の透明樹脂から形成されている。また、マイクロカプセルの内部には、透明な分散媒中に分散された、正に帯電した白色粒子と、負に帯電した黒色粒子とが含まれている。マイクロカプセル層に正または負の電圧を印加し、マイクロカプセル内の白色粒子および黒色粒子を電気泳動させることによって表示を行うことができる。

[0126] 電子ペーパーに適用する場合、対向基板を樹脂基材（プラスチック基板）を用いて形成してもよい。電子ペーパーは、例えば、マイクロカプセル層をコーティングにより対向基板上に配設し、これをTF T基板510と貼り合わせるようにして作製することができる。なお、電子ペーパーに用いる場合には、TF T基板510に設けられる層間絶縁層（第1絶縁層23）の表面に微細な凹凸を形成しなくてもよい。

[0127] また、電子ペーパーの対向基板にカラーフィルタ層を配置することによってカラー表示を行うこともできる。カラーフィルタ層を形成しない場合は、モノクロ表示となるが、カラー表示を行う場合と比べて光利用効率が高くなる

。また、TF T基板510をプラスチック基板を用いて作製してもよく、厚さ0.5mm程度の可撓性を有する電子ペーパーを得ることもできる。

[0128] 次に、図16を参照しながら、4色カラーフィルタを用いる形態を説明する。図16に示すように、対向基板532において、4色（RGB+WhiteやRGB+Yellowなど）のカラーフィルタを設けることによって、多原色の反射型液晶表示装置を構成することもできる。

[0129] 4色カラーフィルタを用いる場合、隣接する画素境界には、混色を避けるためのブラックマトリクスBMを配置することが好ましい。また、反射電極層56（図15（b）参照）において、スリット状の第2開口部56Hs1および第3開口部56Hs2は設けなくても良い。ただし、貼り合わせズレが生じた場合を想定して、これらの開口部56Hs1、56Hs2を設けておいてもよい。

[0130] 以上、本発明の実施形態を説明したが、その他の種々の態様であってよい。例えば、カラーフィルタCFやブラックマトリクスBMを、対向基板上ではなく、TF T基板上に設けても良い。また、配向規制突起または柱状スペーサなどとして利用される突起構造体が、TF T基板上に設けられていても良い。

[0131] また、上記には、画素が、水平方向および垂直方向において一列に並んでいる形態を説明したが、画素配列はデルタ配列であっても良い。デルタ配列を採用する場合、1水平画素列ごとに画素ピッチの半分だけ画素の配列がずれ、ソースバスラインがクランク状に延びる。この場合、反射電極として用いられる部分と、ソースバスラインおよびゲートバスラインを覆う部分とを有するように反射電極層を形成すればよい。また、ソースバスラインおよびゲートバスラインと重ならない部分において、スリット状の開口部を設けても良い。

産業上の利用可能性

[0132] 本発明の実施形態による液晶表示装置は、例えば、スマートフォンや電子ペーパーに利用される小型・高精細の液晶表示装置として利用される。特に、

電子書籍/電子辞書等の用途として、低コスト、薄型、狭額縁、低消費電力モジュール（バックライト無しのモジュール）を実現し得る。

符号の説明

- [0133] 2 ゲートバスライン
 4 ソースバスライン
 6 補助容量電極幹配線
 8 T F T（薄膜トランジスタ）
 10 透明基板
 12 ゲート電極
 14 ソース電極
 15 ドレイン電極
 15' ドレイン接続部
 16 反射電極層
 18、28 画素電極
 19 コンタクトホール
 20 ゲート絶縁層
 22 パッシベーション層（第1絶縁層）
 24 平坦化層（第1絶縁層）
 26 第2絶縁層
 30 透明基板
 32 対向電極
 34A 柱状スペーサ
 34B 配向制御用突起（または電極開口部）
 66 補助容量配線
 100 液晶表示装置
 110 T F T基板
 120 液晶層
 130 対向基板

P R 水平画素列

P C 垂直画素列

B M ブラックマトリクス（遮光部材）

請求の範囲

- [請求項1] 複数の画素を有する反射型の表示装置に用いられるアクティブマトリクス基板であって、
- 基板と、
- 前記基板上に設けられたゲートバスラインと、
- 前記ゲートバスラインに対して電氣的に絶縁され、前記ゲートバスラインと交差する方向に延びるソースバスラインと、
- 前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられたT F Tと、
- 前記T F Tを覆う第1絶縁層と、
- 前記第1絶縁層上に設けられた第1導電層であって、表面が反射性を有する第1導電層と、
- 前記第1導電層上に設けられた透光性を有する第2絶縁層と、
- 前記第2絶縁層上に設けられた透光性を有する第2導電層であって、前記第1および第2絶縁層に形成されたコンタクトホールを通して前記T F Tに電氣的に接続され、かつ、前記第1導電層とは電氣的に絶縁されている第2導電層と
- を備え、
- 前記第2導電層は、前記複数の画素のそれぞれに対して設けられた複数の画素電極を含んでおり、前記第1導電層は、前記複数の画素に対して共通に設けられており、
- 前記第1導電層が、
- 前記ゲートバスラインの両側のエッジを一体的に覆う第1部分と、
- 、
- 前記ソースバスラインの両側のエッジを一体的に覆う第2部分と、
- 、
- 前記第1部分と前記第2部分とに隣接し、前記画素電極によって覆われる第3部分と

を含む、アクティブマトリクス基板。

[請求項2] 前記第1導電層は、前記TFTのチャネル領域を覆う部分を含む、請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記基板上において、前記複数の画素が設けられた表示領域と、前記表示領域の外側に位置する額縁領域とが設けられており、

前記額縁領域において、前記ゲートバスラインに接続された第1配線と、前記ソースバスラインに接続された第2配線と、前記第1導電層に接続された第3配線とを有し、前記第1配線、第2配線および第3配線は、互いに対して電氣的に絶縁されている、請求項1または2に記載のアクティブマトリクス基板。

[請求項4] 前記画素電極が、前記ゲートバスラインおよび前記ソースバスラインのうちの少なくとも一方と重なる、請求項1から3のいずれかに記載のアクティブマトリクス基板。

[請求項5] 前記コンタクトホールが、前記画素電極の略中央に位置している請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項6] 前記第1導電層は、前記コンタクトホールに対応する位置に設けられた第1開口部と、隣接する2つの画素間に設けられた第2開口部であって前記ゲートバスラインおよび前記ソースバスラインと重ならない位置に設けられたスリット状の第2開口部とを有する、請求項5に記載のアクティブマトリクス基板。

[請求項7] 前記コンタクトホールが、隣接する2つの画素間に形成されている請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項8] 前記第1導電層は、前記コンタクトホールに対応する位置において、前記コンタクトホールと前記画素間の間隙とを一体的に覆うように形成された開口部を有する請求項7に記載のアクティブマトリクス基板。

[請求項9] 第1の方向に沿って配置された複数の画素からなる第1の画素列に対して2本のゲートバスラインが設けられており、

前記第 1 の方向と交差する第 2 の方向に沿って配置された複数の画素からなる第 2 の画素列における隣接する 2 列に対して 1 本のソースバスラインが設けられている、請求項 1 から 8 のいずれかに記載のアクティブマトリクス基板。

[請求項10] 前記画素電極は、フィッシュボーン電極であり、第 1 電極方向に沿って延びる複数の第 1 枝部と、第 2 電極方向に沿って延びる複数の第 2 枝部と、第 3 電極方向に沿って延びる複数の第 3 枝部と、第 4 電極方向に沿って延びる複数の第 4 枝部とを有し、前記第 1 電極方向、前記第 2 電極方向、前記第 3 電極方向、および前記第 4 電極方向は互いに異なる方向である、請求項 1 から 9 のいずれかに記載のアクティブマトリクス基板。

[請求項11] 前記ゲートバスラインは、複数の画素を横切って延びており、前記ソースバスラインは、隣接する 2 画素間の境界に沿って延びており、

前記第 1 導電層は、前記ゲートバスラインの全体を覆い、かつ、前記ソースバスラインの全体を覆うように形成されている、請求項 1 から 10 のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記ゲートバスラインおよび前記ソースバスラインは、いずれも複数の画素を横切って延びており、

前記第 1 導電層には、前記ゲートバスラインおよび前記ソースバスラインのいずれとも重ならないスリット状の開口部が、隣接する 2 画素間の境界に沿うようにして設けられている、請求項 1 から 10 のいずれかに記載のアクティブマトリクス基板。

[請求項13] 前記 T F T の活性層は酸化物半導体を含む請求項 1 から 12 のいずれかに記載のアクティブマトリクス基板。

[請求項14] 請求項 1 から 13 のいずれかに記載のアクティブマトリクス基板と、

前記アクティブマトリクス基板と対向するように設けられた対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層と

を備える反射型液晶表示装置であって、

前記対向基板は、前記液晶層を挟んで前記画素電極と対向する対向電極を有しており、

前記対向電極と、前記第1導電層とが電氣的に接続されている、反射型液晶表示装置。

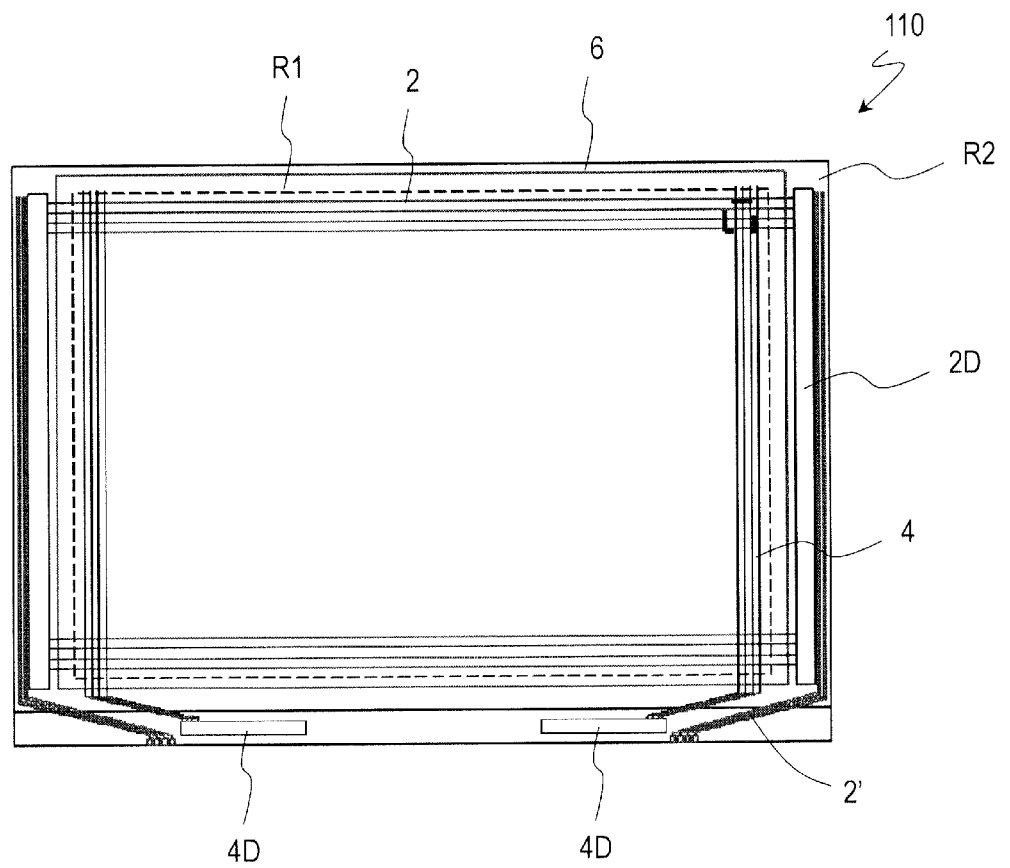
[請求項15]

前記アクティブマトリクス基板と前記対向基板との間に配置されセルギャップを規定する柱状スペーサと、

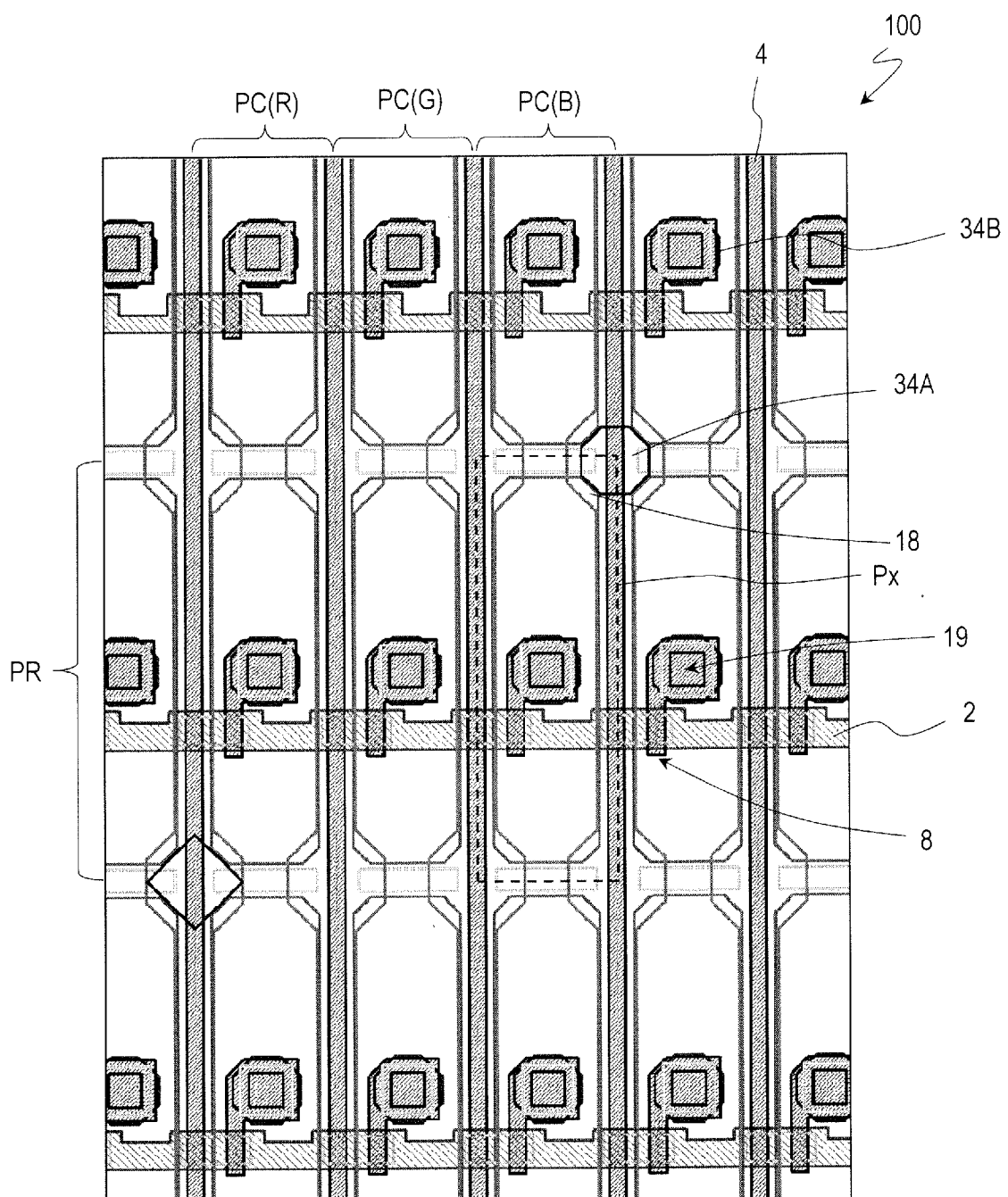
前記液晶層における液晶分子の配向を規制するための配向制御突起とを備え、

前記柱状スペーサおよび前記配向規制突起のうちの少なくともいずれかは、前記コンタクトホールと重なる位置に設けられている、請求項14に記載の反射型液晶表示装置。

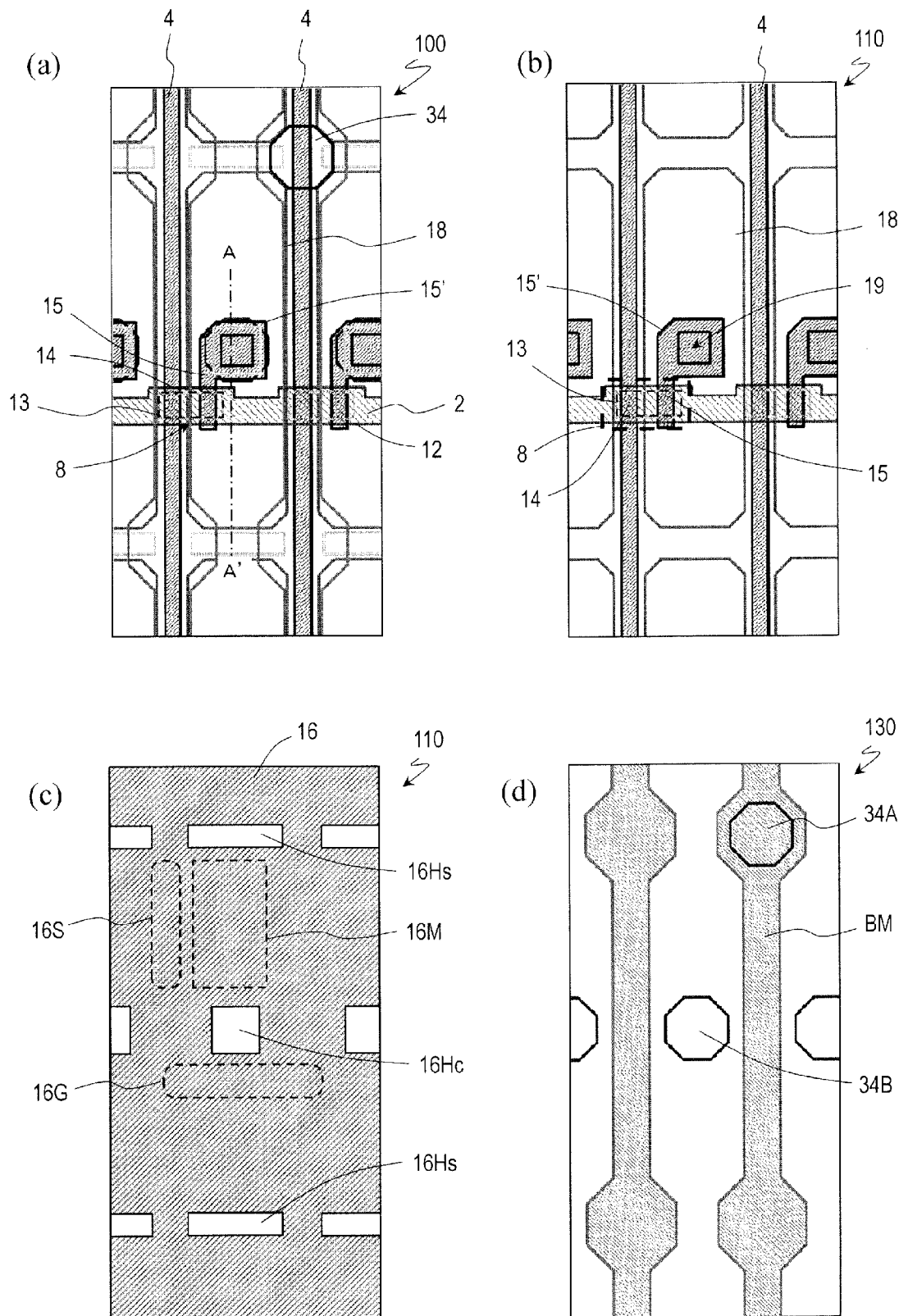
[図1]



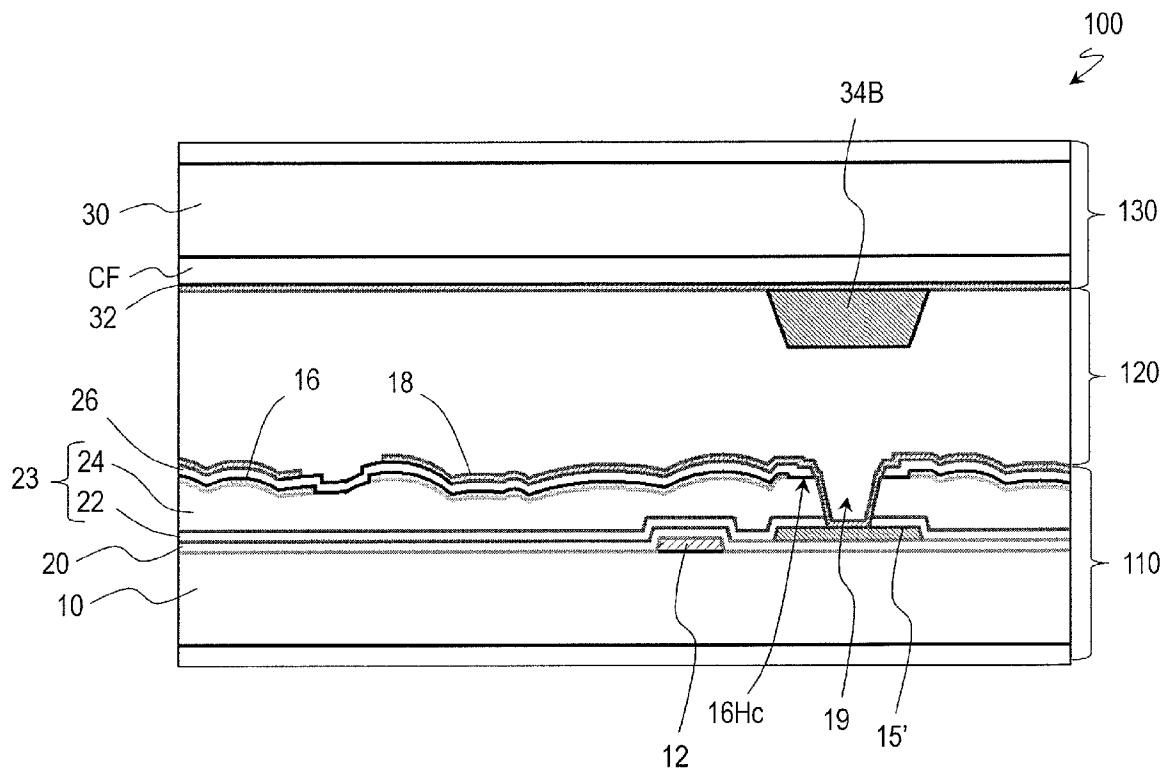
[図2]



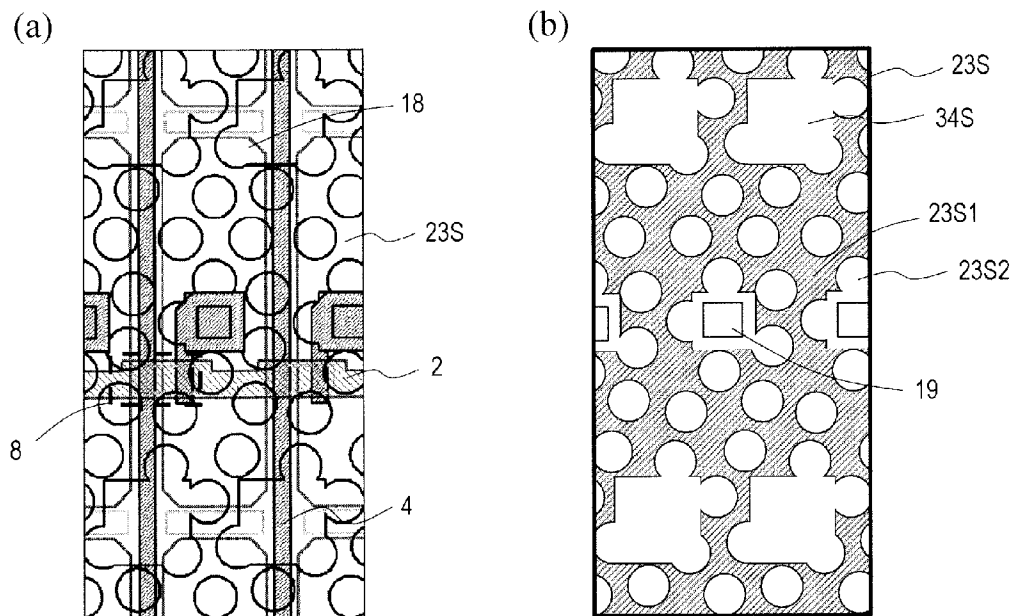
[図3]



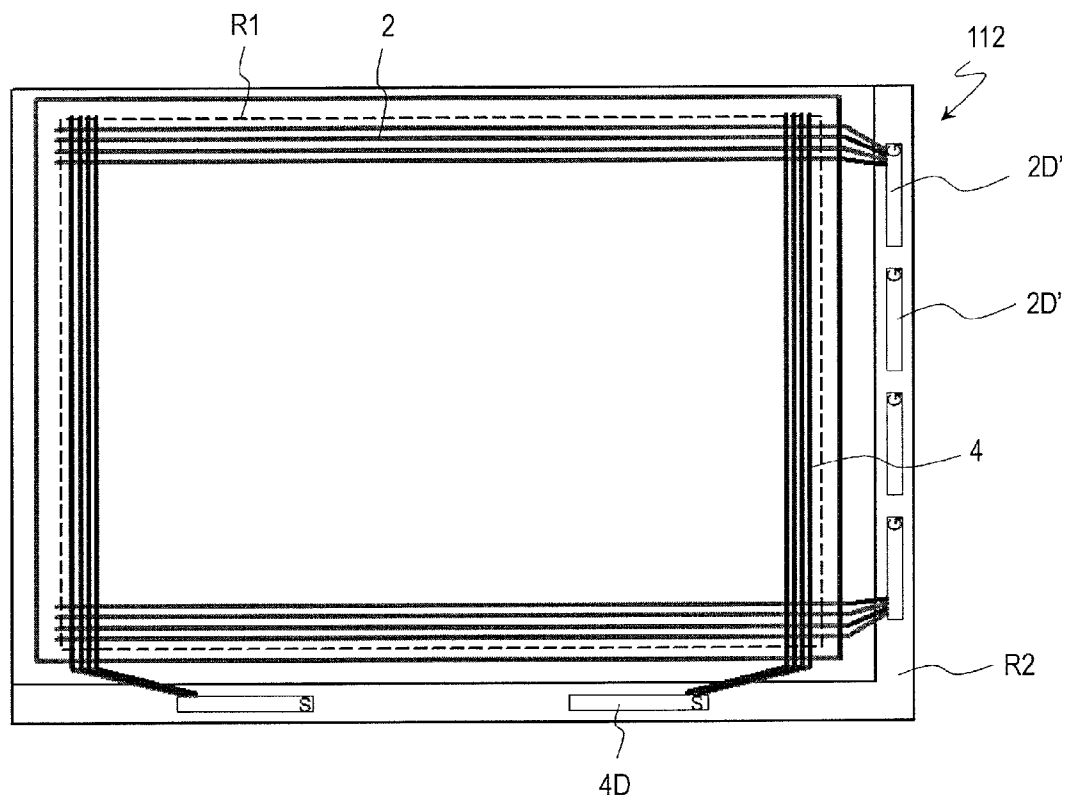
[図4]



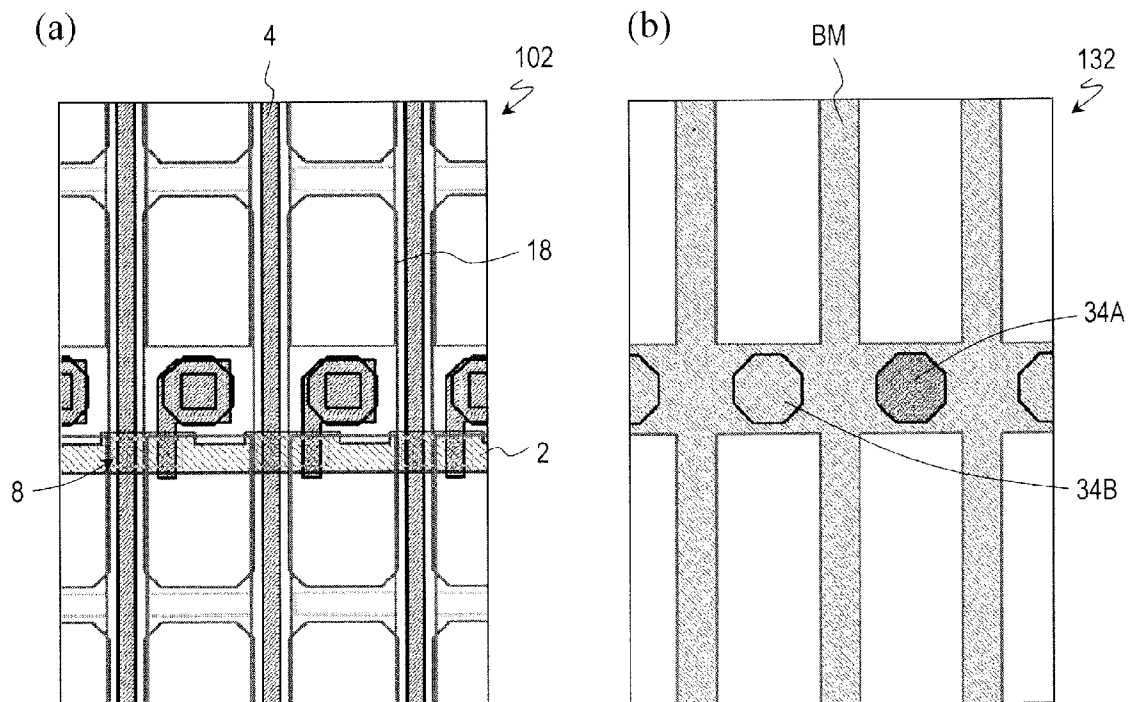
[図5]



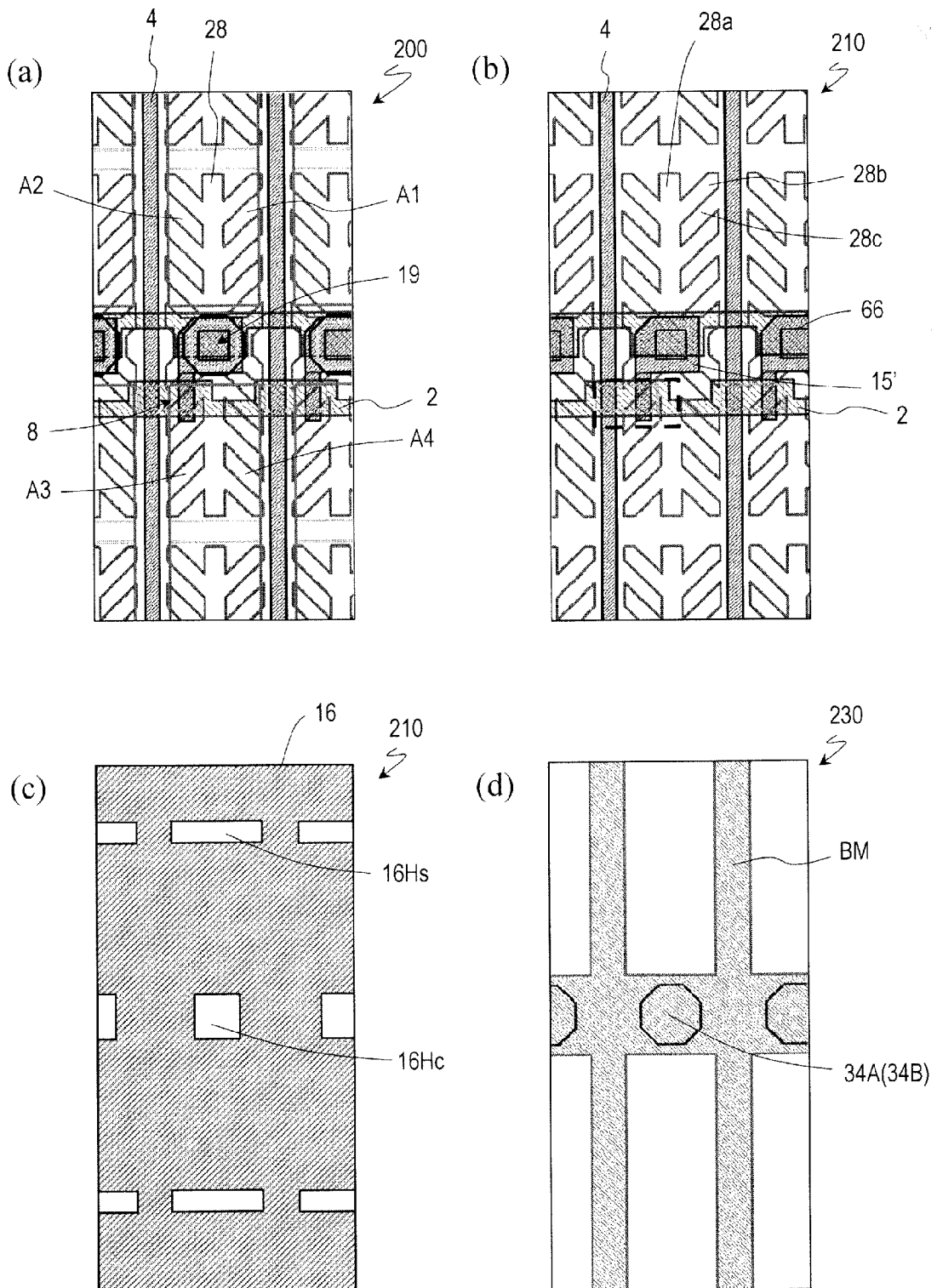
[図6]



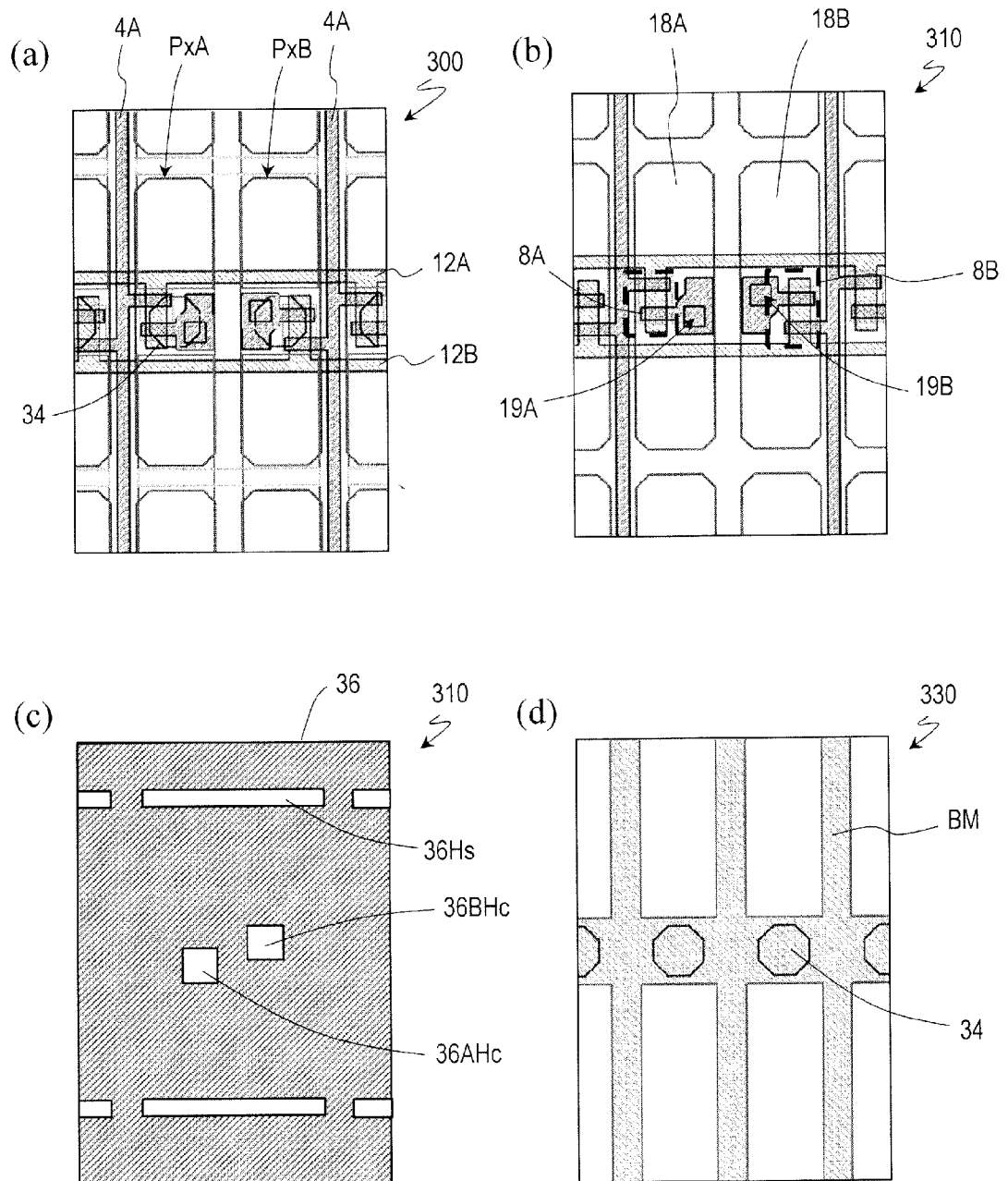
[図7]



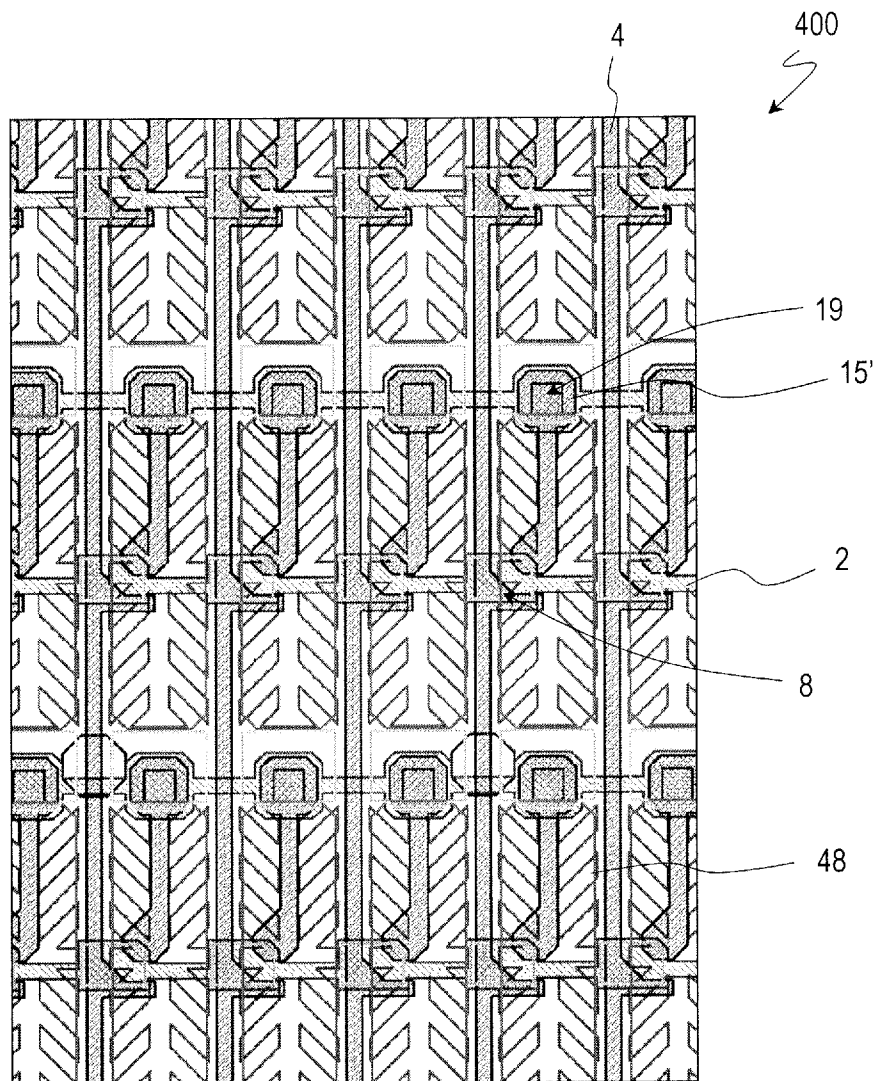
[図8]



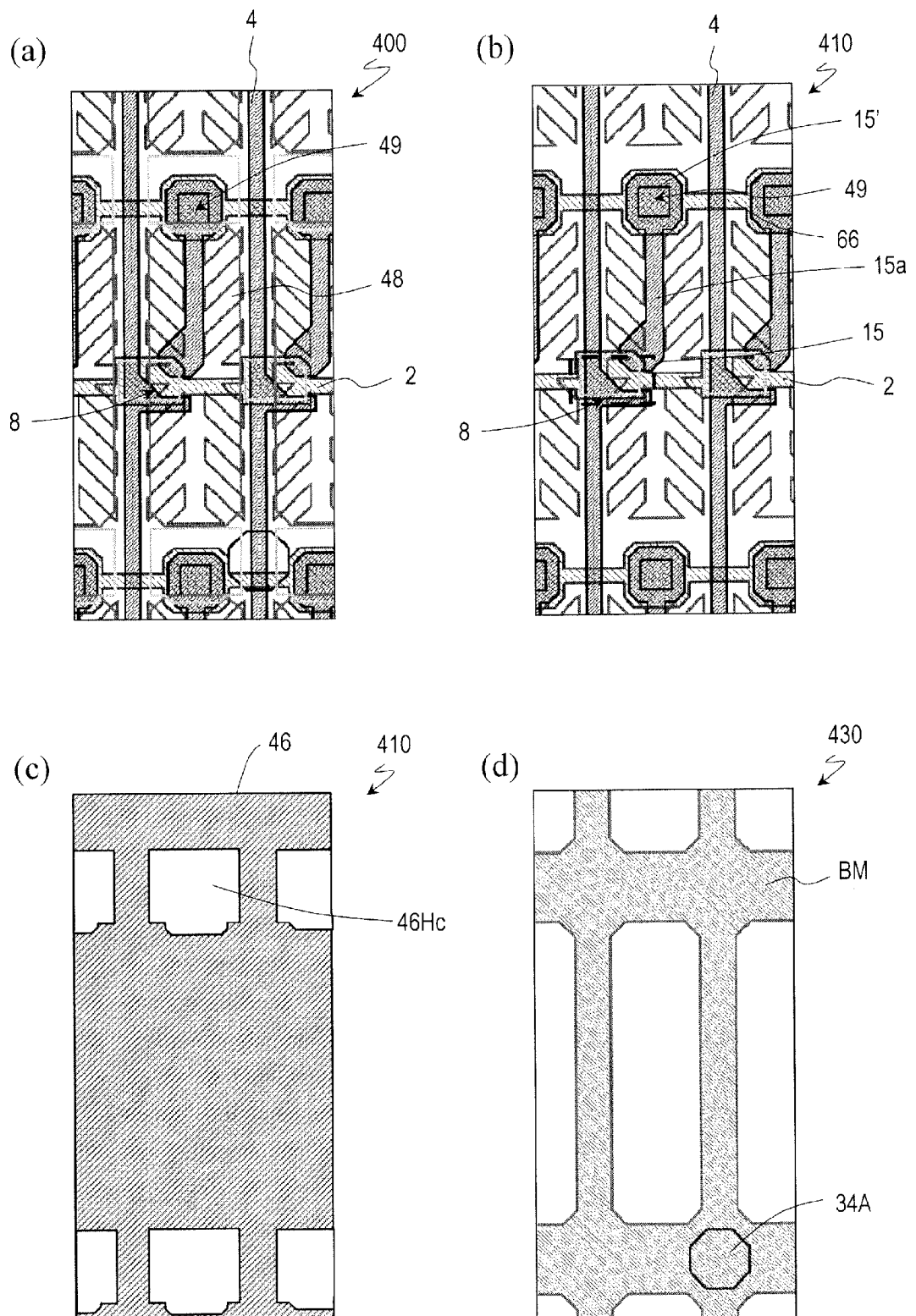
[図9]



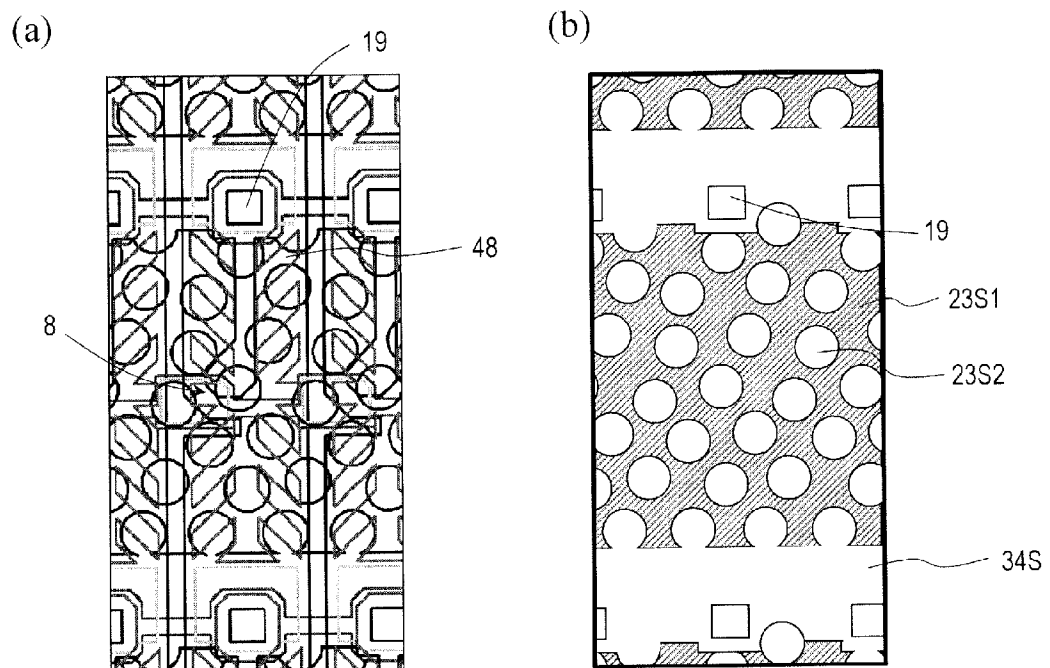
[図10]



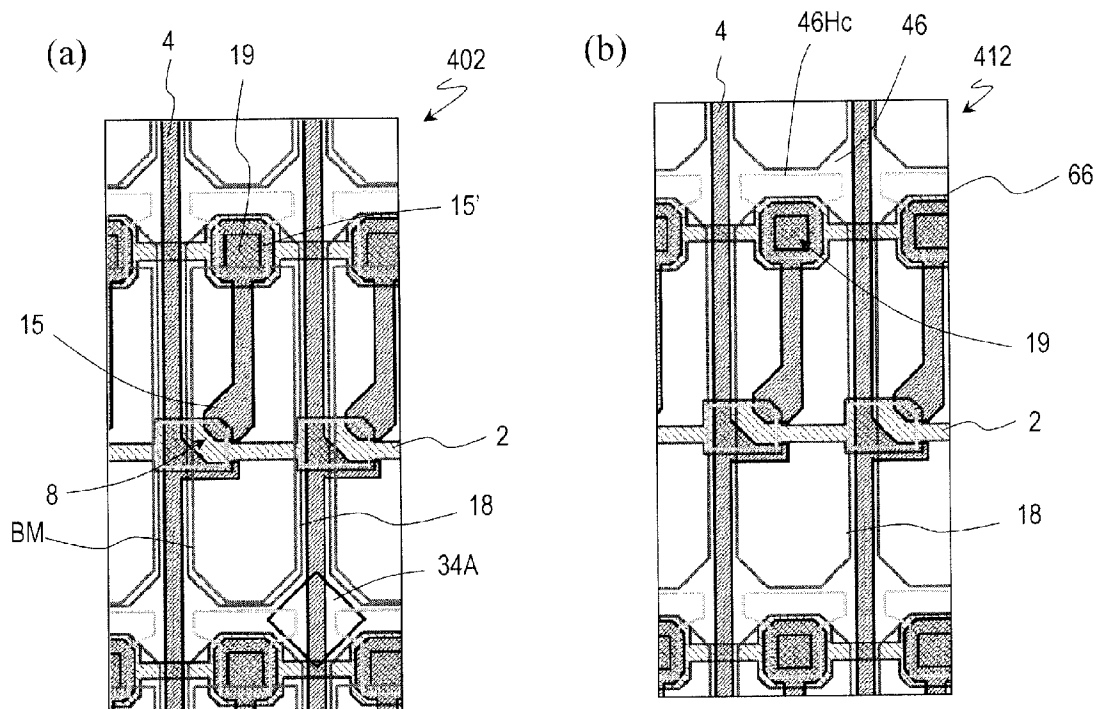
[図11]



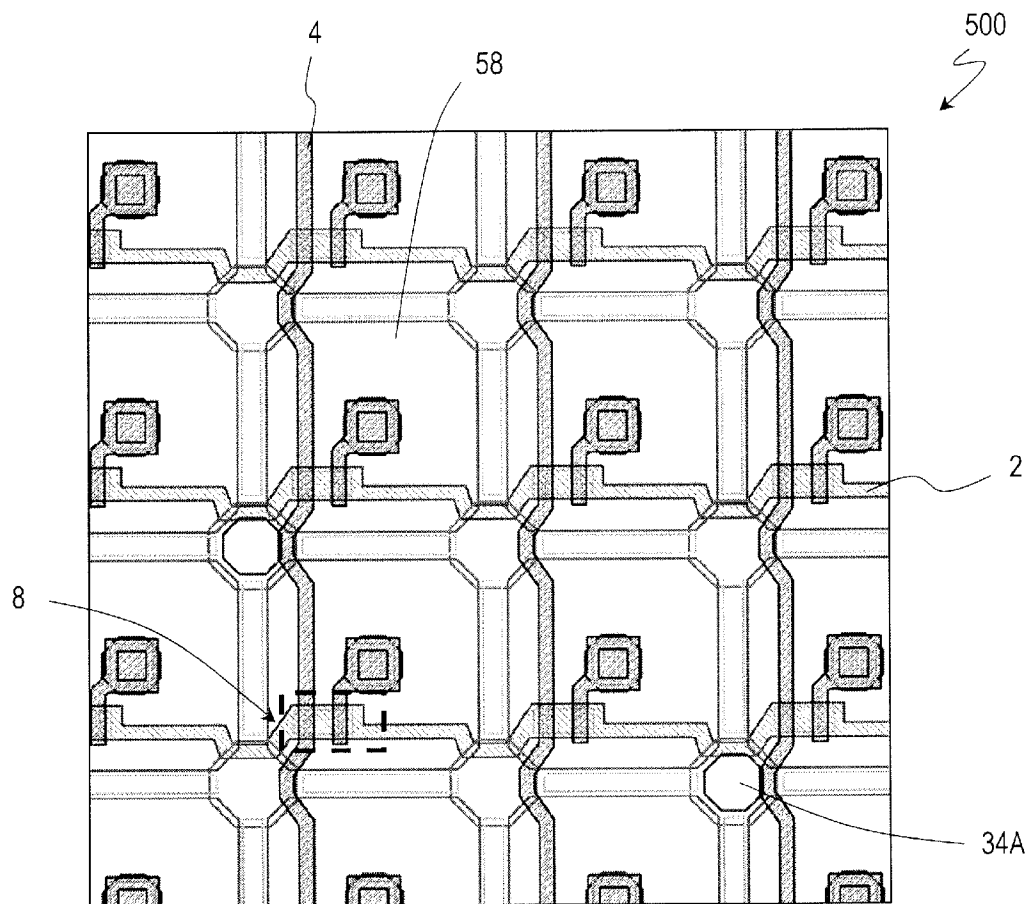
[図12]



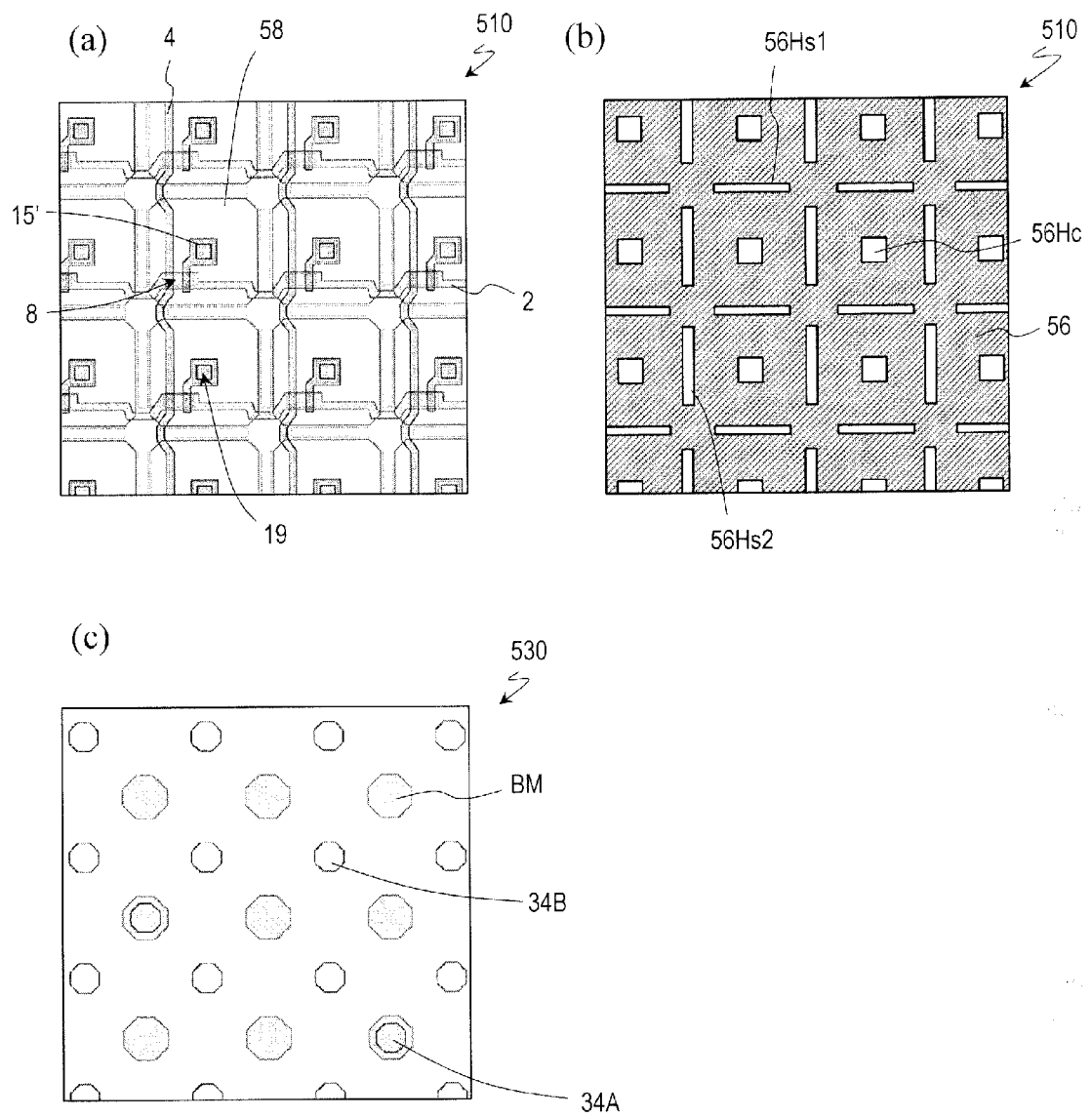
[図13]



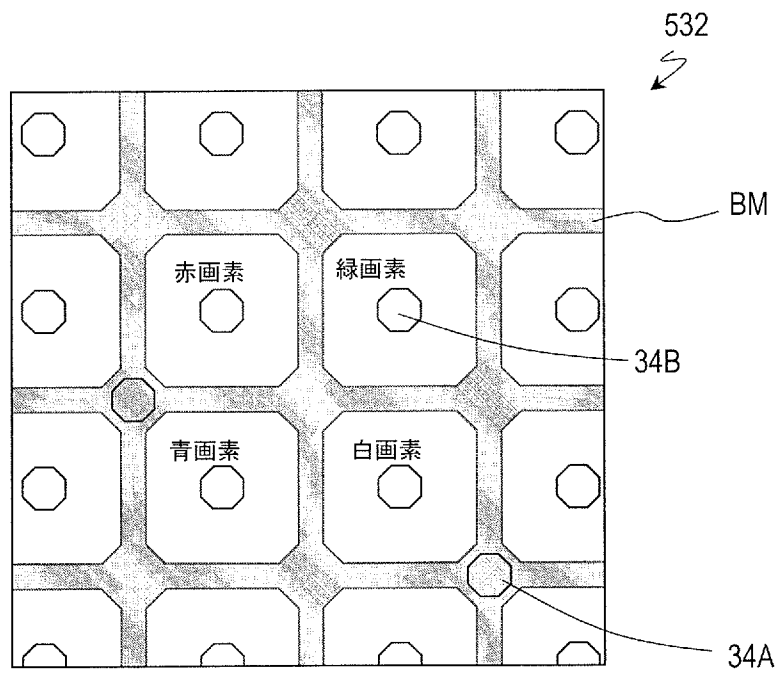
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073164

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01)i, G02F1/1335(2006.01)i, G02F1/1337(2006.01)i,
G02F1/1368(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/1335, G02F1/1337, G02F1/1368, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-156896 A (Seiko Epson Corp.), 16 July 2009 (16.07.2009), paragraphs [0017] to [0036], [0069] to [0070]; fig. 3, 13 (Family: none)	1, 2, 4-8, 11, 12
Y		3, 9, 10, 13-15
Y	JP 2003-195350 A (Sanyo Electric Co., Ltd., Tottori Sanyo Electric Co., Ltd.), 09 July 2003 (09.07.2003), paragraphs [0040] to [0044]; fig. 2 (Family: none)	3, 14
Y	WO 2011/152138 A1 (Sharp Corp.), 08 December 2011 (08.12.2011), fig. 1 & US 2013/0057598 A1 & CN 102884475 A	9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 October, 2013 (30.10.13)

Date of mailing of the international search report
12 November, 2013 (12.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073164

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/077527 A1 (Sharp Corp.), 14 June 2012 (14.06.2012), paragraph [0037]; fig. 4 (Family: none)	10, 13
Y	JP 2007-316329 A (Sharp Corp.), 06 December 2007 (06.12.2007), fig. 1 to 3 (Family: none)	15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1343(2006.01)i, G02F1/1335(2006.01)i, G02F1/1337(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1343, G02F1/1335, G02F1/1337, G02F1/1368, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-156896 A（セイコーエプソン株式会社）2009. 07. 16, 【0017】 - 【0036】 , 【0069】 - 【0070】 , 図 3, 13	1, 2, 4-8, 11, 12
Y	(ファミリーなし)	3, 9, 10, 13-15
Y	JP 2003-195350 A（三洋電機株式会社、鳥取三洋電機株式会社） 2003. 07. 09, 【0040】 - 【0044】、図 2 (ファミリーなし)	3, 14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 1 0 . 2 0 1 3

国際調査報告の発送日

1 2 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小濱 健太

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

4 0 0 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/152138 A1 (シャープ株式会社) 2011. 12. 08, 図 1 & US 2013/0057598 A1 & CN 102884475 A	9
Y	WO 2012/077527 A1 (シャープ株式会社) 2012. 06. 14, 【0037】、図 4 (ファミリーなし)	10, 13
Y	JP 2007-316329 A (シャープ株式会社) 2007. 12. 06, 図 1-3 (ファミリーなし)	15