



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0107770
(43) 공개일자 2017년09월26일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2006.01) G06F 11/20 (2006.01)
G06F 12/16 (2006.01) G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/0292 (2013.01)
G06F 11/2094 (2013.01)
(21) 출원번호 10-2016-0031491
(22) 출원일자 2016년03월16일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이호균
경기도 이천시 부발읍 경충대로 2091
박일
경기도 이천시 부발읍 경충대로 2091
김선욱
경기도 남양주시 도농로 34(부영아파트) 214동
2003호
(74) 대리인
특허법인신성

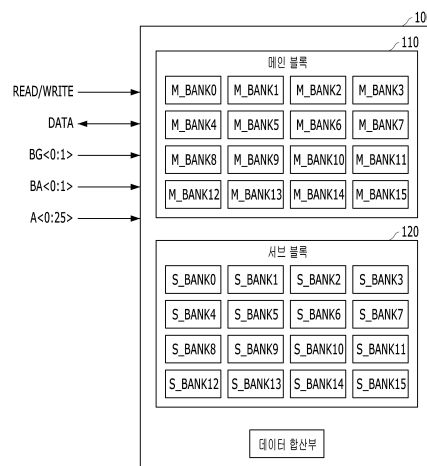
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 메모리 장치 및 이의 동작 방법

(57) 요약

메모리 장치는, 멀티 비트의 어드레스에 의해 액세스되는 다수의 제1페이지를 포함하는 메인 블록; 및 상기 멀티 비트의 어드레스의 일부 비트에 의해 액세스 가능한 다수의 제2페이지를 포함하고, 액세스된 제2페이지들 중 상기 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지에 상기 액세스된 제1페이지의 데이터 전부 또는 일부를 대체할 대체 데이터가 저장되는 서브 블록을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G06F 12/023 (2013.01)

G06F 12/16 (2013.01)

G06F 3/0617 (2013.01)

G06F 3/064 (2013.01)

명세서

청구범위

청구항 1

멀티 비트의 어드레스에 의해 액세스되는 다수의 제1페이지를 포함하는 메인 블록; 및

상기 멀티 비트의 어드레스의 일부 비트에 의해 액세스 가능한 다수의 제2페이지를 포함하고, 액세스된 제2페이지들 중 상기 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지에 상기 액세스된 제1페이지의 데이터 전부 또는 일부를 대체할 대체 데이터가 저장되는 서브 블록

을 포함하는 메모리 장치.

청구항 2

제 1항에 있어서,

상기 다수의 제2페이지 각각은 다수의 서브 셋을 포함하고, 다수의 서브 셋 각각은,

유효 정보, 태그, 오프셋 및 대체 데이터를 저장하는

메모리 장치.

청구항 3

제 2항에 있어서,

상기 멀티 비트의 어드레스는 뱅크 그룹 어드레스, 뱅크 어드레스 및 노멀 어드레스를 포함하고,

상기 멀티 비트의 어드레스의 일부 비트는 상기 뱅크 어드레스 및 노멀 어드레스의 일부 비트를 포함하는

메모리 장치.

청구항 4

제 3항에 있어서,

상기 태그는 뱅크 어드레스와 상기 노멀 어드레스의 나머지 비트를 포함하는

메모리 장치.

청구항 5

제 2항에 있어서,

상기 다수의 서브 셋 각각은 대체 데이터가 더 저장된 제2페이지에 관한 링크 정보를 더 저장하는

메모리 장치.

청구항 6

제 1항에 있어서,

상기 메인 블록과 상기 서브 블록은 하나의 집적 회로 칩에 포함되는 메모리 장치.

청구항 7

제 1항에 있어서,
상기 메인 블록과 상기 서브 블록은 서로 다른 집적 회로 칩에 포함되는 메모리 장치.

청구항 8

제 1항에 있어서,
리드 동작시에 상기 메인 블록에서 액세스된 제1페이지에 페일이 존재하지 않는 경우에는 상기 액세스된 제1페이지의 데이터를 리드 데이터로 제공하고, 리드 동작시에 상기 액세스된 제1페이지에 페일이 존재하는 경우에는 상기 액세스된 제1페이지의 데이터의 일부를 상기 서브 블록에서 액세스된 제2페이지에 저장된 대체 데이터로 대체해 리드 데이터로 제공하는 합산부를 더 포함하는 메모리 장치.

청구항 9

다수의 메인 뱅크를 포함하고, 상기 다수의 메인 뱅크 각각은 다수의 제1페이지를 포함하는 메인 블록; 및
다수의 서브 뱅크를 포함하고, 상기 다수의 서브 뱅크 각각은 다수의 제2페이지를 포함하는 서브 블록을 포함하고,
상기 다수의 메인 뱅크 중 액세스 될 메인 뱅크는 뱅크 그룹 어드레스와 뱅크 어드레스에 의해 선택되고, 선택된 메인 뱅크 내에서 액세스될 제1페이지는 노멀 어드레스에 의해 선택되고,
상기 다수의 서브 뱅크 중 액세스될 서브 뱅크들은 뱅크 어드레스에 의해 선택되고, 선택된 서브 뱅크들 각각에서 액세스될 제2페이지들은 상기 노멀 어드레스의 일부 비트에 의해 선택되고, 액세스된 제2페이지들 중 상기 뱅크 그룹 어드레스 및 상기 노멀 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지에는 상기 액세스된 제2페이지의 데이터 전부 또는 일부를 대체할 대체 데이터가 저장되는 메모리 장치.

청구항 10

제 9항에 있어서,
상기 다수의 제2페이지들 각각은 다수의 서브 셋을 포함하고, 다수의 서브 셋 각각은,
유효 정보, 태그, 오프셋 및 대체 데이터를 저장하는 메모리 장치.

청구항 11

제 10항에 있어서,
상기 다수의 서브 셋 각각은 대체 데이터가 더 저장된 제2페이지에 관한 링크 정보를 더 저장하는

메모리 장치.

청구항 12

제 9항에 있어서,
상기 메인 블록과 상기 서브 블록은 하나의 집적 회로 칩에 포함되는
메모리 장치.

청구항 13

제 9항에 있어서,
상기 메인 블록과 상기 서브 블록은 서로 다른 집적 회로 칩에 포함되는
메모리 장치.

청구항 14

제 9항에 있어서,
리드 동작시에 상기 메인 블록에서 액세스된 제1페이지에 페일이 존재하지 않는 경우에는 상기 액세스된 제1페이지의 데이터를 리드 데이터로 제공하고, 리드 동작시에 상기 액세스된 제1페이지에 페일이 존재하는 경우에는 상기 액세스된 제1페이지의 데이터의 일부를 상기 서브 블록에서 액세스된 제2페이지에 저장된 대체 데이터로 대체해 리드 데이터로 제공하는 합산부
메모리 장치.

청구항 15

멀티 비트의 어드레스를 이용해 다수의 제1페이지 중 하나의 제1페이지에 액세스하는 단계;
상기 멀티 비트의 어드레스의 일부 비트를 이용해 다수의 제2페이지 중 복수개의 제2페이지에 액세스하는 단계;
액세스된 복수개의 제2페이지 중 상기 멀티 비트 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지가 존재하는지 확인하는 단계;
동일한 태그를 저장하는 제2페이지가 존재하는 경우에, 해당 제2페이지의 대체 데이터와 상기 액세스된 제1페이지의 일부 데이터를 리드 데이터로 제공하는 단계; 및
동일한 태그를 저장하는 제2페이지가 존재하지 않는 경우에, 상기 액세스된 제1페이지의 데이터를 리드 데이터로 제공하는 단계
를 포함하는 메모리 장치의 동작 방법.

청구항 16

제 15항에 있어서,
상기 멀티 비트의 어드레스는 뱅크 그룹 어드레스, 뱅크 어드레스 및 노멀 어드레스를 포함하고,
상기 멀티 비트의 어드레스의 일부 비트는 뱅크 어드레스 및 노멀 어드레스의 일부 비트를 포함하는
메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 장치에 관한 것이다.

배경 기술

[0003] 최근 RRAM(Resistive Random Access Memory), PCRAM(Phase-Change Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등의 차세대 메모리들에 대한 연구가 활발하게 수행되고 있는데, 차세대 메모리들의 불량 발생 빈도 및 안정성은 아직 만족할만한 수준에 미치지 못하고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 성능 저하 없이 결함을 구제 가능한 메모리 장치를 제공할 수 있다.

과제의 해결 수단

[0007] 본 발명의 일실시예에 따른 메모리 장치는, 멀티 비트의 어드레스에 의해 액세스되는 다수의 제1페이지를 포함하는 메인 블록; 및 상기 멀티 비트의 어드레스의 일부 비트에 의해 액세스 가능한 다수의 제2페이지를 포함하고, 액세스된 제2페이지들 중 상기 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지에 상기 액세스된 제1페이지의 데이터 전부 또는 일부를 대체할 대체 데이터가 저장되는 서브 블록을 포함할 수 있다.

[0008] 상기 다수의 제2페이지 각각은 다수의 서브 셋을 포함하고, 다수의 서브 셋 각각은, 유효 정보, 태그, 오프셋 및 대체 데이터를 저장할 수 있다.

[0009] 상기 멀티 비트의 어드레스는 뱅크 그룹 어드레스, 뱅크 어드레스 및 노멀 어드레스를 포함하고, 상기 멀티 비트의 어드레스의 일부 비트는 상기 뱅크 어드레스 및 노멀 어드레스의 일부 비트를 포함할 수 있다.

[0010] 상기 태그는 뱅크 어드레스와 상기 노멀 어드레스의 나머지 비트를 포함할 수 있다.

[0011] 상기 다수의 서브 셋 각각은 대체 데이터가 더 저장된 제2페이지에 관한 링크 정보를 더 저장할 수 있다.

[0012] 상기 메인 블록과 상기 서브 블록은 하나의 집적 회로 칩에 포함될 수 있다. 또한, 상기 메인 블록과 상기 서브 블록은 서로 다른 집적 회로 칩에 포함될 수도 있다.

[0013] 또한, 본 발명의 다른 실시예에 따른 메모리 장치는, 다수의 메인 뱅크를 포함하고, 상기 다수의 메인 뱅크 각각은 다수의 제1페이지를 포함하는 메인 블록; 및 다수의 서브 뱅크를 포함하고, 상기 다수의 서브 뱅크 각각은 다수의 제2페이지를 포함하는 서브 블록을 포함하고, 상기 다수의 메인 뱅크 중 액세스될 메인 뱅크는 뱅크 그룹 어드레스와 뱅크 어드레스에 의해 선택되고, 선택된 메인 뱅크 내에서 액세스될 제1페이지는 노멀 어드레스에 의해 선택되고, 상기 다수의 서브 뱅크 중 액세스될 서브 뱅크들은 뱅크 어드레스에 의해 선택되고, 선택된 서브 뱅크들 각각에서 액세스될 제2페이지들은 상기 노멀 어드레스의 일부 비트에 의해 선택되고, 액세스된 제2페이지들 중 상기 뱅크 그룹 어드레스 및 상기 노멀 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지에는 상기 액세스된 제2페이지의 데이터 전부 또는 일부를 대체할 대체 데이터가 저장될 수 있다.

[0014] 또한, 본 발명의 일실시예에 따른 메모리 장치의 동작 방법은, 멀티 비트의 어드레스를 이용해 다수의 제1페이지 중 하나의 제1페이지에 액세스하는 단계; 상기 멀티 비트의 어드레스의 일부 비트를 이용해 다수의 제2페이지 중 복수개의 제2페이지에 액세스하는 단계; 액세스된 복수개의 제2페이지 중 상기 멀티 비트 어드레스의 나머지 비트와 동일한 태그를 저장하는 제2페이지가 존재하는지 확인하는 단계; 동일한 태그를 저장하는 제2페이지가 존재하는 경우에, 해당 제2페이지의 대체 데이터와 상기 액세스된 제1페이지의 일부 데이터를 리드 데이터

로 제공하는 단계; 및 동일한 태그를 저장하는 제2페이지가 존재하지 않는 경우에, 상기 액세스된 제1페이지의 데이터를 리드 데이터로 제공하는 단계를 포함할 수 있다.

- [0015] 상기 멀티 비트의 어드레스는 뱅크 그룹 어드레스, 뱅크 어드레스 및 노멀 어드레스를 포함하고, 상기 멀티 비트의 어드레스의 일부 비트는 뱅크 어드레스 및 노멀 어드레스의 일부 비트를 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 실시예들에 따르면, 성능 저하 없이 메모리 장치의 결함을 구제할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일실시예에 따른 메모리 장치의 구성도.
 도 2는 도 1의 서브 블록(120)의 제2페이지에 저장되는 정보의 일예를 나타내는 도면.
 도 3은 메모리 장치(100)의 리드 동작을 도시한 도면.
 도 4는 도 1의 서브 블록(120)의 제2페이지에 저장되는 정보의 다른 예를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0022] 도 1은 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0023] 도 1을 참조하면, 메모리 장치(100)는, 메인 블록(110), 서브 블록(120) 및 데이터 합산부(130)를 포함할 수 있다.
- [0024] 메인 블록(110)은 멀티 비트의 어드레스(BG<0:1>, BA<0:1>, A<0:25>)에 의해 액세스될 수 있다. 메인 블록(110)은 다수의 제1페이지를 포함하는데, 멀티 비트의 어드레스(BG<0:1>, BA<0:1>, A<0:25>)에 의해 다수의 제1페이지 중 하나의 제1페이지가 액세스될 수 있다. 멀티 비트의 어드레스는 뱅크 그룹 어드레스(BG<0:1>), 뱅크 어드레스(BA<0:1>) 및 노멀 어드레스(A<0:25>)를 포함할 수 있다. 메인 블록(110)은 16개의 메인 뱅크(M_BANK0~M_BANK15)를 포함하고, 16개의 메인 뱅크들(M_BANK0~M_BANK15) 각각은 64M개(여기서, 1M=1024*1024개 일 수 있음)의 제1페이지들을 포함할 수 있다. 그리고, 제1페이지들 각각은 128비트의 데이터를 저장할 수 있다. 메인 뱅크들(M_BANK0~M_BANK15)은 4개의 메인 뱅크 그룹으로 나뉘어질 수 있다. 예를 들어, M_BANK0~M_BANK_3은 메인 뱅크 그룹0, M_BANK4~M_BANK7은 메인 뱅크 그룹1, M_BANK8~M_BANK11은 메인 뱅크 그룹2, M_BANK12~M_BANK15는 메인 뱅크 그룹3으로 나뉘어질 수 있다.
- [0025] 메인 블록(110)의 액세스시에 뱅크 그룹 어드레스(BG<0:1>)에 의해 액세스될 메인 뱅크 그룹이 선택되고, 뱅크 어드레스(BA<0:1>)에 의해 선택된 뱅크 그룹 내에서 액세스될 메인 뱅크가 선택될 수 있다. 그리고 노멀 어드레스(A<0:25>)에 의해 선택된 메인 뱅크 내의 제1페이지들 중 액세스될 제1페이지가 선택될 수 있다.
- [0026] 서브 블록(120)은 멀티 비트의 어드레스(BG<0:1>, BA<0:1>, A<0:25>)의 일부 비트(BA<0:1>, A<0:19>)에 의해 액세스될 수 있다. 서브 블록(120)은 메인 블록(110)에서의 폐일을 리페어하기 위한 블록일 수 있다. 서브 블록(120)은 다수의 제2페이지를 포함하는데, 멀티 비트의 어드레스의 일부 비트(BA<0:1>, A<0:19>)에 의해 서브 블록(120)의 다수의 제2페이지 중 4개의 제2페이지들이 액세스될 수 있다. 서브 블록(120)은 16개의 서브 뱅크(S_BANK0~S_BANK15)를 포함하고, 16개의 서브 뱅크들(S_BANK0~S_BANK15) 각각은 1M개의 제2페이지들을 포함할 수 있다. 제2페이지들 각각은 128비트로 구성되고 4개의 서브 셋들을 포함할 수 있다. 그리고 서브 셋들 각각은 유효 정보, 태그, 오프셋 및 대체 데이터를 저장할 수 있다. 서브 뱅크들(S_BANK0~S_BANK15)은 4개의 서브 뱅크

그룹으로 나뉘어질 수 있다. 예를 들어, S_BANK0~S_BANK_3은 서브 बैं크 그룹0, S_BANK4~S_BANK7은 서브 बैं크 그룹1, S_BANK8~S_BANK11은 서브 बैं크 그룹2, S_BANK12~S_BANK15는 서브 बैं크 그룹3으로 나뉘어질 수 있다.

[0027] 서브 블록(120)의 액세스시에 액세스될 서브 बैं크를 선택하기 위해 बैं크 어드레스(BA<0:1>)만이 사용되고 बैं크 그룹 어드레스(BG<0:1>)가 사용되지 않을 수 있다. 그러므로, 서브 블록(120)의 액세스시에 16개의 서브 बैं크들(S_BANK0~S_BANK15) 중 각 서브 बैं크 그룹 별로 1개씩, 즉 4개의 서브 बैं크들이, 액세스되도록 선택될 수 있다. 예를 들어, 서브 बैं크들(S_BANK0, S_BANK4, S_BANK8, S_BANK12)이 같이 액세스 되거나, 서브 बैं크들(S_BANK1, S_BANK5, S_BANK9, S_BANK13)이 같이 액세스 되거나, 서브 बैं크들(S_BANK2, S_BANK6, S_BANK10, S_BANK14)이 같이 액세스 되거나, 서브 बैं크들(S_BANK3, S_BANK7, S_BANK11, S_BANK15)이 같이 액세스될 수 있다. बैं크 어드레스(BA<0:1>)에 의해 선택된 4개의 서브 बैं크들 각각에서 노멀 어드레스의 일부 비트(A<0:19>)를 이용해 액세스될 제2페이지가 선택될 수 있다. 결국, 선택된 4개의 서브 बैं크들 당 하나씩 총 4개의 제2페이지들이 선택될 수 있다.

[0028] 액세스된 4개의 제2페이지들의 서브 셋들 중 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋이 존재하는 경우에, 해당 서브셋에 저장된 대체 데이터는 메인 블록(110)에서 액세스된 제1페이지의 데이터의 일부를 대체할 수 있다. 액세스된 4개의 제2페이지들의 서브 셋들 중 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋이 존재하지 않는 경우에는 메인 블록(110)에서 액세스된 제1페이지에 페일이 존재하지 않음을 의미할 수 있다.

[0029] 데이터 합산부(130)는 메인 블록(110)에서 액세스된 제1페이지에 페일이 존재하지 않는 경우에는 액세스된 제1페이지의 데이터를 리드 데이터로 제공할 수 있다. 그리고 데이터 합산부(130)는 메인 블록(110)에서 액세스된 제1페이지에 페일이 존재하는 경우에는 액세스된 제1페이지로부터 리드된 데이터의 일부를 서브 블록(120)에서 액세스된 제2페이지에 저장된 대체 데이터로 대체해 리드 데이터로 제공할 수 있다.

[0030] 도 1의 데이터(DATA)는 메모리 장치(100)로 입력되는 라이트 데이터와 메모리 장치(100)로부터 출력되는 리드 데이터를 나타낼 수 있다. 그리고, 도 1의 READ/WRITE는 메모리 장치(100)로 입력되는 리드 커맨드 및 라이트 커맨드를 나타낼 수 있다.

[0031] 메모리 장치(110)의 메인 블록(110)과 서브 블록(120) 및 데이터 합산부(130)는 하나의 집적 회로 칩(chip)에 포함될 수도 있으며, 서로 다른 집적 회로 칩들에 포함될 수도 있다.

[0032] 도 1에서는 이해를 돕기 위해, 메인 बैं크들(M_BANK0~M_BANK15)의 개수와 서브 बैं크들(S_BANK0~S_BANK15)의 개수가 동일한 것을 예시했지만, 이들의 개수가 서로 다를 수도 있음은 당연하다.

[0034] 도 2는 도 1의 서브 블록(120)의 제2페이지에 저장되는 정보의 일례를 나타내는 도면이다. 도 2에서 괄호 안의 숫자는 비트 수를 나타낼 수 있다.

[0035] 도 2를 참조하면, 제2페이지는 128비트로 구성되고, 4개의 서브 셋(SUBSET0~SUBSET3)을 포함할 수 있다. 그리고 서브 셋들(SUBSET0~SUBSET3) 각각은 28비트로 구성되고 제2페이지의 128비트 중 16비트는 사용되지 않을 수 있다(UNUSED).

[0036] 서브 셋들(SUBSET0~SUBSET3)에 저장된 유효(valid) 정보(V)는 해당 서브 셋에 저장된 정보들이 유효한지 아닌지를 나타낼 수 있다. 유효 정보(V)는 1비트일 수 있다. 유효 정보(V)가 '0'이면 해당 서브 셋에 저장된 정보가 무효임을, 즉 해당 서브 셋이 아직 사용되지 않았음을, 나타낼 수 있다. 유효 정보(V)가 '1'이면 해당 서브 셋이 저장된 정보가 유효임을, 즉 해당 서브 셋이 사용되었음을, 나타낼 수 있다.

[0037] 서브 셋들(SUBSET0~SUBSET3)에 저장된 태그(TAG-BG, TAG-A)는 बैं크 그룹 어드레스 태그(TAG-BG)와 노멀 어드레스 태그(TAG-A)를 포함할 수 있다. 태그(TAG-BG, TAG-A)는 8비트일 수 있으며, 이중 बैं크 그룹 어드레스 태그(TAG-BG)가 2비트이고 노멀 어드레스 태그(TAG-A)가 6비트일 수 있다. 메인 블록(110)을 액세스하는데 사용된 전체 어드레스(BG<0:1>, BA<0:1>, A<0:25>) 중 서브 블록(120)을 액세스하는데 사용된 일부 어드레스(BA<0:1>, A<0:19>)를 제외한 나머지 어드레스(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋은 메인 블록의 제1페이지의 데이터의 일부를 대체할 대체 데이터를 저장하는 서브 셋이 될 수 있다.

[0038] 서브 셋들(SUBSET0~SUBSET3)에 저장된 오프셋(OFFSET)은 메인 블록(110)의 제1페이지에 저장되는 128비트 데이터에 대한, 16비트의 대체 데이터(R_DATA)의 오프셋을 나타낼 수 있다. 오프셋(OFFSET)은 3비트일 수 있다. 128비트를 16비트로 나누면 8개의 부분으로 나뉘어질 수 있는데, 오프셋(OFFSET)은 16비트의 대체 데이터(R_DATA)

가 128비트의 데이터 중 어느 부분을 대체하는지를 나타낼 수 있다.

- [0039] 서브 셋들(SUBSET0~SUBSET3)에 저장된 대체 데이터(R_DATA)는 메인 블록(110)의 제1페이지에 저장된 128비트 데이터 중 페일 부분을 대체하기 위한 데이터일 수 있다. 대체 데이터(R_DATA)는 16비트일 수 있다.
- [0041] 이제, 메모리 장치(100)의 동작에 대해 알아보기로 한다.
- [0042] 먼저, 메모리 장치(100)의 라이트 동작에 대해 알아보기로 한다.
- [0043] 메모리 장치(100)의 라이트 동작시에 멀티 비트의 어드레스(BG<0:1>, BA<0:1>, A<0:25>)를 이용해 메인 블록(110)에서 하나의 제1페이지가 액세스되고, 멀티 비트의 어드레스의 일부 비트(BA<0:1>, A<0:19>)를 이용해 서브 블록(120)에서 4개의 제2페이지가 액세스될 수 있다. 메인 블록(110)에서 액세스된 제1페이지에 페일이 존재하지 않는 경우에, 메인 블록(110)에서 액세스된 제1페이지에만 128비트의 라이트 데이터가 기록될 수 있다. 메인 블록(110)에서 액세스된 제1페이지에 페일이 존재하는 경우에, 서브 블록(120)에서 액세스된 4개의 제2페이지의 서브 셋들 중 유효 정보(V)가 '0'인 서브 셋들 중 하나가 선택되고, 선택된 서브 셋의 유효 정보(V)가 '1'로 변경되고 선택된 서브 셋의 태그(TAG-BG, TAG-A)에 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)가 기록되고 대체 데이터(R_DATA)와 대체 데이터의 위치를 나타내는 오프셋이 기록될 수 있다. 즉, 메인 블록(110)의 제1페이지에 페일이 존재하는 경우에 제1페이지에서 페일이 없는 부분에만 라이트 데이터가 기록되고 제1페이지에서 페일이 있는 부분에 기록되어야 할 데이터는 서브 블록(120)의 제2페이지에 기록될 수 있다.
- [0044] 이제, 도 3을 참조해 메모리 장치(100)의 리드 동작에 대해 알아보기로 한다.
- [0045] 먼저, 멀티 비트의 어드레스(BG<0:1>, BA<0:1>, A<0:25>)를 이용해 메인 블록(110)에서 하나의 제1페이지가 액세스될 수 있다(S310).
- [0046] 그리고, 멀티 비트의 어드레스의 일부 비트(BA<0:1>, A<0:19>)를 이용해 서브 블록(120)에서 4개의 제2페이지가 액세스될 수 있다(S320). 메인 블록(110)의 액세스와 서브 블록(120)의 액세스는 동시에 수행될 수 있다.
- [0047] 액세스된 4개의 제2페이지의 서브 셋들 중 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하고 있는 서브 셋이 존재하는지가 확인될 수 있다(S330).
- [0048] 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋이 존재하지 않는 경우에(S330에서 N), 데이터 합산부(130)는 메인 블록(110)의 제1페이지로부터 리드된 데이터를 메모리 장치의 리드 데이터로 제공할 수 있다(S340).
- [0049] 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋이 존재하는 경우에(S330에서 Y), 데이터 합산부(130)는 메인 블록(110)의 제1페이지로부터 리드된 데이터의 일부를 멀티 비트의 어드레스의 나머지 비트(BG<0:1>, A<20:25>)와 동일한 태그를 저장하는 서브 셋에 저장된 대체 데이터(R_DATA)로 대체해 리드 데이터로 제공할 수 있다(S350). 이때 제1페이지로부터 리드된 데이터 중 대체 데이터(R_DATA)가 대체하는 부분은 오프셋(OFFSET)에 의해 결정될 수 있다.
- [0050] 도 3을 참조하면, 메인 블록(110)과 서브 블록(120)이 동시에 액세스되고, 서브 블록(120)에 메인 블록(110)의 페일을 대체할 대체 데이터(R_DATA)가 존재하는 경우에 메인 블록(110)에 저장된 데이터의 일부가 서브 블록(120)에 저장된 대체 데이터(R_DATA)에 의해 대체되는 것을 확인할 수 있다. 이에 의해 성능 저하 없이 메모리 장치(110)의 페일을 구제하는 것이 가능할 수 있다.
- [0052] 도 4는 도 1의 서브 블록(120)의 제2페이지에 저장되는 정보의 다른 예를 나타내는 도면이다.
- [0053] 도 4를 참조하면, 제2페이지는 128비트로 구성되고, 4개의 서브 셋(SUBSET0~SUBSET3)을 포함할 수 있다. 그리고 서브 셋들(SUBSET0~SUBSET3) 각각은 32비트로 구성될 수 있다.
- [0054] 서브 셋들(SUBSET0~SUBSET3)은 도 2와 동일한 유효 정보(V), 태그(TAG-BG, TAG-A), 오프셋(OFFSET) 및 대체 데이터(R_DATA) 이외에 링크 정보(LINK)를 더 저장할 수 있다. 여기서는 링크 정보(LINK)가 4비트인 것으로 예시했다.
- [0055] 서브 셋들(SUBSET0~SUBSET3) 각각에는 대체 데이터(R_DATA)가 16비트 저장될 수 있다. 만약, 제1페이지의 전체

가 페일이라면, 즉 128비트 전체가 페일이라면, 서브 셋에 이를 대체하기 위한 대체 데이터(R_DATA)가 전부 저장될 수 없는데, 링크 정보(LINK)는 이러한 경우에 사용될 수 있다. 링크 정보(LINK)는 서브 셋에 저장된 16비트의 대체 데이터(R_DATA) 이외에 나머지 112비트의 대체 데이터가 저장된 서브 블록(120)의 제3페이지를 지정하기 위해 사용될 수 있다. 서브 블록(120)에는 제2페이지들 이외에 링크 정보(LINK)로만 액세스 가능하며 제2페이지에 저장하지 못한 112비트의 대체 데이터를 저장하는 제3페이지들이 더 존재할 수 있다. 예를 들어, 도 4에서는 링크 정보(LINK)가 4비트로 예시되었으므로, 서브 블록(120) 내에 링크 정보(LINK)로 액세스 가능한 16개의 제3페이지가 존재할 수 있다.

[0056] 도 4에 따르면, 링크 정보(LINK)를 이용하는 것에 의해, 메인 블록(110)의 제1페이지에 저장되는 데이터의 일부(16비트) 뿐만이 아니라 전부(128비트)를 서브 블록(120)에 저장되는 대체 데이터로 대체하는 것이 가능할 수 있다.

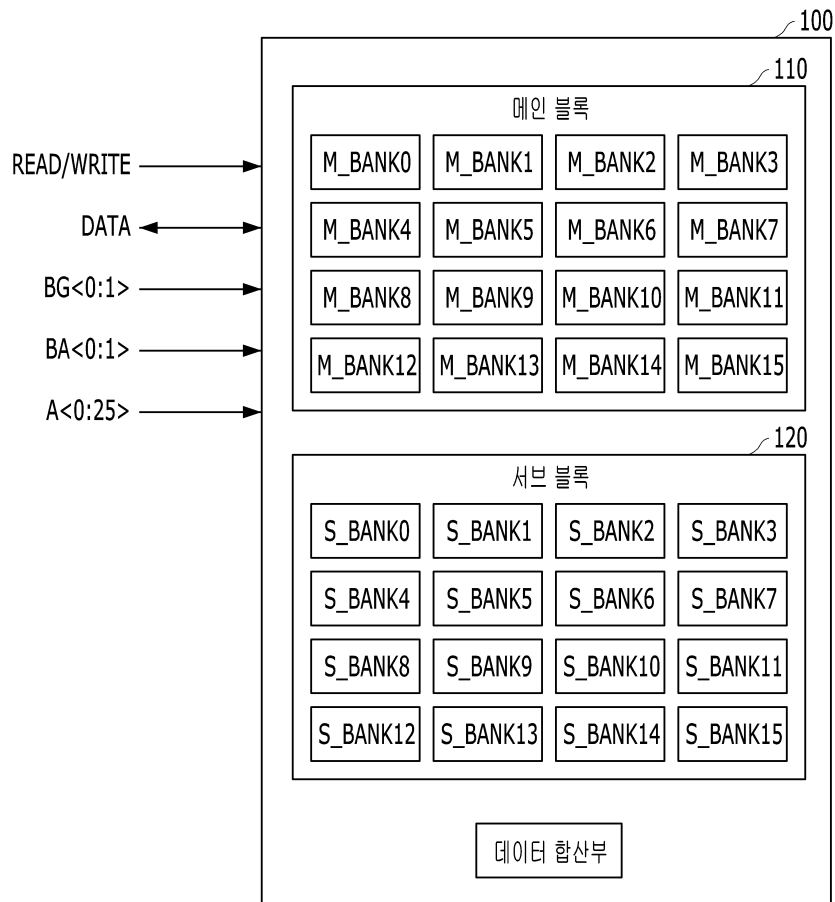
[0058] 본 발명의 기술 사상은 상기 바람직한 실시예들에 따라 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

부호의 설명

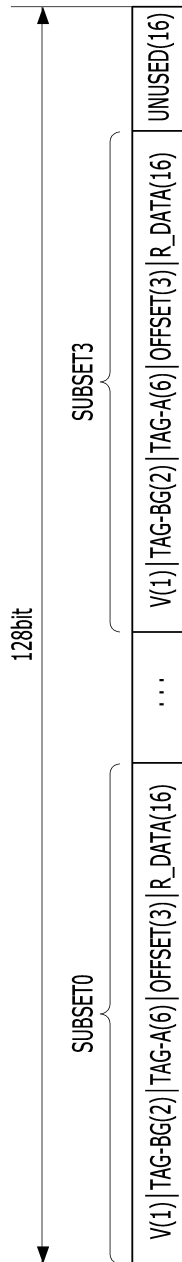
[0060] 100: 메모리 장치 110: 메인 블록
120: 서브 블록 130: 데이터 합산부

도면

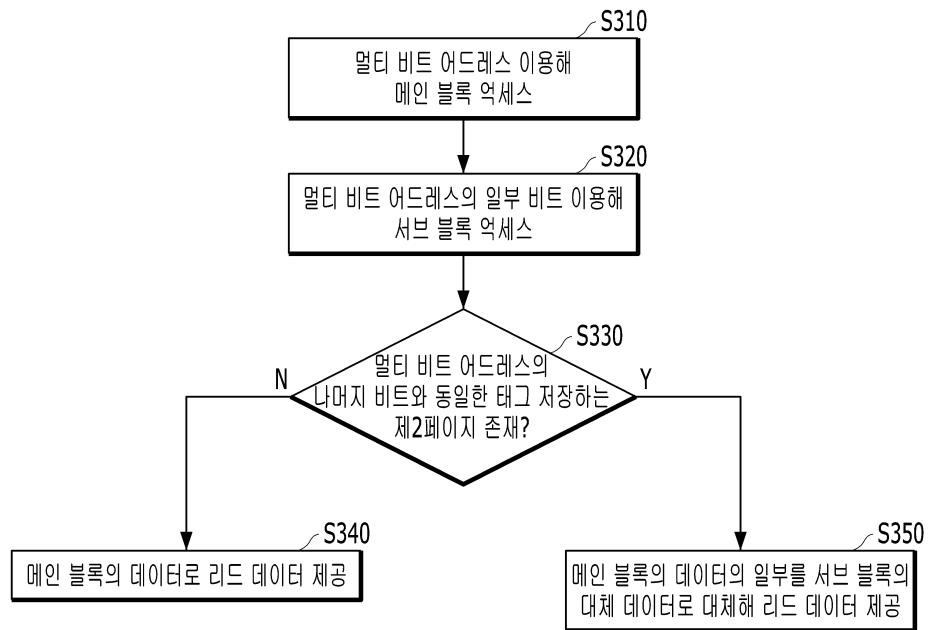
도면1



도면2



도면3



도면4

