

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6843550号  
(P6843550)

(45) 発行日 令和3年3月17日 (2021.3.17)

(24) 登録日 令和3年2月26日 (2021.2.26)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 505
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612L
	G09G 3/20 612P
	G09G 3/20 621A
請求項の数 18 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2016-161390 (P2016-161390)	(73) 特許権者	308017571
(22) 出願日	平成28年8月19日 (2016.8.19)		シナプティクス・ジャパン合同会社
(65) 公開番号	特開2018-28640 (P2018-28640A)		東京都中野区中野四丁目10番2号
(43) 公開日	平成30年2月22日 (2018.2.22)	(74) 代理人	100205350
審査請求日	平成30年8月8日 (2018.8.8)		弁理士 狩野 芳正
審判番号	不服2019-13031 (P2019-13031/J1)	(72) 発明者	黒岩 剛史
審判請求日	令和1年10月1日 (2019.10.1)		東京都中野区中野4丁目10番2号 シナ プティクス・ジャパン合同会社内
		合議体	
		審判長	中塚 直樹
		審判官	濱野 隆
		審判官	岸 智史
		最終頁に続く	

(54) 【発明の名称】 表示ドライバ及び表示装置

(57) 【特許請求の範囲】

【請求項1】

表示パネルを駆動する表示ドライバであって、

当該表示ドライバの外部から供給され、垂直同期期間の開始を指示する垂直同期期間開始指示にตอบสนองして垂直同期ソース信号を生成するように構成された同期抽出回路と、

前記垂直同期ソース信号にตอบสนองして内部垂直同期信号を生成するタイミング生成回路と、

、

前記内部垂直同期信号に同期して前記表示パネルを駆動する駆動回路

とを具備し、

前記タイミング生成回路は、前記垂直同期ソース信号のアサートにตอบสนองして前記内部垂直同期信号をアサートするように構成され、

前記同期抽出回路は、前記垂直同期期間開始指示を検出したときに前記垂直同期ソース信号をアサートするように構成され、且つ、

前記同期抽出回路は、前記垂直同期ソース信号の前のアサートの後、前記垂直同期期間開始指示を検出しないとき、所定時間が経過した場合に、前記垂直同期ソース信号をアサートするように構成された

表示ドライバ。

【請求項2】

請求項1に記載の表示ドライバであって、

前記同期抽出回路は、

10

20

前記垂直同期期間開始指示を検出して垂直同期期間開始指示検出信号を生成するように構成された垂直同期期間開始指示検出部と、

カウント動作を行うカウンタを備えると共に、前記カウンタが保持するカウント値に応じて垂直同期疑似信号を生成するように構成された垂直同期疑似信号生成部と、

前記垂直同期期間開始指示検出信号と前記垂直同期疑似信号とに応じて前記垂直同期ソース信号を生成する論理回路部

とを備える

表示ドライバ。

【請求項 3】

請求項 2 に記載の表示ドライバであって、

前記垂直同期期間開始指示検出部は、前記垂直同期期間開始指示を検出すると前記垂直同期期間開始指示検出信号をアサートするように構成され、

前記カウンタは、前記カウント値をカウントアップするように構成され、

前記垂直同期疑似信号生成部は、前記カウント値の所定の上限値への到達に 응답して前記垂直同期疑似信号をアサートするように構成され、

前記論理回路部は、前記垂直同期期間開始指示検出信号のアサートと前記垂直同期疑似信号のアサートとに応じて前記垂直同期ソース信号をアサートするように構成され、

前記カウンタは、前記垂直同期期間開始指示検出信号のアサートに 응답して前記所定のリセット値にリセットされると共に、前記垂直同期疑似信号のアサートに 응답して前記カウント値が前記リセット値より大きい所定値にセットされるように構成された

表示ドライバ。

【請求項 4】

請求項 3 に記載の表示ドライバであって、

前記論理回路部は、前記カウント値が所定の下限値に到達していない場合、前記垂直同期ソース信号をアサートしない

表示ドライバ。

【請求項 5】

請求項 2 に記載の表示ドライバであって、

前記垂直同期期間開始指示検出部は、前記垂直同期期間開始指示を検出すると前記垂直同期期間開始指示検出信号をアサートするように構成され、

前記カウンタは、前記カウント値をカウントダウンするように構成され、

前記垂直同期疑似信号生成部は、前記カウント値の所定の下限値への到達に 응답して前記垂直同期疑似信号をアサートするように構成され、

前記論理回路部は、前記垂直同期期間開始指示検出信号のアサートと前記垂直同期疑似信号のアサートとに応じて前記垂直同期ソース信号をアサートするように構成され、

前記カウンタは、前記垂直同期期間開始指示検出信号のアサートに 응답して前記所定のリセット値にリセットされると共に、前記垂直同期疑似信号のアサートに 응답して前記カウント値が前記リセット値より小さい所定値にセットされるように構成された

表示ドライバ。

【請求項 6】

請求項 5 に記載の表示ドライバであって、

前記論理回路部は、前記カウント値が所定の上限値に到達していない場合、前記垂直同期ソース信号をアサートしない

表示ドライバ。

【請求項 7】

請求項 3 又は 4 に記載の表示ドライバであって、

更に、

前記上限値を保持する上限値レジスタを備える

表示ドライバ。

【請求項 8】

請求項 7 に記載の表示ドライバであって、  
前記上限値レジスタに保持されている前記上限値が、当該表示ドライバの外部から書き換え可能である  
表示ドライバ。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の表示ドライバであって、  
前記垂直同期期間開始指示は、当該表示ドライバに供給される垂直同期パケットを含む表示ドライバ。

【請求項 10】

請求項 1 に記載の表示ドライバであって、  
前記同期抽出回路は、当該表示ドライバの外部から供給され、水平同期期間の開始を指示する水平同期期間開始指示に応答して水平同期ソース信号を生成するように構成され、  
前記タイミング生成回路は、前記水平同期ソース信号に응答して内部水平同期信号を生成するように構成され、  
前記駆動回路は、前記内部水平同期信号に同期して前記表示パネルを駆動し、  
前記タイミング生成回路は、前記水平同期ソース信号のアサートに응答して前記内部水平同期信号をアサートするように構成され、  
前記同期抽出回路は、前記水平同期期間開始指示を検出したときに前記水平同期ソース信号をアサートするように構成されると共に、前記水平同期ソース信号の前のアサートの後、前記水平同期期間開始指示を検出しないとき、所定時間が経過した場合に、前記水平同期ソース信号をアサートするように構成された  
表示ドライバ。

【請求項 11】

表示パネルを駆動する表示ドライバであって、  
当該表示ドライバの外部から供給され、水平同期期間の開始を指示する水平同期期間開始指示に응答して水平同期ソース信号を生成するように構成された同期抽出回路と、  
前記水平同期ソース信号に응答して内部水平同期信号を生成するタイミング生成回路と

、  
前記内部水平同期信号に同期して前記表示パネルを駆動する駆動回路  
とを具備し、  
前記タイミング生成回路は、前記水平同期ソース信号のアサートに응答して前記内部水平同期信号をアサートするように構成され、  
前記同期抽出回路は、前記水平同期期間開始指示を検出したときに前記水平同期ソース信号をアサートするように構成されると共に、前記水平同期ソース信号の前のアサートの後、前記水平同期期間開始指示を検出しないとき、所定時間が経過した場合に、前記水平同期ソース信号をアサートするように構成された  
表示ドライバ。

【請求項 12】

請求項 11 に記載の表示ドライバであって、  
前記同期抽出回路は、  
前記水平同期期間開始指示を検出して水平同期期間開始指示検出信号を生成するように構成された水平同期期間開始指示検出部と、  
カウント動作を行うカウンタを備え、と共に、前記カウンタが保持するカウント値に応じて水平同期疑似信号を生成するように構成された水平同期疑似信号生成部と、  
前記水平同期期間開始指示検出信号と前記水平同期疑似信号とに応じて前記水平同期ソース信号を生成する論理回路部  
とを備える  
表示ドライバ。

【請求項 13】

請求項 12 に記載の表示ドライバであって、

前記水平同期期間開始指示検出部は、前記水平同期期間開始指示を検出すると前記水平同期期間開始指示検出信号をアサートするように構成され、

前記カウンタは、前記カウント値をカウントアップするように構成され、

前記水平同期疑似信号生成部は、前記カウント値の所定の上限値への到達にตอบสนองして前記水平同期疑似信号をアサートするように構成され、

前記論理回路部は、前記水平同期期間開始指示検出信号のアサートと前記水平同期疑似信号のアサートとにตอบสนองして前記水平同期ソース信号をアサートするように構成され、

前記カウンタは、前記水平同期期間開始指示検出信号のアサートにตอบสนองして前記所定のリセット値にリセットされると共に、前記水平同期疑似信号のアサートにตอบสนองして前記カウント値が前記リセット値より大きい所定値にセットされるように構成された

10

表示ドライバ。

【請求項 1 4】

請求項 1 3 に記載の表示ドライバであって、

前記論理回路部は、前記カウント値が所定の下限値に到達していない場合、前記水平同期ソース信号をアサートしない

表示ドライバ。

【請求項 1 5】

請求項 1 2 に記載の表示ドライバであって、

前記水平同期期間開始指示検出部は、前記水平同期期間開始指示を検出すると前記水平同期期間開始指示検出信号をアサートするように構成され、

20

前記カウンタは、前記カウント値をカウントダウンするように構成され、

前記水平同期疑似信号生成部は、前記カウント値の所定の下限値への到達にตอบสนองして前記水平同期疑似信号をアサートするように構成され、

前記論理回路部は、前記水平同期期間開始指示検出信号のアサートと前記水平同期疑似信号のアサートとにตอบสนองして前記水平同期ソース信号をアサートするように構成され、

前記カウンタは、前記水平同期期間開始指示検出信号のアサートにตอบสนองして前記所定のリセット値にリセットされると共に、前記水平同期疑似信号のアサートにตอบสนองして前記カウント値が前記リセット値より小さい所定値にセットされるように構成された

表示ドライバ。

【請求項 1 6】

30

請求項 1 5 に記載の表示ドライバであって、

前記論理回路部は、前記カウント値が所定の上限値に到達していない場合、前記水平同期ソース信号をアサートしない

表示ドライバ。

【請求項 1 7】

請求項 1 1 乃至 1 6 のいずれかに記載の表示ドライバであって、

前記水平同期期間開始指示は、当該表示ドライバに供給される水平同期パケットを含む表示ドライバ。

【請求項 1 8】

請求項 1 乃至 1 7 のいずれかに記載の表示ドライバと、

40

表示パネル

とを具備する

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示ドライバ及び表示装置に関し、特に、表示ドライバ及び表示装置の同期（例えば、垂直同期及び水平同期）のための技術に関する。

【背景技術】

【0002】

50

表示装置（例えば、液晶表示装置やO L E D（organic light emitting diode）表示装置）では、一般に、同期の確立、より具体的には、垂直同期及び水平同期の確立が求められる。垂直同期及び水平同期を確立する最も伝統的な方法は、垂直同期信号及び水平同期信号を使用する方法である。このアーキテクチャでは、垂直同期信号によって垂直同期期間の開始が指示され、水平同期信号によって水平同期信号の開始が指示される。例えば、パネル表示装置については、表示パネルを駆動する表示ドライバに垂直同期信号及び水平同期信号を供給し、該表示ドライバが垂直同期信号及び水平同期信号に同期して動作することで、垂直同期及び水平同期が確立される。

#### 【0003】

近年の表示装置では、垂直同期期間及び水平同期期間の開始を指示するために、特定の10  
パケットを該表示ドライバに送信するアーキテクチャがしばしば採用される。例えば、M I P I D S I（Mobile Industry Processor Interface Display Serial Interface）は、このようなアーキテクチャを採用する典型的な規格である。M I P I D S Iでは、V s y n c パケット（Vsync packet）が垂直同期期間の開始を指示するパケットとして規定され、H s y n c パケット（Hsync packet）が水平同期期間の開始を指示するパケットとして規定される。本願においては、垂直同期期間の開始を指示するパケットを垂直同期パケットと呼び、本願においては、水平同期期間の開始を指示するパケットを水平同期パケットと呼ぶことがある。最も典型的な構成では、表示ドライバの内部において内部垂直同期信号が垂直同期パケットに応じて生成され、内部水平同期信号が水平同期パケットに応じて生成される。表示ドライバの各回路は、生成された内部垂直同期信号及び内部水平同期信号に同期して動作する。20

#### 【0004】

このようなアーキテクチャには、信号線の数で低減できる利点がある。垂直同期信号及び水平同期信号を供給する構成では、垂直同期信号及び水平同期信号を供給するための専用の信号線が必要となり、信号線の数が増大する。垂直同期信号及び水平同期信号の代わりに、垂直同期期間及び水平同期期間の開始タイミングを示す垂直同期パケット及び水平同期パケットをデータインターフェースによって伝送することで、専用の信号線を設ける必要性が無くなり、信号線の数で低減できる。

#### 【0005】

表示装置における同期の確立において生じ得る問題の一つは、同期の確立に係る信号線にノイズが印加されると、同期の確立が妨げられる可能性があることである。30

#### 【0006】

例えば、図1は、水平同期パケットを用いて水平同期を確立するアーキテクチャを採用する表示装置、より具体的には、M I P I D S Iに準拠したシリアルインターフェースを用いた表示装置において、レーン# i によって水平同期パケットを伝送する場合の動作の一例を示すタイミングチャートである。

#### 【0007】

水平同期期間の開始時に水平同期パケットが表示ドライバに伝送される。表示装置が正常に動作している場合、水平同期パケットが表示ドライバに供給されると、表示ドライバの内部では、該水平同期パケットに同期して内部水平同期信号がアサートされる。表示ドライバの各回路は、内部水平同期信号のアサートに応答して所定の動作を行う。40

#### 【0008】

しかしながら、例えばレーン# i に高電圧のノイズが印加されることによって表示ドライバが水平同期パケットの受信に失敗すると、内部水平同期信号が適切なタイミングでアサートされなくなり、水平同期の確立が妨げられる。垂直同期パケットについても同様である。表示ドライバが垂直同期パケットの受信に失敗すると、垂直同期の確立が妨げられる。

#### 【0009】

垂直同期パケット及び/又は水平同期パケットの受信に失敗し、垂直同期及び/又は水平同期の確立が妨げられると、表示パネルに表示される画像に乱れが発生することがある50

。図2は、垂直同期及び水平同期の確立に失敗したときの表示画面の一例を示している。画像データパケットの受信に失敗した場合は、画像の乱れは、受信に失敗した画像データパケットに対応する画素に限定されるが、垂直同期パケット及び/又は水平同期パケットの受信の失敗の影響は表示画面の全体に及ぶことがあり、好ましくない。

【0010】

垂直同期信号や水平同期信号を用いて垂直同期及び水平同期を確立するアーキテクチャについても同様である。垂直同期信号や水平同期信号を供給する信号線にノイズが印加されると、垂直同期及び水平同期の確立に失敗することがある。

【0011】

以上から理解されるように、同期の確立の失敗に起因する表示の乱れの発生を抑制することには技術的ニーズが存在する。

10

【0012】

なお、コマンドに応じた垂直同期信号の生成については、例えば、特開2014-115391号公報に開示されている。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2014-115391号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0014】

したがって、本発明の目的の一つは、同期の確立の失敗に起因する表示の乱れの発生を抑制することにある。本発明の他の目的は、下記の開示から当業者には理解されるであろう。

【課題を解決するための手段】

【0015】

本発明の一の観点では、表示パネルを駆動する表示ドライバが、当該表示ドライバの外部から供給され、垂直同期期間の開始を指示する垂直同期期間開始指示に応答して垂直同期ソース信号を生成するように構成された同期抽出回路と、垂直同期ソース信号に응答して内部垂直同期信号を生成するタイミング生成回路と、内部垂直同期信号に同期して表示パネルを駆動する駆動回路とを具備する。タイミング生成回路は、垂直同期ソース信号のアサートに응答して内部垂直同期信号をアサートするように構成される。同期抽出回路は、垂直同期期間開始指示を検出したときに垂直同期ソース信号をアサートするように構成されると共に、垂直同期ソース信号の前のアサートの後、所定時間が経過した場合には垂直同期期間開始指示を検出しない場合でも垂直同期ソース信号をアサートするように構成されている。

30

【0016】

本発明の他の観点では、表示パネルを駆動する表示ドライバが、当該表示ドライバの外部から供給され、水平同期期間の開始を指示する水平同期期間開始指示に응答して水平同期ソース信号を生成するように構成された同期抽出回路と、水平同期ソース信号に응答して内部水平同期信号を生成するタイミング生成回路と、内部水平同期信号に同期して表示パネルを駆動する駆動回路とを具備する。タイミング生成回路は、水平同期ソース信号のアサートに응答して内部水平同期信号をアサートするように構成される。同期抽出回路は、水平同期期間開始指示を検出したときに水平同期ソース信号をアサートするように構成されると共に、水平同期ソース信号の前のアサートの後、所定時間の経過に応じて水平同期ソース信号をアサートするように構成されている。

40

【0017】

このように構成された表示ドライバは、表示装置に好適に使用される。

【発明の効果】

【0018】

50

本発明によれば、同期の失敗に起因する表示の乱れの発生を抑制することができる。

【図面の簡単な説明】

【0019】

【図1】MIPIDSIに準拠したシリアルインターフェースを用いた表示システムにおいて水平同期パケットを送信する場合の動作の一例を示すタイミングチャートである。

【図2】垂直同期及び水平同期の確立に失敗したときの表示画面の一例を示している。

【図3】一実施形態における表示装置の構成を概略的に示すブロック図である。

【図4】本実施形態における表示ドライバICの構成を概略的に示すブロック図である。

【図5】本実施形態における、ホストから表示ドライバICへの通信におけるデータストリームのフォーマットを示す図である。

10

【図6】本実施形態における、垂直同期／水平同期抽出回路の垂直同期ソース信号生成部の構成を示すブロック図である。

【図7】本実施形態の垂直同期／水平同期抽出回路の水平同期ソース信号生成部の構成を示すブロック図である。

【図8】本実施形態における垂直同期ソース信号生成部の動作を示すタイミングチャートである。

【図9】本実施形態における水平同期ソース信号生成部の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0020】

20

以下、添付図面を参照しながら実施形態を説明する。以下の説明において、同一又は対応する構成要素が、同一又は対応する参照符号によって参照されることがあることに留意されたい。

【0021】

図3は、一実施形態における表示装置10の構成を概略的に示すブロック図である。表示装置10は、液晶表示装置として構成されており、LCD(liquid crystal display)パネル1と、表示ドライバIC2とを備えている。表示装置10は、ホスト3から画像データ及び制御データを受け取り、受け取った画像データ及び制御データに応じてLCDパネル1に画像を表示するように構成されている。

【0022】

30

LCDパネル1は、表示領域4とゲートドライバ回路5とを備えている。表示領域4には、複数のゲート線6と複数のソース線7と複数の画素8とが配置される。画素8は、行列に配置されており、各画素8は、対応するゲート線6とソース線7とが交差する位置に設けられている。ゲートドライバ回路5は、表示ドライバIC2から受け取った制御信号に応じてゲート線6を駆動する。本実施形態では、表示領域4の左右に一对のゲートドライバ回路5が設けられている。ゲートドライバ回路5は、COG(Circuit-on-Glass)技術によってLCDパネル1に集積化されている。

【0023】

表示ドライバIC2は、ホスト3から受け取った画像データ及び制御データに応じてLCDパネル1のソース線7を駆動する。表示ドライバIC2は、更に、ゲート制御信号をゲートドライバ回路5に供給してゲートドライバ回路5を制御する。

40

【0024】

図4は、本実施形態における表示ドライバIC2の構成を概略的に示すブロック図である。本実施形態では、表示ドライバIC2とホスト3の間の通信が、MIPIDSIに準拠したシリアルインターフェースによって行われる。より具体的には、本実施形態では、表示ドライバIC2とホスト3が、クロックレーンと4つのデータレーン：レーン#0～#3によって接続されている。クロックレーンは、差動クロック信号をホスト3から表示ドライバIC2に供給するために用いられ、レーン#0～#3は、差動データ信号をホスト3から表示ドライバIC2に送信するために用いられる。

【0025】

50

図5は、本実施形態における、ホスト3から表示ドライバIC2への通信におけるデータストリームのフォーマットを示す図である。各フレーム期間（垂直同期期間）は、V S Aライン（vertical sync active lines）と、V B Pライン（vertical back porch lines）と、V A C Tライン（video active lines）と、V F Pライン（vertical front porch lines）とを含んでいる。各フレーム期間が開始されるときに垂直同期パケット31（即ち、V s y n cパケット）がホスト3から表示ドライバIC2に送信され、各ライン（各水平同期期間）が開始されるときに、水平同期パケット32（即ち、H s y n cパケット）がホスト3から表示ドライバIC2に送信される。本実施形態では、垂直同期パケット31が、各フレーム期間、即ち、垂直同期期間の開始を指示する垂直同期期間開始指示として用いられ、水平同期パケット32が、各ライン、即ち、水平同期期間の開始を指示する水平同期期間開始指示として用いられる。

10

#### 【0026】

図4に戻り、表示ドライバIC2は、レシーバ回路11と、レーン制御インターフェース回路12と、システムインターフェース回路13と、表示メモリ14と、ソースドライバ回路15と、パネルインターフェース回路16と、タイミング生成回路17と、レジスタ回路18と、発振回路19とを備えている。

#### 【0027】

レシーバ回路11は、レシーバ21、クロック生成回路22と、レシーバ23<sub>0</sub>～23<sub>3</sub>と、デシリアライザ24<sub>0</sub>～24<sub>3</sub>とを備えている。レシーバ21は、ホスト3からクロックレーンを介して送信される差動クロック信号をシングルエンドのクロック信号に変換する。クロック生成回路22は、レシーバ21から出力されるクロック信号から、レシーバ回路11において用いられるドットクロック信号（図示されない）、及び、レーン制御インターフェース回路12によって用いられるバイトクロック信号C L K \_ b y t eを生成する。

20

#### 【0028】

レシーバ23<sub>0</sub>～23<sub>3</sub>は、それぞれ、ホスト3からレーン#0～#3を介して送信される差動データ信号をシングルエンド信号に変換する。デシリアライザ24<sub>0</sub>～24<sub>3</sub>は、ドットクロック信号に同期して動作し、それぞれレシーバ23<sub>0</sub>～23<sub>3</sub>から受け取ったシングルエンド信号に対してデシリアライズ（deserialize）を行う。本実施形態では、デシリアライザ24<sub>0</sub>～24<sub>3</sub>は、デシリアライズされたデータを8ビットのデータ幅で出力する。

30

#### 【0029】

レーン制御インターフェース回路12は、バイトクロック信号C L K \_ b y t eに同期してデシリアライザ24<sub>0</sub>～24<sub>3</sub>からデータを受け取り、受け取ったデータを統合して受信データ列D<sub>R C V</sub>を生成する。受信データ列D<sub>R C V</sub>は、システムインターフェース回路13に供給される。

#### 【0030】

システムインターフェース回路13は、データトランスレータ25によって受信データ列D<sub>R C V</sub>に含まれるデータの内容を識別し、受信データ列D<sub>R C V</sub>に含まれる様々なデータ（例えば、画像データ（LCDパネル1の各画素8の階調を示すデータ）や、表示ドライバIC2の制御に用いられるコマンド、パラメータ）に対し、データの種別に応じた様々な処理を行う。例えば、システムインターフェース回路13は、受信データ列D<sub>R C V</sub>のうち画像データを表示メモリ14に転送し、また、表示ドライバIC2の制御に用いられるコマンド及びパラメータを、バス20を介してタイミング生成回路17又はレジスタ回路18に転送する。

40

#### 【0031】

表示メモリ14は、システムインターフェース回路13から受け取った画像データを一時的に保存し、ソースドライバ回路15に転送する。

#### 【0032】

ソースドライバ回路15は、表示メモリ14から受け取った画像データに応じてL C D

50



パネル 1 のソース線 7 を駆動する。

【 0 0 3 3 】

パネルインターフェース回路 1 6 は、LCD パネル 1 のゲートドライバ回路 5 に供給するゲート制御信号を生成する。

【 0 0 3 4 】

タイミング生成回路 1 7 は、システムインターフェース回路 1 3 及びレジスタ回路 1 8 から受け取ったコマンド及びパラメータに応じて、表示ドライバ IC 2 に含まれる各回路の動作タイミングの制御を行う。より具体的には、タイミング生成回路 1 7 は、表示ドライバ IC 2 の内部で用いられる内部垂直同期信号及び内部水平同期信号を生成する。上述のソースドライバ回路 1 5 及びパネルインターフェース回路 1 6 は、生成された内部垂直同期信号及び内部水平同期信号に同期して動作する。即ち、ソースドライバ回路 1 5 は、内部垂直同期信号及び内部水平同期信号に同期して LCD パネル 1 のソース線 7 を駆動し、パネルインターフェース回路 1 6 は、内部垂直同期信号及び内部水平同期信号に同期してゲート制御信号を生成する。

【 0 0 3 5 】

レジスタ回路 1 8 は、表示ドライバ IC 2 の制御に用いられるコマンド及びパラメータを保持する。

【 0 0 3 6 】

発振回路 1 9 は、表示ドライバ IC 2 の内部で用いられるクロック信号を発生する。

【 0 0 3 7 】

本実施形態の表示ドライバ IC 2 では、表示ドライバ IC 2 の内部で用いられる内部垂直同期信号及び内部水平同期信号が、ホスト 3 から送られる垂直同期期間開始指示及び水平同期期間開始指示に同期して、より具体的には、ホスト 3 から送られる垂直同期パケット及び水平同期パケットに同期して生成される。詳細には、垂直同期パケット及び水平同期パケットは、レーン # 0 ~ # 3 のいずれかをを用いてホスト 3 から表示ドライバ IC 2 に送信される。垂直同期パケットが表示ドライバ IC 2 によって正常に受信されると、内部垂直同期信号がタイミング生成回路 1 7 によってアサートされ、水平同期パケットが表示ドライバ IC 2 によって正常に受信されると、内部水平同期信号がタイミング生成回路 1 7 によってアサートされる。

【 0 0 3 8 】

このような動作を行うために、本実施形態では、システムインターフェース回路 1 3 が垂直同期 / 水平同期抽出回路 2 6 を含んでいる。垂直同期 / 水平同期抽出回路 2 6 は、ホスト 3 から送られる垂直同期期間開始指示及び水平同期期間開始指示を検出する機能、本実施形態では受信データ列  $D_{RCV}$  に含まれる垂直同期パケット及び水平同期パケットを検出する機能を有しており、垂直同期ソース信号  $V_{SYNC\_SRC}$  及び水平同期ソース信号  $H_{SYNC\_SRC}$  を生成する。垂直同期ソース信号  $V_{SYNC\_SRC}$  及び水平同期ソース信号  $H_{SYNC\_SRC}$  は、それぞれ、タイミング生成回路 1 7 における内部垂直同期信号及び内部水平同期信号の生成に用いられる信号である。垂直同期 / 水平同期抽出回路 2 6 は、垂直同期期間開始指示を検出すると、即ち、受信データ列  $D_{RCV}$  において垂直同期パケットを検出すると、垂直同期ソース信号  $V_{SYNC\_SRC}$  をアサートする。また、垂直同期 / 水平同期抽出回路 2 6 は、水平同期期間開始指示を検出すると、即ち、受信データ列  $D_{RCV}$  において水平同期パケットを検出すると、水平同期ソース信号  $H_{SYNC\_SRC}$  をアサートする。タイミング生成回路 1 7 は、垂直同期ソース信号  $V_{SYNC\_SRC}$  がアサートされると内部垂直同期信号をアサートし、水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされると、内部水平同期信号をアサートする。

【 0 0 3 9 】

ここで、本実施形態においては、垂直同期 / 水平同期抽出回路 2 6 が、垂直同期パケットが表示ドライバ IC 2 に送信されることが期待される期間に表示ドライバ IC 2 が垂直同期パケットを受信しない場合にも、垂直同期ソース信号  $V_{SYNC\_SRC}$  の前回のアサートの後、所定時間が経過したときに垂直同期ソース信号  $V_{SYNC\_SRC}$  をアサー

10

20

30

40

50

トするように構成される。同様に、垂直同期／水平同期抽出回路26は、水平同期パケットが表示ドライバIC2に送信されることが期待される期間に表示ドライバIC2が水平同期パケットを受信しない場合にも、水平同期ソース信号H<sub>SYNC\_SRC</sub>の前のアサートの後、所定時間が経過したときに水平同期ソース信号H<sub>SYNC\_SRC</sub>をアサートするように構成される。

#### 【0040】

垂直同期／水平同期抽出回路26のこのような動作により、本実施形態の表示ドライバIC2は、一時的に垂直同期パケット又は水平同期パケットの受信に失敗しても、表示の乱れの発生を抑制することができる。以下では、垂直同期／水平同期抽出回路26の構成及び動作の詳細について説明する。

10

#### 【0041】

図6、図7は、本実施形態の垂直同期／水平同期抽出回路26の構成の一例を示すブロック図である。垂直同期／水平同期抽出回路26は、垂直同期／水平同期パケット検出部41と、垂直同期ソース信号生成部42Vと、水平同期ソース信号生成部42Hとを備えている。なお、垂直同期ソース信号生成部42Vの構成が図6に図示されており、水平同期ソース信号生成部42Hの構成が図7に図示されている。

#### 【0042】

垂直同期／水平同期パケット検出部41は、垂直同期パケット及び水平同期パケットを検出するように構成されており、検出結果に応じて垂直同期パケット検出信号V<sub>SYNC\_DTC</sub>及び水平同期パケット検出信号H<sub>SYNC\_DTC</sub>を生成する。詳細には、垂直同期／水平同期パケット検出部41は、受信データ列D<sub>RCV</sub>において垂直同期パケットを検出すると、垂直同期パケット検出信号V<sub>SYNC\_DTC</sub>をアサートし、水平同期パケットを検出すると、水平同期パケット検出信号H<sub>SYNC\_DTC</sub>をアサートする。

20

#### 【0043】

垂直同期ソース信号生成部42Vは、垂直同期パケット検出信号V<sub>SYNC\_DTC</sub>から垂直同期ソース信号V<sub>SYNC\_SRC</sub>を生成する。詳細には、図6に図示されているように、垂直同期ソース信号生成部42Vは、垂直同期疑似信号生成部43Vと、論理回路部44Vとを備えている。

#### 【0044】

垂直同期疑似信号生成部43Vは、カウンタ51Vを備えており、カウンタ51Vが保持するカウント値Countに応じて垂直同期疑似信号を生成する。詳細には、垂直同期疑似信号生成部43Vは、カウンタ51Vに加え、上限値レジスタ52Vと、下限値レジスタ53Vと、比較器54Vと、疑似信号発生器55Vと、ANDゲート56Vと、期待値レジスタ57Vと、減算器58Vとを備えている。

30

#### 【0045】

カウンタ51Vは、発振回路19からクロック信号CLKを受け取り、受け取ったクロック信号CLKに同期してカウント動作を行う。本実施形態では、カウンタ51Vは、カウント値Countをカウントアップする(1ずつ増加させる)動作を行う。カウンタ51Vのリセット端子には、ANDゲート56Vの出力信号が入力され、カウンタ51Vのセット端子には、疑似信号発生器55Vから出力される垂直同期疑似信号が入力される。また、カウンタ51Vのデータ端子には、減算器58Vから出力される設定値DATA\_SETが入力される。リセット端子がアサートされると、カウンタ51Vのカウント値Countが所定のリセット値(典型的には“0”)にリセットされる。また、セット端子がアサートされると、カウンタ51Vのカウント値Countが設定値DATA\_SETにセットされる。

40

#### 【0046】

上限値レジスタ52Vは、所定の上限値を保持する。後述されるように、上限値レジスタ52Vに保持される上限値は、カウンタ51Vがカウント動作を行っているときに垂直同期疑似信号をアサートするカウント値Countの値を示している。

#### 【0047】

50

下限値レジスタ53Vは、所定の下限値を保持する。後述されるように、下限値レジスタ53Vに保持される下限値は、カウンタ51Vがカウント動作を行っているときに垂直同期ソース信号 $V_{SYNC\_SRC}$ のアサートを禁止するカウント値 $Count$ の値の範囲を示している。下限値レジスタ53Vに保持されている下限値は、上限値レジスタ52Vに保持されている上限値よりも小さい。

【0048】

比較器54Vは、カウンタ51Vのカウント値 $Count$ を、上限値レジスタ52Vに保持される上限値及び下限値レジスタ53Vに保持される下限値と比較し、その比較結果に応じてイネーブル信号 $Enable1$ 、 $Enable2$ を生成する。ここで、イネーブル信号 $Enable1$ は、垂直同期ソース信号 $V_{SYNC\_SRC}$ のアサートを許可する信号であり、イネーブル信号 $Enable2$ は、垂直同期疑似信号のアサートを許可する信号である。

10

【0049】

詳細には、比較器54Vは、カウント値 $Count$ が下限値レジスタ53Vに保持される下限値よりも小さい場合、イネーブル信号 $Enable1$ 、 $Enable2$ の両方をネゲートする。また、比較器54Vは、カウント値 $Count$ がカウントアップされて下限値レジスタ53Vに保持される下限値に到達すると、イネーブル信号 $Enable1$ をアサートする。このとき、イネーブル信号 $Enable2$ は、ネゲートされたままで維持される。カウント値 $Count$ が更にカウントアップされて上限値レジスタ52Vに保持される上限値に到達すると、イネーブル信号 $Enable2$ を一定期間アサートする。イネーブル信号 $Enable2$ を一定期間アサートした後、比較器54Vは、イネーブル信号 $Enable1$ 、 $Enable2$ をネゲートする。

20

【0050】

疑似信号発生器55Vは、比較器54Vから受け取ったイネーブル信号 $Enable2$ に応じて垂直同期疑似信号を生成する。詳細には、疑似信号発生器55Vは、イネーブル信号 $Enable2$ がアサートされると、垂直同期疑似信号を一定期間アサートする。

【0051】

ANDゲート56Vは、一方の入力に垂直同期パケット検出信号 $V_{SYNC\_DTC}$ が入力され、他方の入力にイネーブル信号 $Enable1$ が入力される。ANDゲート56Vは、垂直同期パケット検出信号 $V_{SYNC\_DTC}$ とイネーブル信号 $Enable1$ の論理積を示す出力信号を出力する。上述のように、ANDゲート56Vの出力信号は、カウンタ51Vのリセットに用いられる。

30

【0052】

期待値レジスタ57Vは、1フレーム期間（1垂直同期期間）の期待される長さに対応する値である期待値を保持する。

【0053】

減算器58Vは、上限値レジスタ52Vに保持されている上限値から期待値レジスタ57Vに保持されている期待値を減じて得られる値をカウンタ51Vに設定すべき設定値 $DATA\_SET$ として算出する。

【0054】

40

なお、表示ドライバIC2は、上限値レジスタ52Vに設定される上限値が外部から（例えば、ホスト3から）書き換え可能であるように構成されることが好ましい。例えば、ホスト3から上限値レジスタ52Vに設定されるべき上限値を記述したパケットが表示ドライバIC2に送信されると、該パケットは、受信データ列 $D_{RCV}$ として、レーン制御インターフェース回路12からシステムインターフェース回路13に送られる。該パケットに記述された上限値は、上限値レジスタ52Vに書き込まれる。同様に、表示ドライバIC2は、下限値レジスタ53Vに設定される下限値及び期待値レジスタ57Vに設定される期待値が、外部から（例えば、ホスト3から）書き換え可能であるように構成されることが好ましい。

【0055】

50

論理回路部 4 4 V は、垂直同期 / 水平同期パケット検出部 4 1 から受け取った垂直同期パケット検出信号  $V_{SYNC\_DT C}$  と、垂直同期疑似信号生成部 4 3 V から受け取ったイネーブル信号  $Enable 1$  及び垂直同期疑似信号から、タイミング生成回路 1 7 に供給すべき垂直同期ソース信号  $V_{SYNC\_SRC}$  を生成する。

#### 【 0 0 5 6 】

詳細には、論理回路部 4 4 V は、AND ゲート 6 1 V と OR ゲート 6 2 V とを備えている。AND ゲート 6 1 V の一方の入力には垂直同期 / 水平同期パケット検出部 4 1 から受け取った垂直同期パケット検出信号  $V_{SYNC\_DT C}$  が入力され、他方の入力には比較器 5 4 V から受け取ったイネーブル信号  $Enable 1$  が入力される。AND ゲート 6 1 V の出力信号は、OR ゲート 6 2 V の一方の入力に入力される。OR ゲート 6 2 V の他方の入力には、垂直同期疑似信号生成部 4 3 V から受け取った垂直同期疑似信号が入力される。

#### 【 0 0 5 7 】

このように構成された論理回路部 4 4 V は、次のように動作する。

( 1 ) イネーブル信号  $Enable 1$  がアサートされている状態で垂直同期パケット検出信号  $V_{SYNC\_DT C}$  がアサートされると、論理回路部 4 4 V は、垂直同期ソース信号  $V_{SYNC\_SRC}$  をアサートする。

( 2 ) 垂直同期疑似信号がアサートされると、論理回路部 4 4 V は、垂直同期ソース信号  $V_{SYNC\_SRC}$  をアサートする。

#### 【 0 0 5 8 】

ここで、イネーブル信号  $Enable 1$  がネゲートされている状態では、垂直同期パケット検出信号  $V_{SYNC\_DT C}$  がアサートされても垂直同期ソース信号  $V_{SYNC\_SRC}$  がアサートされないことに留意されたい。

#### 【 0 0 5 9 】

図 7 を参照して、水平同期ソース信号生成部 4 2 H は、垂直同期パケット検出信号  $V_{SYNC\_DT C}$  の代わりに水平同期パケット検出信号  $H_{SYNC\_DT C}$  が入力され、水平同期パケット検出信号  $H_{SYNC\_DT C}$  に応じて水平同期ソース信号  $H_{SYNC\_SRC}$  を生成することを除けば、垂直同期ソース信号生成部 4 2 V と同様の構成を有しており、同様に動作する。

#### 【 0 0 6 0 】

水平同期ソース信号生成部 4 2 H は、水平同期疑似信号生成部 4 3 H と、論理回路部 4 4 H とを備えている。水平同期疑似信号生成部 4 3 H は、カウンタ 5 1 H を備えており、カウンタ 5 1 H が保持するカウント値  $Count$  に応じて水平同期疑似信号を生成する。水平同期疑似信号生成部 4 3 H の構成は、垂直同期疑似信号生成部 4 3 V と同様であり、カウンタ 5 1 H に加え、上限値レジスタ 5 2 H と、下限値レジスタ 5 3 H と、比較器 5 4 H と、疑似信号発生器 5 5 H と、AND ゲート 5 6 H と、期待値レジスタ 5 7 H と、減算器 5 8 H とを備えている。

#### 【 0 0 6 1 】

論理回路部 4 4 H は、垂直同期 / 水平同期パケット検出部 4 1 から受け取った水平同期パケット検出信号  $H_{SYNC\_DT C}$  と、水平同期疑似信号生成部 4 3 H から受け取ったイネーブル信号  $Enable 1$  及び水平同期疑似信号から、タイミング生成回路 1 7 に供給すべき水平同期ソース信号  $H_{SYNC\_SRC}$  を生成する。論理回路部 4 4 H の構成は、垂直同期ソース信号生成部 4 2 V の論理回路部 4 4 V と同一であり、AND ゲート 6 1 H と OR ゲート 6 2 H とを備えている。

#### 【 0 0 6 2 】

表示ドライバ IC 2 は、上限値レジスタ 5 2 H に設定される上限値が外部から（例えば、ホスト 3 から）書き換え可能であるように構成されることが好ましい。同様に、表示ドライバ IC 2 は、下限値レジスタ 5 3 H に設定される下限値及び期待値レジスタ 5 7 H に設定される期待値が、外部から（例えば、ホスト 3 から）書き換え可能であるように構成されることが好ましい。

10

20

30

40

50

## 【 0 0 6 3 】

垂直同期ソース信号生成部 4 2 V の論理回路部 4 4 V から出力された垂直同期ソース信号  $V_{SYNC\_SRC}$  と、水平同期ソース信号生成部 4 2 H の論理回路部 4 4 H から出力された水平同期ソース信号  $H_{SYNC\_SRC}$  とは、タイミング生成回路 1 7 に供給される。タイミング生成回路 1 7 は、内部同期信号生成回路 4 5 を備えている。内部同期信号生成回路 4 5 は、垂直同期ソース信号  $V_{SYNC\_SRC}$  と水平同期ソース信号  $H_{SYNC\_SRC}$  とに応じて内部垂直同期信号  $V_{SYNC\_INT}$  及び内部水平同期信号  $H_{SYNC\_INT}$  を生成する。内部同期信号生成回路 4 5 は、垂直同期ソース信号  $V_{SYNC\_SRC}$  のアサートに応じて内部垂直同期信号  $V_{SYNC\_INT}$  をアサートし、水平同期ソース信号  $H_{SYNC\_SRC}$  のアサートに応じて内部水平同期信号  $H_{SYNC\_INT}$  をアサートする。

10

## 【 0 0 6 4 】

タイミング生成回路 1 7 の内部同期信号生成回路 4 5 によって生成された内部垂直同期信号  $V_{SYNC\_INT}$  及び内部水平同期信号  $H_{SYNC\_INT}$  は、表示ドライバ IC 2 の各回路の動作タイミングの制御、例えば、ソースドライバ回路 1 5 及びパネルインターフェース回路 1 6 の動作タイミングの制御に用いられる。ソースドライバ回路 1 5 は、内部垂直同期信号  $V_{SYNC\_INT}$  及び内部水平同期信号  $H_{SYNC\_INT}$  のアサートに同期してソース線 7 を駆動する。パネルインターフェース回路 1 6 は、内部垂直同期信号  $V_{SYNC\_INT}$  及び内部水平同期信号  $H_{SYNC\_INT}$  のアサートに同期してゲートドライバ回路 5 に供給すべきソース制御信号を生成する。

20

## 【 0 0 6 5 】

続いて、本実施形態の表示ドライバ IC 2 の動作、特に、垂直同期 / 水平同期抽出回路 2 6 の動作について詳細に説明する。

## 【 0 0 6 6 】

図 8、図 9 は、本実施形態における垂直同期 / 水平同期抽出回路 2 6 の動作を示すタイミングチャートである。より具体的には、図 8 は、垂直同期 / 水平同期抽出回路 2 6 の垂直同期ソース信号生成部 4 2 V の動作を示しており、図 9 は、水平同期ソース信号生成部 4 2 H の動作を示している。以下では、まず、垂直同期ソース信号生成部 4 2 V の動作について説明する。

## 【 0 0 6 7 】

図 8 は、3 つのフレーム期間 #  $m \sim \#(m+2)$  における垂直同期ソース信号生成部 4 2 V の動作を示している。図 8 におけるフレーム期間 #  $m \sim \#(m+2)$  (垂直同期期間 #  $m \sim \#(m+2)$ ) は、ホスト 3 が垂直同期パケットを表示ドライバ IC 2 に送信する時刻を基準として定義されている。以下では、フレーム期間 #  $(m+1)$  及びそれ以前のフレーム期間において開始時に表示ドライバ IC 2 が垂直同期パケットを正常に受信する一方で、フレーム期間 #  $(m+2)$  においては表示ドライバ IC 2 が垂直同期パケットを正常に受信できなかった場合における垂直同期ソース信号生成部 4 2 V の動作を説明する。

30

## 【 0 0 6 8 】

フレーム期間 #  $m$  の開始時に垂直同期パケットが表示ドライバ IC 2 によって正常に受信されると、垂直同期 / 水平同期パケット検出部 4 1 によって垂直同期パケットが検出され、垂直同期パケット検出信号  $V_{SYNC\_DTC}$  がアサートされる。垂直同期パケット検出信号  $V_{SYNC\_DTC}$  がアサートされると、垂直同期ソース信号  $V_{SYNC\_SRC}$  も論理回路部 4 4 V によってアサートされる。後の説明から理解されるように、前のフレーム期間において垂直同期パケットが表示ドライバ IC 2 によって正常に受信された場合には各フレーム期間の開始時にイネーブル信号  $Enable1$  がアサートされていることに留意されたい。

40

## 【 0 0 6 9 】

タイミング生成回路 1 7 では、垂直同期ソース信号  $V_{SYNC\_SRC}$  のアサートに同期して、内部垂直同期信号  $V_{SYNC\_INT}$  が内部同期信号生成回路 4 5 によってアサ

50

ートされる。本実施形態では、垂直同期ソース信号  $V_{SYNC\_SRC}$  のアサートの後、所定時間だけ遅れて内部垂直同期信号  $V_{SYNC\_INT}$  がアサートされる。

【0070】

一方で、垂直同期パケット検出信号  $V_{SYNC\_DTC}$  がアサートされると、カウンタ51Vのリセット端子がアサートされ、カウンタ51Vが所定のリセット値（典型的には“0”）にリセットされる（ここでも、イネーブル信号  $Enable1$  がアサートされていることに留意されたい）。カウンタ51Vがリセットされると、カウンタ51Vのカウント値が下限値レジスタ53Vに保持されている下限値より小さくなるので、イネーブル信号  $Enable1$  が比較器54Vによってネゲートされる。イネーブル信号  $Enable1$  がネゲートされるので、垂直同期ソース信号  $V_{SYNC\_SRC}$  も論理回路部44Vによってネゲートされる。

10

【0071】

その後、カウンタ51Vのカウント値がカウントアップされる。カウンタ51Vのカウント値が下限値レジスタ53Vに保持されている下限値に到達するまでは、イネーブル信号  $Enable1$  がネゲートに維持される。イネーブル信号  $Enable1$  がネゲートに維持されるので、誤動作によって垂直同期／水平同期パケット検出部41が垂直同期パケットを検出したと認識して垂直同期パケット検出信号  $V_{SYNC\_DTC}$  がアサートされても垂直同期ソース信号  $V_{SYNC\_SRC}$  はアサートされず、ネゲートされた状態に維持される。このような動作は、表示ドライバIC2の動作の信頼性を向上させるために有効である。

20

【0072】

カウンタ51Vのカウント値がカウントアップされ、カウンタ51Vのカウント値が下限値レジスタ53Vに保持されている下限値に到達すると、比較器54Vによってイネーブル信号  $Enable1$  がアサートされる。これにより、垂直同期ソース信号生成部42Vは、以後に垂直同期パケットが検出されたときに垂直同期ソース信号  $V_{SYNC\_SRC}$  をアサートする状態に設定されることになる。

【0073】

その後、フレーム期間# ( $m+1$ ) の開始時に垂直同期パケットが表示ドライバIC2によって正常に受信されると、垂直同期／水平同期パケット検出部41によって垂直同期パケットが検出され、フレーム期間#  $m$  の開始時と同様の動作が実行される。詳細には、垂直同期パケット検出信号  $V_{SYNC\_DTC}$  が垂直同期／水平同期パケット検出部41によってアサートされ、垂直同期ソース信号  $V_{SYNC\_SRC}$  も論理回路部44Vによってアサートされる。タイミング生成回路17では、垂直同期ソース信号  $V_{SYNC\_SRC}$  のアサートの後、所定時間だけ遅れて内部垂直同期信号  $V_{SYNC\_INT}$  がアサートされる。更に、垂直同期パケット検出信号  $V_{SYNC\_DTC}$  のアサートに応じてカウンタ51Vのリセット端子がアサートされ、カウンタ51Vがリセットされる。カウンタ51Vがリセットされると、イネーブル信号  $Enable1$  がネゲートされ、更に、垂直同期ソース信号  $V_{SYNC\_SRC}$  も論理回路部44Vによってネゲートされる。

30

【0074】

その後、カウンタ51Vのカウント値がカウントアップされる。カウンタ51Vのカウント値が下限値レジスタ53Vに保持されている下限値に到達すると、イネーブル信号  $Enable1$  がアサートされる。

40

【0075】

ここで、フレーム期間# ( $m+1$ ) に続くフレーム期間# ( $m+2$ ) の開始時において表示ドライバIC2が垂直同期パケットの受信に失敗したとする。この場合、フレーム期間# ( $m+2$ ) の開始時に垂直同期パケット検出信号  $V_{SYNC\_DTC}$  はアサートされず、カウンタ51Vのカウント値のカウントアップが継続される。

【0076】

カウンタ51Vのカウント値が上限値レジスタ52Vに保持されている上限値に到達すると、比較器54Vによってイネーブル信号  $Enable2$  がアサートされる。イネーブ

50

ル信号 `Enable 2` のアサートに応じて疑似信号発生器 55 V は、垂直同期疑似信号をアサートする。垂直同期疑似信号がアサートされるので、OR ゲート 62 V から出力される垂直同期ソース信号 `VSYNC_SRC` がアサートされる。その結果、垂直同期ソース信号 `VSYNC_SRC` のアサートから所定時間だけ遅れて内部垂直同期信号 `VSYNC_INT` がアサートされる。

【0077】

このような動作によれば、前回の垂直同期ソース信号 `VSYNC_SRC` がアサートされた後、上限値レジスタ 52 V に設定された上限値に対応する時間が経過すると、垂直同期パケットが正常に受信されなくても垂直同期ソース信号 `VSYNC_SRC` がアサートされ、更に、内部垂直同期信号 `VSYNC_INT` がアサートされる。このような動作によれば、垂直同期パケットがノイズ等の原因によって正常に受信できなくても内部垂直同期信号 `VSYNC_INT` がアサートされるので、画像の乱れを抑制することができる。

【0078】

留意すべきことは、垂直同期パケットの受信に失敗したフレーム期間 # (  $m + 2$  ) においては、垂直同期パケットの受信に成功したフレーム期間 #  $m$ 、# (  $m + 1$  ) と比較すると、垂直同期ソース信号 `VSYNC_SRC` が相対的に遅れてアサートされることである。このため、フレーム期間 # (  $m + 2$  ) においては、垂直同期ソース信号 `VSYNC_SRC` がアサートされてからイネーブル信号 `Enable 1` がアサートされるまでの時間は短く設定されるべきである。また、フレーム期間 # (  $m + 2$  ) において垂直同期ソース信号 `VSYNC_SRC` がアサートされてから、フレーム期間 # (  $m + 2$  ) の次のフレーム期間において垂直同期パケットの受信に失敗した場合に垂直同期疑似信号（又はイネーブル信号 `Enable 2` ）をアサートするまでの時間も短く設定されるべきである。

【0079】

上記を鑑み、本実施形態では、カウンタ 51 V が、垂直同期疑似信号のアサートに応じて設定値 `DATASET` に設定される。カウンタ 51 V がカウント値 `Count` をカウントアップする本実施形態では、設定値 `DATASET` は、リセット値（典型的には“0”）よりも大きな値に設定される。このような設定によれば、垂直同期パケットの受信に失敗したフレーム期間において垂直同期ソース信号 `VSYNC_SRC` のアサートが遅れても、適正なタイミングでイネーブル信号 `Enable 1` 及び垂直同期疑似信号（又はイネーブル信号 `Enable 2` ）をアサートすることができる。

【0080】

本実施形態では、設定値 `DATASET` は、上限値レジスタ 52 V に設定された上限値から期待値レジスタ 57 V に設定された期待値を減じて算出される。期待値レジスタ 57 V には、期待されるフレーム期間の長さに対応する値が期待値として設定される。上限値レジスタ 52 V に設定される上限値は、あるフレーム期間において垂直同期パケットが正常に受信されてから次のフレーム期間において垂直同期パケットの受信に失敗したときに垂直同期疑似信号（又はイネーブル信号 `Enable 2` ）がアサートされるまでの時間に対応するので、結果として、設定値 `DATASET` は、垂直同期パケットの受信に失敗したフレーム期間における垂直同期パケットの受信に失敗したフレーム期間のアサートの遅れを補償するような値に設定されることになる。

【0081】

ただし、設定値 `DATASET` は、上限値レジスタ 52 V に設定された上限値から期待値レジスタ 57 V に設定された期待値を減じて得られる値に限定されない。例えば、設定値 `DATASET` は、無条件に、固定の特定値に設定されてもよい。

【0082】

なお、カウンタ 51 V が、カウント値 `Count` をカウントダウンする（例えば、1ずつ減少させる）ように構成されてもよい。この場合、比較器 54 V は、カウント値 `Count` が減少して上限値レジスタ 52 V に設定された上限値に到達したときにイネーブル信号 `Enable 1` をアサートし、その後、垂直同期パケットが正常に受信されずに下限値レジスタ 53 V に設定された下限値に到達したときに垂直同期疑似信号（及びイネーブル

10

20

30

40

50

信号 `Enable 2` ) をアサートするように構成される。設定値 `DATA__SET` は、下限値レジスタ `53 V` に設定された下限値に、期待値レジスタ `57 V` に設定された期待値を加算することで算出される。この場合も、設定値 `DATA__SET` は、下限値レジスタ `53 V` に設定された下限値から期待値レジスタ `57 V` に設定された期待値を加算して得られる値に限定されない。例えば、設定値 `DATA__SET` は、無条件に、固定の特定値に設定されてもよい。カウンタ `51 V` がカウント値 `Count` をカウントダウンする場合にも、比較器 `54 V` の動作を変更することで、垂直同期ソース信号生成部 `42 V` は、カウンタ `51 V` がカウント値 `Count` をカウントアップする場合と同様に動作する。

#### 【0083】

図9を参照して、水平同期ソース信号生成部 `42 H` の動作は、垂直同期パケット検出信号 `V_SYNC__DTC` の代わりに水平同期パケット検出信号 `H_SYNC__DTC` が入力され、水平同期パケット検出信号 `H_SYNC__DTC` に応じて水平同期ソース信号 `H_SYNC__SRC` を生成することを除けば、垂直同期ソース信号生成部 `42 V` の動作と同一である。

#### 【0084】

図9は、3つの水平同期期間  $\#n \sim \#(n+2)$  における水平同期ソース信号生成部 `42 H` の動作を示している。図9における水平同期期間  $\#n \sim \#(n+2)$  は、ホスト3が水平同期パケットを表示ドライバ `IC2` に送信する時刻を基準として定義されている。以下では、水平同期期間  $\#(n+1)$  及びそれ以前の水平同期期間において開始時に表示ドライバ `IC2` が水平同期パケットを正常に受信する一方で、水平同期期間  $\#(n+2)$  においては表示ドライバ `IC2` が水平同期パケットを正常に受信できなかった場合における水平同期ソース信号生成部 `42 H` の動作を説明する。

#### 【0085】

水平同期期間  $\#n$  の開始時に水平同期パケットが表示ドライバ `IC2` によって正常に受信されると、垂直同期/水平同期パケット検出部 `41` によって水平同期パケットが検出され、水平同期パケット検出信号 `H_SYNC__DTC` がアサートされる。水平同期パケット検出信号 `H_SYNC__DTC` がアサートされると、水平同期ソース信号 `H_SYNC__SRC` も論理回路部 `44 H` によってアサートされる。後の説明から理解されるように、前の水平同期期間において水平同期パケットが表示ドライバ `IC2` によって正常に受信された場合には各水平同期期間の開始時にイネーブル信号 `Enable 1` がアサートされていることに留意されたい。

#### 【0086】

タイミング生成回路 `17` では、水平同期ソース信号 `H_SYNC__SRC` のアサートに同期して、内部水平同期信号 `H_SYNC__INT` が内部同期信号生成回路 `45` によってアサートされる。本実施形態では、水平同期ソース信号 `H_SYNC__SRC` のアサートの後、所定時間だけ遅れて内部水平同期信号 `H_SYNC__INT` がアサートされる。

#### 【0087】

一方で、水平同期パケット検出信号 `H_SYNC__DTC` がアサートされると、カウンタ `51 H` のリセット端子がアサートされ、カウンタ `51 H` が所定のリセット値（典型的には“0”）にリセットされる（ここでも、イネーブル信号 `Enable 1` がアサートされていることに留意されたい）。カウンタ `51 H` がリセットされると、カウンタ `51 H` のカウント値が下限値レジスタ `53 H` に保持されている下限値より小さくなるので、イネーブル信号 `Enable 1` が比較器 `54 H` によってネゲートされる。イネーブル信号 `Enable 1` がネゲートされるので、水平同期ソース信号 `H_SYNC__SRC` も論理回路部 `44 H` によってネゲートされる。

#### 【0088】

その後、カウンタ `51 H` のカウント値がカウントアップされる。カウンタ `51 H` のカウント値が下限値レジスタ `53 H` に保持されている下限値に到達するまでは、イネーブル信号 `Enable 1` がネゲートに維持される。イネーブル信号 `Enable 1` がネゲートに維持されるので、誤動作によって垂直同期/水平同期パケット検出部 `41` が水平同期パケ

10

20

30

40

50



ットを検出したと認識して水平同期パケット検出信号  $H_{SYNC\_DTC}$  がアサートされても水平同期ソース信号  $H_{SYNC\_SRC}$  はネゲートされた状態に維持される。このような動作は、表示ドライバ IC 2 の動作の信頼性を向上させるために有効である。

【0089】

カウンタ 51H のカウント値がカウントアップされ、カウンタ 51H のカウント値が下限値レジスタ 53H に保持されている下限値に到達すると、比較器 54H によってイネーブル信号  $Enable_1$  がアサートされる。これにより、水平同期ソース信号生成部 42H は、以後に水平同期パケットが検出されたときに水平同期ソース信号  $H_{SYNC\_SRC}$  をアサートする状態に設定されることになる。

【0090】

その後、水平同期期間 # (  $n + 1$  ) の開始時に水平同期パケットが表示ドライバ IC 2 によって正常に受信されると、垂直同期 / 水平同期パケット検出部 41 によって水平同期パケットが検出され、水平同期期間 #  $n$  の開始時と同様の動作が実行される。詳細には、水平同期パケット検出信号  $H_{SYNC\_DTC}$  が垂直同期 / 水平同期パケット検出部 41 によってアサートされ、水平同期ソース信号  $H_{SYNC\_SRC}$  も論理回路部 44H によってアサートされる。タイミング生成回路 17 では、水平同期ソース信号  $H_{SYNC\_SRC}$  のアサートの後、所定時間だけ遅れて内部水平同期信号  $H_{SYNC\_INT}$  がアサートされる。更に、水平同期パケット検出信号  $H_{SYNC\_DTC}$  のアサートに応じてカウンタ 51H のリセット端子がアサートされ、カウンタ 51H がリセットされる。カウンタ 51H がリセットされると、イネーブル信号  $Enable_1$  がネゲートされ、更に、水平同期ソース信号  $H_{SYNC\_SRC}$  も論理回路部 44H によってネゲートされる。

【0091】

その後、カウンタ 51H のカウント値がカウントアップされる。カウンタ 51H のカウント値が下限値レジスタ 53H に保持されている下限値に到達すると、イネーブル信号  $Enable_1$  がアサートされる。

【0092】

ここで、水平同期期間 # (  $n + 1$  ) に続く水平同期期間 # (  $n + 2$  ) の開始時において表示ドライバ IC 2 が水平同期パケットの受信できなかったとする。この場合、水平同期期間 # (  $n + 2$  ) の開始時に水平同期パケット検出信号  $H_{SYNC\_DTC}$  はアサートされず、カウンタ 51H のカウント値のカウントアップが継続される。

【0093】

カウンタ 51H のカウント値が上限値レジスタ 52H に保持されている上限値に到達すると、比較器 54H によってイネーブル信号  $Enable_2$  がアサートされる。イネーブル信号  $Enable_2$  のアサートに応じて疑似信号発生器 55H は、水平同期疑似信号をアサートする。水平同期疑似信号がアサートされるので、OR ゲート 62H から出力される水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされる。その結果、水平同期ソース信号  $H_{SYNC\_SRC}$  のアサートから所定時間だけ遅れて内部水平同期信号  $H_{SYNC\_INT}$  がアサートされる。

【0094】

このような動作によれば、前回の水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされた後、上限値レジスタ 52H に設定された上限値に対応する時間が経過すると、水平同期パケットが正常に受信されなくても水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされ、更に、内部水平同期信号  $H_{SYNC\_INT}$  がアサートされる。このような動作によれば、水平同期パケットがノイズ等の原因によって正常に受信できなくても内部水平同期信号  $H_{SYNC\_INT}$  がアサートされるので、画像の乱れを抑制することができる。

【0095】

水平同期パケットの受信に失敗した水平同期期間 # (  $n + 2$  ) においては、水平同期パケットの受信に成功した水平同期期間 #  $n$ 、# (  $n + 1$  ) と比較すると、水平同期ソース信号  $H_{SYNC\_SRC}$  が相対的に遅れてアサートされる。よって、水平同期期間 # (  $n + 2$  ) においては、水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされてからイネー

10

20

30

40

50

ブル信号  $Enable_1$  がアサートされるまでの時間は短く設定されるべきである。また、水平同期期間 # (  $n + 2$  ) において水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされてから、水平同期期間 # (  $n + 2$  ) の次の水平同期期間において水平同期パケットの受信に失敗した場合に水平同期疑似信号 ( 又はイネーブル信号  $Enable_2$  ) をアサートするまでの時間も短く設定されるべきである。

#### 【 0 0 9 6 】

上記を鑑み、本実施形態では、カウンタ 5 1 H が、水平同期疑似信号のアサートに応じて設定値  $DATA\_SET$  に設定される。カウンタ 5 1 H がカウント値  $Count$  をカウントアップする本実施形態では、設定値  $DATA\_SET$  は、リセット値 ( 典型的には “ 0 ” ) よりも大きな値に設定される。このような設定によれば、水平同期パケットの受信に失敗した水平同期期間において水平同期ソース信号  $H_{SYNC\_SRC}$  のアサートが遅れても、適正なタイミングでイネーブル信号  $Enable_1$  及び水平同期疑似信号 ( 又はイネーブル信号  $Enable_2$  ) をアサートすることができる。

#### 【 0 0 9 7 】

本実施形態では、設定値  $DATA\_SET$  は、上限値レジスタ 5 2 H に設定された上限値から期待値レジスタ 5 7 H に設定された期待値を減じて算出される。期待値レジスタ 5 7 H には、期待される水平同期期間の長さに対応する値が期待値として設定される。上限値レジスタ 5 2 H に設定される上限値は、ある水平同期期間において水平同期パケットが正常に受信されてから次の水平同期期間において水平同期パケットの受信に失敗したときに水平同期疑似信号 ( 又はイネーブル信号  $Enable_2$  ) がアサートされるまでの時間に対応するので、結果として、設定値  $DATA\_SET$  は、水平同期パケットの受信に失敗した水平同期期間における水平同期パケットの受信に失敗した水平同期期間のアサートの遅れを補償するような値に設定されることになる。

#### 【 0 0 9 8 】

ただし、設定値  $DATA\_SET$  は、上限値レジスタ 5 2 H に設定された上限値から期待値レジスタ 5 7 H に設定された期待値を減じて得られる値に限定されない。例えば、設定値  $DATA\_SET$  は、無条件に、固定の特定値に設定されてもよい。

#### 【 0 0 9 9 】

なお、カウンタ 5 1 H が、カウント値  $Count$  をカウントダウンする ( 例えば、1 ずつ減少させる ) ように構成されてもよい。この場合、比較器 5 4 H は、カウント値  $Count$  が減少して上限値レジスタ 5 2 H に設定された上限値に到達したときにイネーブル信号  $Enable_1$  をアサートし、その後、水平同期パケットが正常に受信されずに下限値レジスタ 5 3 H に設定された下限値に到達したときに水平同期疑似信号 ( 及びイネーブル信号  $Enable_2$  ) をアサートするように構成される。設定値  $DATA\_SET$  は、下限値レジスタ 5 3 H に設定された下限値に、期待値レジスタ 5 7 H に設定された期待値を加算することで算出される。この場合も、設定値  $DATA\_SET$  は、下限値レジスタ 5 3 H に設定された下限値から期待値レジスタ 5 7 H に設定された期待値を加算して得られる値に限定されない。例えば、設定値  $DATA\_SET$  は、無条件に、固定の特定値に設定されてもよい。カウンタ 5 1 H がカウント値  $Count$  をカウントダウンする場合にも、比較器 5 4 H の動作を変更することで、水平同期ソース信号生成部 4 2 H は、カウンタ 5 1 H がカウント値  $Count$  をカウントアップする場合と同様に動作する。

#### 【 0 1 0 0 】

以上に説明されているように、本実施形態では、垂直同期パケットが表示ドライバ IC 2 に送信されることが期待される期間に表示ドライバ IC 2 が垂直同期パケットを受信しない場合にも、垂直同期ソース信号  $V_{SYNC\_SRC}$  の前回のアサートの後、所定時間が経過したときに垂直同期ソース信号  $V_{SYNC\_SRC}$  がアサートされる。同様に、水平同期パケットが表示ドライバ IC 2 に送信されることが期待される期間に表示ドライバ IC 2 が水平同期パケットを受信しない場合にも、水平同期ソース信号  $H_{SYNC\_SRC}$  の前回のアサートの後、所定時間が経過したときに水平同期ソース信号  $H_{SYNC\_SRC}$  がアサートされる。このような動作により、本実施形態の表示ドライバ IC 2 は、一

10

20

30

40

50

時的に垂直同期パケット又は水平同期パケットの受信に失敗しても、表示の乱れの発生を抑制することができる。

#### 【 0 1 0 1 】

以上には、本発明の実施形態が具体的に記述されているが、本発明は、上記の実施形態に限定されると解釈してはならない。本発明が様々な変更と共に実施され得ることは、当業者には自明的であろう。

#### 【 0 1 0 2 】

例えば、上記の実施形態では、表示装置 1 0 が L C D パネル 1 に画像を表示するように構成されているが、本発明は、他の表示パネル（例えば、O L E D (organic light emitting diode) 表示パネル）に画像を表示するように構成された表示装置にも適用可能である。

10

#### 【 0 1 0 3 】

また、上記の実施形態では、垂直同期パケットの受信に失敗した場合及び水平同期パケットの受信に失敗した場合の両方に対応した垂直同期／水平同期抽出回路 2 6 の構成が記述されているが、垂直同期／水平同期抽出回路 2 6 が、一方の場合にのみ対応するように構成されてもよい。例えば、垂直同期／水平同期抽出回路 2 6 が垂直同期パケットの受信に失敗にのみ対応するように構成される場合、水平同期ソース信号生成部 4 2 H は設けられず、水平同期パケット検出信号  $H_{SYNC\_DTC}$  が、そのまま、水平同期ソース信号  $H_{SYNC\_SRC}$  として用いられる。また、垂直同期／水平同期抽出回路 2 6 が水平同期パケットの受信に失敗にのみ対応するように構成される場合、垂直同期ソース信号生成部 4 2 V は設けられず、垂直同期パケット検出信号  $V_{SYNC\_DTC}$  が、そのまま、垂直同期ソース信号  $V_{SYNC\_SRC}$  として用いられる。

20

#### 【 0 1 0 4 】

また、上記では、垂直同期パケットが垂直同期期間の開始を指示する垂直同期期間開始指示として用いられる実施形態が開示されているが、ホスト 3 から表示ドライバ IC 2 に供給される外部垂直同期信号が垂直同期期間開始指示として用いられてもよい。この場合、表示ドライバ IC 2 の各回路（例えば、垂直同期／水平同期抽出回路 2 6）は、外部垂直同期信号のアサートを検出した場合に、上記の実施形態において垂直同期パケットの受信を検出した場合の動作を行う。

#### 【 0 1 0 5 】

30

同様に、上記では、水平同期パケットが水平同期期間の開始を指示する水平同期期間開始指示として用いられる実施形態が開示されているが、ホスト 3 から表示ドライバ IC 2 に供給される外部水平同期信号が水平同期期間開始指示として用いられてもよい。この場合、この場合、表示ドライバ IC 2 の各回路（例えば、垂直同期／水平同期抽出回路 2 6）は、外部水平同期信号のアサートを検出した場合に、上記の実施形態において水平同期パケットの受信を検出した場合の動作を行う。

#### 【 0 1 0 6 】

このような構成によれば、垂直同期信号や水平同期信号を供給する信号線にノイズが印加され、垂直同期及び水平同期の確立に失敗しても、表示の乱れの発生を抑制することができる。

40

#### 【 符号の説明 】

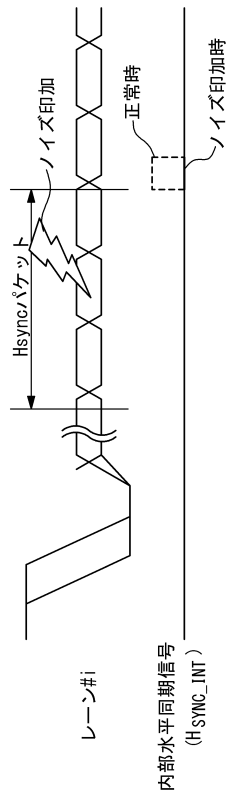
#### 【 0 1 0 7 】

- 1 : L C D パネル
- 2 : 表示ドライバ IC
- 3 : ホスト
- 4 : 表示領域
- 5 : ゲートドライバ回路
- 6 : ゲート線
- 7 : ソース線
- 8 : 画素

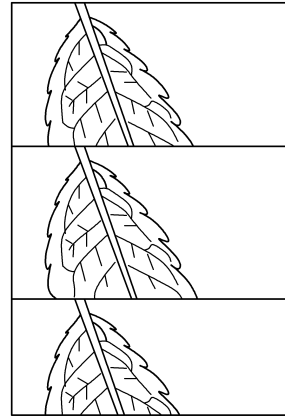
50

1 0	: 表示装置	
1 1	: レシーバ回路	
1 2	: レーン制御インターフェース回路	
1 3	: システムインターフェース回路	
1 4	: 表示メモリ	
1 5	: ソースドライバ回路	
1 6	: パネルインターフェース回路	
1 7	: タイミング生成回路	
1 8	: レジスタ回路	
1 9	: 発振回路	10
2 0	: バス	
2 1	: レシーバ	
2 2	: クロック生成回路	
2 3 <sub>0</sub> ~ 2 3 <sub>3</sub>	: レシーバ	
2 4 <sub>0</sub> ~ 2 4 <sub>3</sub>	: デシリアライザ	
2 5	: データトランスレータ	
2 6	: 垂直同期 / 水平同期抽出回路	
3 1	: 垂直同期パケット	
3 2	: 水平同期パケット	
4 1	: 垂直同期 / 水平同期パケット検出部	20
4 2 H	: 水平同期ソース信号生成部	
4 2 V	: 垂直同期ソース信号生成部	
4 3 H	: 水平同期疑似信号生成部	
4 3 V	: 垂直同期疑似信号生成部	
4 4 V、4 4 H	: 論理回路部	
4 5	: 内部同期信号生成回路	
5 1 V、5 1 H	: カウンタ	
5 2 V、5 2 H	: 上限値レジスタ	
5 3 V、5 3 H	: 下限値レジスタ	
5 4 V、5 4 H	: 比較器	30
5 5 V、5 5 H	: 疑似信号発生器	
5 6 V、5 6 H	: A N D ゲート	
5 7 V、5 7 H	: 期待値レジスタ	
5 8 V、5 8 H	: 減算器	
6 1 V、6 1 H	: A N D ゲート	
6 2 V、6 2 H	: O R ゲート	

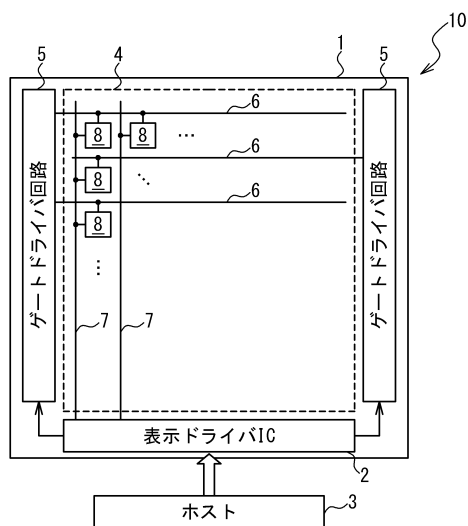
【 図 1 】



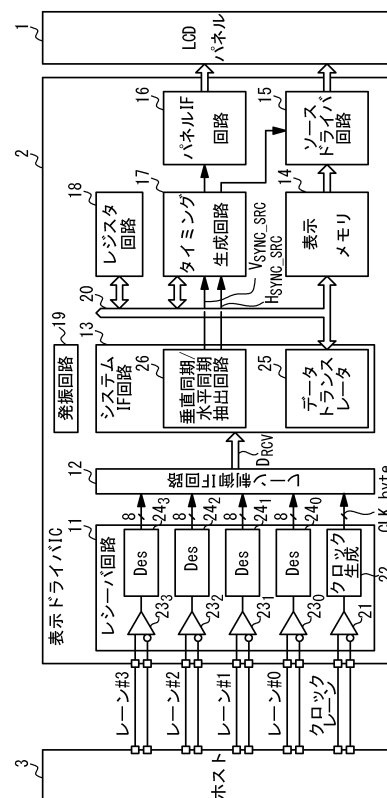
【 図 2 】



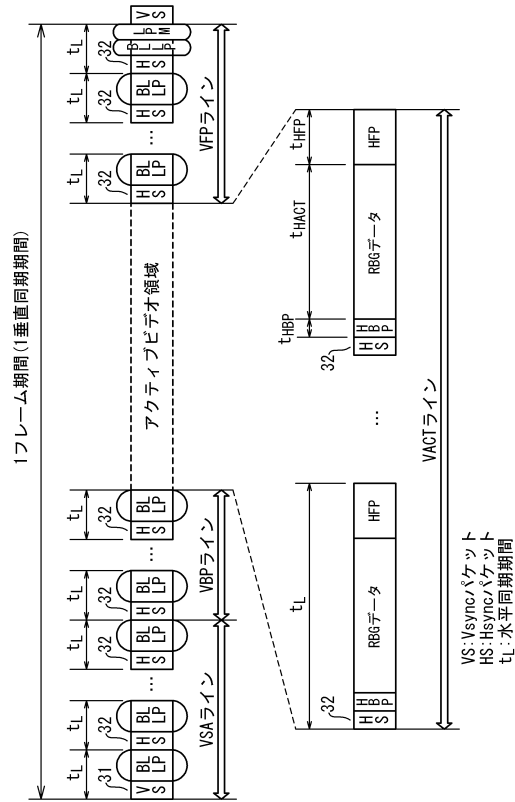
【圖 3】



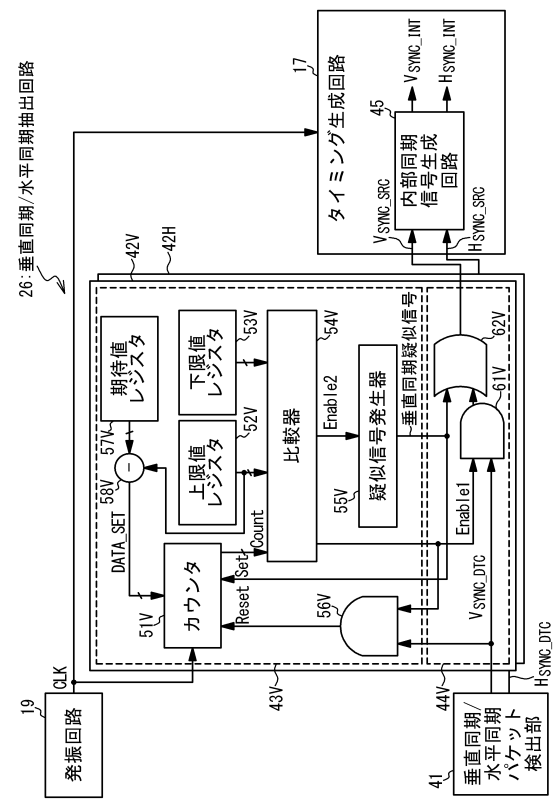
【圖 4】



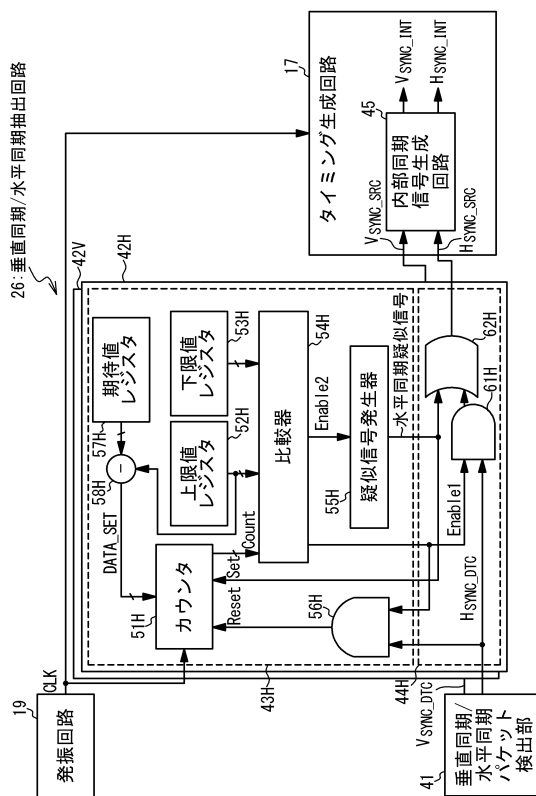
【図 5】



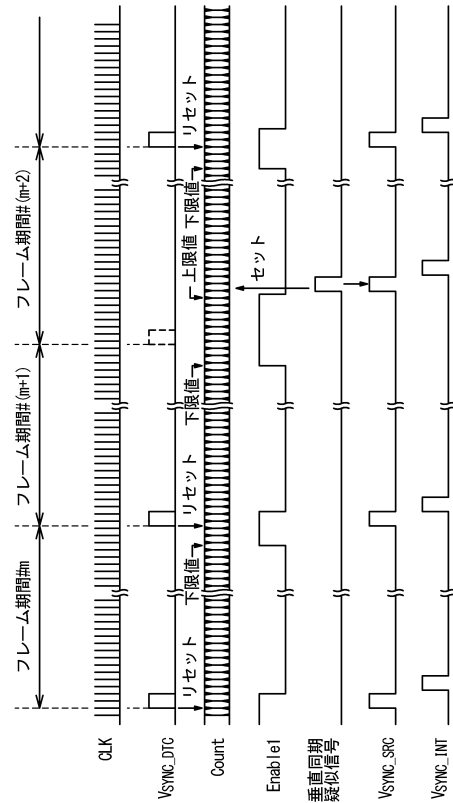
【図 6】



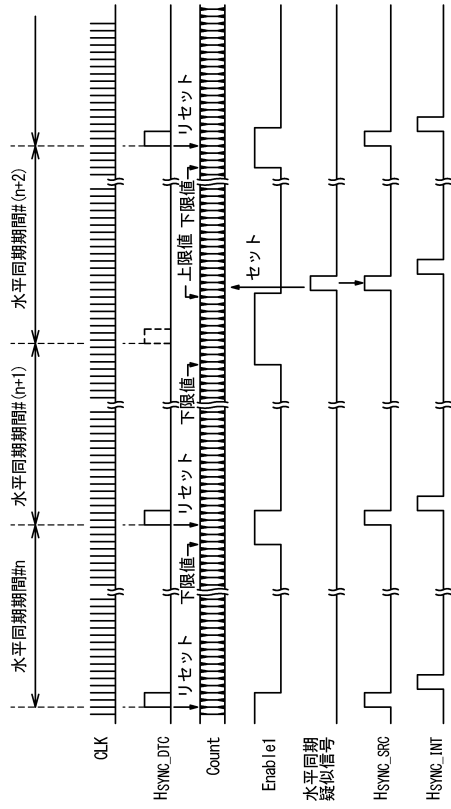
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 3 1 V
	G 0 9 G	3/20	6 3 3 D
	G 0 9 G	3/20	6 3 3 E
	G 0 9 G	3/20	6 7 0 F

(56)参考文献 特開2 0 0 8 - 1 5 2 0 2 3 ( J P , A )  
特開平 0 9 - 2 7 0 9 3 7 ( J P , A )  
特開2 0 0 7 - 0 9 3 6 9 5 ( J P , A )  
特開昭 5 5 - 0 8 0 8 1 4 ( J P , A )  
特開平 0 6 - 2 3 2 7 3 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G09G 3/00-5/42  
H04N 5/66-5/74