(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 110708043 B
(45)授权公告日 2023.03.21

(21)申请号 201910602909.7

(22)申请日 2019.07.05

(65)同一申请的已公布的文献号
申请公布号 CN 110708043 A

(43)申请公布日 2020.01.17

(30)优先权数据
62/696,330 2018.07.10 US
16/151,338 2018.10.03 US

(73)专利权人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 马修·贝尔津什 苏曼斯·苏瑞尼

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 刘灿强 张川绪

(51)Int.Cl.
H03K 3/356(2006.01)

(56)对比文件
US 5929660 A,1999.07.27
CN 107707221 A,2018.02.16
CN 102487270 A,2012.06.06
CN 105191127 A,2015.12.23
CN 107248853 A,2017.10.13

审查员 姜晓庆

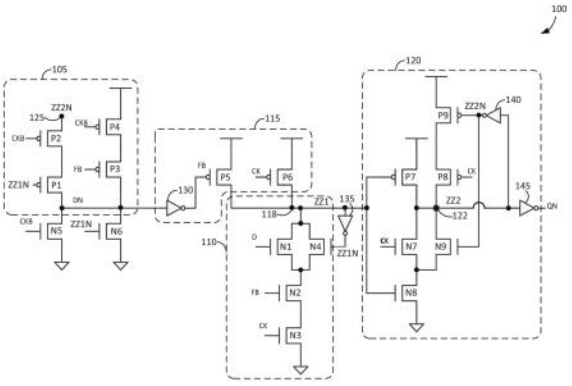
权利要求书2页 说明书7页 附图8页

(54)发明名称

动态触发器和动态触发器的与数据无关的P堆叠反馈电路

(57)摘要

公开动态触发器和动态触发器的与数据无关的P堆叠反馈电路。本发明的方面包括包含与数据无关的P堆叠反馈电路的动态触发器。与数据无关的P堆叠反馈电路可包括：第一P型晶体管，由第一反相信号选通；以及第二P型晶体管，由反相时钟信号选通。第二P型晶体管的漏极可结合到第一P型晶体管的源极。第二P型晶体管的源极可结合到被配置为接收第二反相信号的节点。第二P型晶体管的源极可直接结合到被配置为接收第二反相信号的节点而不是恒定电源。与数据无关的P堆叠反馈电路可包括一个或多个延迟级以消除竞争条件。



CN 110708043 B

1.一种动态触发器,包括:

与数据无关的P堆叠反馈电路,包括:

第一P型晶体管,由第一反相信号选通;

第二P型晶体管,由反相时钟信号选通,其中,

第二P型晶体管的漏极结合到第一P型晶体管的源极,并且

第二P型晶体管的源极结合到被配置为接收第二反相信号的节点;以及

一个或多个延迟级,设置在第一P型晶体管与第二P型晶体管之间;以及

N堆叠部分,包括各自由相应的数据输入信号选通的多个N型晶体管。

2.根据权利要求1所述的动态触发器,其中,第二P型晶体管的源极直接结合到被配置为接收第二反相信号的节点而不是恒定电源。

3.根据权利要求1所述的动态触发器,其中,P堆叠反馈电路不包括由数据输入信号选通的晶体管。

4.根据权利要求1所述的动态触发器,其中,所述一个或多个延迟级包括两个或更多个反相器。

5.根据权利要求1所述的动态触发器,其中,所述一个或多个延迟级包括三个延迟级。

6.根据权利要求1所述的动态触发器,其中,N堆叠部分还包括:

第二N型晶体管,由反馈信号选通;

第三N型晶体管,由时钟信号选通;以及

第四N型晶体管,由第一反相信号选通。

7.一种动态触发器,包括:

与数据无关的P堆叠反馈电路,包括:

第一P型晶体管,由第一反相信号选通;

第二P型晶体管,由反相时钟信号选通,其中,

第二P型晶体管的漏极结合到第一P型晶体管的源极,

第二P型晶体管的源极结合到被配置为接收第二反相信号的节点;以及

N堆叠部分,包括由数据输入信号选通的N型晶体管,

其中,所述N型晶体管被称为第一N型晶体管,其中,N堆叠部分还包括:

第二N型晶体管,由反馈信号选通;

第三N型晶体管,由时钟信号选通;以及

第四N型晶体管,由第一反相信号选通。

8.根据权利要求7所述的动态触发器,其中,P堆叠反馈电路还包括:

第三P型晶体管,由反馈信号选通;以及

第四P型晶体管,由反相时钟信号选通。

9.根据权利要求8所述的动态触发器,其中:

所述节点被称为第一节点;

第一P型晶体管的漏极结合到第二节点;

所述动态触发器还包括:

第五N型晶体管,由反相时钟信号选通并结合到第二节点;以及

第六N型晶体管,由第一反相信号选通并结合到第二节点。

10.根据权利要求9所述的动态触发器,还包括:

中间部分,包括:

第五P型晶体管,由反馈信号选通并结合到与第一信号相关联的第三节点;以及

第六P型晶体管,由时钟信号选通并结合到与第一信号相关联的第三节点。

11.根据权利要求10所述的动态触发器,还包括:

输出部分,包括:

第七P型晶体管,由第一信号选通;

第八P型晶体管,由时钟信号选通;

第九P型晶体管,由第二反相信号选通;

第七N型晶体管,由时钟信号选通;

第八N型晶体管,由第一信号选通;以及

第九N型晶体管,由第二反相信号选通。

12.根据权利要求7所述的动态触发器,其中,P堆叠反馈电路还包括:

一个或多个延迟级,设置在P堆叠反馈电路内的任何位置。

13.根据权利要求7所述的动态触发器,其中,第二P型晶体管的漏极直接结合到第一P型晶体管的源极。

14.一种动态触发器的与数据无关的P堆叠反馈电路,所述P堆叠反馈电路包括:

第一P型晶体管,由第一反相信号选通;

第二P型晶体管,由反相时钟信号选通,其中,

第二P型晶体管的漏极结合到第一P型晶体管的源极,并且

第二P型晶体管的源极结合到被配置为接收第二反相信号的节点;以及

N堆叠部分,包括各自由相应的数据输入信号选通的多个N型晶体管。

15.根据权利要求14所述的电路,其中,第二P型晶体管的源极直接结合到被配置为接收第二反相信号的节点而不是恒定电源。

16.根据权利要求14所述的电路,还包括:一个或多个延迟级,设置在第一P型晶体管和第二P型晶体管之间。

17.根据权利要求16所述的电路,其中,所述一个或多个延迟级包括三个延迟级。

动态触发器和动态触发器的与数据无关的P堆叠反馈电路

[0001] 本申请要求于2018年7月10日提交的第62/696,330号和于2018年10月3日提交的第16/151,338号美国专利申请的权益,所述美国专利申请通过引用合并于此。

技术领域

[0002] 本发明的实施例涉及半导体电路,更具体地讲,涉及可集成单级组合电路的具有与数据无关的P堆叠反馈机制的动态触发器。

背景技术

[0003] 传统触发器是许多集成电路中常用的组件。在日益复杂的架构中,多个信号汇聚到单个触发器上的场景正以指数速率增长。随着更高的频率目标,路径的负设置余量(negative setup slack)(即,数据比时钟到达晚到达)正成为许多设计中的瓶颈。为了处理这些和其他增长的问题,触发器必须快速并且具有设置益处。

[0004] 例如,当N:1复用器(MUX)的输出结合(stitch)到触发器的数据输入引脚时,N:1MUX的评估是电路的设置要求的主要贡献者。在一种改善设置要求的方法中,可将N:1MUX集成到触发器中。然而,随着MUX的输入的数量N变得更大,更大数量的信号可汇聚到触发器中,并且反馈电路中的P堆叠的高度将变为N+2。换句话说,P堆叠更高,N堆叠更宽。这增加了电路内的内部节点上的总电容。

[0005] 需要的是一种具有与数据无关的P堆叠反馈机制的改进的动态触发器。

发明内容

[0006] 发明的方面包括包含与数据无关的P堆叠反馈电路的动态触发器。与数据无关的P堆叠反馈电路可包括:第一P型晶体管,由第一反相信号选通;以及第二P型晶体管,由反相时钟信号选通。第二P型晶体管的漏极可结合到第一P型晶体管的源极。第二P型晶体管的源极可结合到被配置为接收第二反相信号的节点。第二P型晶体管的源极可直接结合到被配置为接收第二反相信号的节点而不是恒定电源。与数据无关的P堆叠反馈电路可包括一个或多个延迟级以消除竞争条件。

[0007] 通过在处理器中(诸如ARM处理器核内)实现某些发明特征,可最好地实现它们。其他类型的处理器或专用集成电路(ASIC)可实现这里公开的发明原理。本发明构思可在各种移动装置(诸如,智能电话、平板、笔记本计算机等)的处理器和/或存储器模块内实现,或者在各种固定装置(诸如,台式计算机、路由器等)中实现。

附图说明

[0008] 从以下参照附图进行的详细描述,本发明原理的前述和附加的特征和优点将变得更容易清楚,其中:

[0009] 图1示出根据一些实施例的反相器,其中,反相器示出时钟信号(CK)与反相时钟信号(CKB)之间的差异。

[0010] 图2是根据一些实施例的具有与数据无关的P堆叠反馈机制的动态触发器的示例示图。

[0011] 图3是根据一些实施例的与具有与数据无关的P堆叠反馈机制的动态触发器相关联的示例波形图。

[0012] 图4A示出根据一些实施例的多个反相器的串，其示出时钟信号(CK)与反相时钟信号(CKB)之间的差异。

[0013] 图4B是根据一些实施例的具有与数据无关的P堆叠反馈机制的另一动态触发器的示例示图。

[0014] 图5是根据一些实施例的与具有与数据无关的P堆叠反馈机制的动态触发器相关联的另一示例波形图。

[0015] 图6A是示出与具有与数据无关的P堆叠反馈机制的动态触发器相关联的通过仿真(pass simulation)的另一示例波形图。

[0016] 图6B是示出失败仿真的波形图。

[0017] 图7是根据在此公开的本发明构思的实施例的包括具有与数据无关的P堆叠反馈机制的动态触发器的计算系统的示例框图。

具体实施方式

[0018] 现在将详细参照本发明构思的实施例，本发明构思的实施例的示例在附图中示出。在下面的具体实施方式中，阐述了许多具体细节以能够彻底理解本发明构思。然而，应当理解，本领域普通技术人员可在没有这些具体细节的情况下实践本发明构思。在其他实例中，未详细描述公知的方法、过程、组件、电路和网络，以免不必要地模糊实施例的方面。

[0019] 将理解，尽管可在这里使用术语第一、第二等来描述各种元件，但这些元件不应受这些术语的限制。这些术语仅用于将一个元件与另一元件区分开。例如，在不脱离本发明构思的范围的情况下，第一电路可被称为第二电路，类似地，第二电路可被称为第一电路。

[0020] 这里在本发明构思的描述中所使用的术语仅用于描述特定实施例的目的，而不意图限制本发明构思。如在本发明构思和所附权利要求的描述中所使用的，除非上下文另有明确指示，否则单数形式也意图包括复数形式。还将理解，如这里所使用的术语“和/或”指示并包括相关所列项目的一个或多个的任何和所有可能的组合。还将理解，当在本说明书中被使用时，术语“包括”和/或“包含”说明存在阐述的特征、整数、步骤、操作、元件和/或组件的存在，但不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。附图的组件和特征不一定按比例绘制。

[0021] 这里公开的实施例涉及可集成单级组合电路的具有与数据无关的P堆叠反馈机制的动态触发器。使用下面详细描述的与数据引脚无关的P堆叠反馈机制以及其他创新延迟技术，各种单级组合电路能够被集成到这里公开的动态触发器中。与传统触发器相比，这样可允许电路以相似的时钟到输出(clock-to-output，CK2Q)速度和对数据引脚的相似设置进行操作。由于因能够消除典型的N:1MUX中的对p沟道金属氧化物半导体场效应晶体管(PMOS)器件的需要而使用更少的器件，所以需要更小的电路面积。通过在电路中使用不同的多边形长度技术(poly length technique)，还能够恢复泄漏功率。与简单地结合MUX和触发器相比，即使保持类似的CK2Q延迟，也能实现更好的设置。在布线轨迹可用性较低的密

集区域中,能够改善布线拥塞。完整的单元能够被精确地建模,而不是依赖于线模型(wire model)。随着工艺、温度和电源电压(PVT)的降低,使用这里公开的动态触发器的总数据至输出(D2Q)益处变得更加明显。总之,与简单地结合传统触发器和组合电路相比,这里公开的动态触发器具有更好的面积,并且显著地改进了对数据引脚的设置。

[0022] 图1示出根据一些实施例的反相器102,反相器102示出时钟信号(CK)与反相时钟信号(CKB)之间的差异,如差异涉及图2。图2是根据一些实施例的具有与数据无关的P堆叠反馈机制(在下文中,也被称为"P堆叠反馈电路")105的动态触发器100的示例示图。现在参照图1和图2。

[0023] 动态触发器100可包括与数据无关的P堆叠反馈电路105。与数据无关的P堆叠反馈电路105可包括由作为第一信号ZZ1(例如,第一动态网信号(a first dynamic net signal))的反相的第一反相信号ZZ1N(例如,第一动态反相网信号)选通(gate)的第一P型晶体管P1。与数据无关的P堆叠反馈电路105还可包括由反相时钟信号CKB选通的第二P型晶体管P2。在一些实施例中,第二P型晶体管P2的漏极结合到第一P型晶体管P1的源极。在一些实施例中,第二P型晶体管P2的源极结合到节点125,节点125被配置为接收作为第二信号ZZ2(例如,第二动态网信号(a second dynamic net signal))的反相的第二反相信号ZZ2N(例如,第二动态反相网信号)。

[0024] 在一些实施例中,第二P型晶体管P2的源极直接结合到被配置为接收第二反相信号ZZ2N的节点125而不是诸如VDD的恒定电源。在一些实施例中,第二P型晶体管P2的漏极直接结合到第一P型晶体管P1的源极。与数据无关的P堆叠反馈电路105不需要包括由数据输入信号D选通的晶体管。

[0025] 动态触发器100还可包括N堆叠部分110,N堆叠部分110包括由数据输入信号D选通的N型晶体管N1。N堆叠部分还可包括由反馈信号FB选通的第二N型晶体管N2、由时钟信号CK选通的第三N型晶体管N3和由第一反相信号ZZ1N选通的第四N型晶体管N4。

[0026] 与数据无关的P堆叠反馈电路105还可包括由反馈信号FB选通的第三P型晶体管P3和由反相时钟信号CKB选通的第四P型晶体管P4。在一些实施例中,第一P型晶体管P1的漏极结合到节点DN。动态触发器100还可包括由反相时钟信号CKB选通并结合到节点DN的第五N型晶体管N5。动态触发器100还可包括由第一反相信号ZZ1N选通并结合到节点DN的第六N型晶体管N6。

[0027] 动态触发器100还可包括中间部分115,中间部分115可包括由反馈信号FB选通并结合到与第一信号ZZ1相关联的节点118的第五P型晶体管P5。第六P型晶体管P6可由时钟信号CK选通并结合到与第一信号ZZ1相关联的节点118。中间部分115还可包括结合到第五P型晶体管P5的反相器130。此外,反相器135可设置在节点118与N堆叠部分110的第四N型晶体管N4之间。

[0028] 动态触发器100还可包括输出部分120。输出部分120可包括由第一信号ZZ1选通的第七P型晶体管P7、由时钟信号CK选通的第八P型晶体管P8、由第二反相信号ZZ2N选通的第九P型晶体管P9、由时钟信号CK选通的第七N型晶体管N7、由第一信号ZZ1选通的第八N型晶体管N8和由第二反相信号ZZ2N选通的第九N型晶体管N9。节点122与信号ZZ2相关联。输出部分120还可包括反相器140和145。

[0029] 图3是根据一些实施例的与具有与数据无关的P堆叠反馈机制的动态触发器100相

关联的示例波形图300。现在参照图1、图2和图3。

[0030] 在传统触发器中，会在晶体管P1与P2之间设置附加的P型晶体管。设置在传统触发器的P堆叠中的这种附加的P型晶体管会接收数据输入信号D。通过从P堆叠移除这种附加的P型晶体管，由于反馈路径现在会与数据引脚状态无关，所以会在评估路径(即，N堆叠部分110的N堆叠)与反馈路径之间出现竞争条件(race condition)。

[0031] 然而，为了克服这种竞争条件，根据这里公开的实施例，将P型晶体管P2的源极连接到与ZZ2N信号相关联的节点125而不是VDD具有以下效果。如在窗口305所示，当时钟信号CK从逻辑0转换到逻辑1，并且D是逻辑1时，由于N堆叠部分110的N堆叠评估，则与ZZ1信号相关联的节点118从逻辑1转换到逻辑0；与ZZ2信号相关联的节点122从逻辑0转换到逻辑1；信号ZZ2N从逻辑1转换到逻辑0；并且输出信号QN从逻辑1转换到逻辑0。在同一时间段期间，反相时钟信号CKB从逻辑1转换到逻辑0，并且P型晶体管P2导通。

[0032] 由于$V_{GS}=V_{CKB}$减去V_{ZZ2N}(这里，V_{GS}表示P型晶体管P2的栅极电压V_{CKB}与源极电压V_{ZZ2N}之间的差)，在这种情况下，0减去0＝0，这小于PMOS的V_{TH}(这里，V_{TH}表示用于导通PMOS的阈值电压)，因此P型晶体管P2截止，反馈P堆叠截止。因此，P堆叠不再能够导致与N堆叠的评估的竞争条件。换句话说，与信号ZZ2N相关联的节点125被越快地拉至零，反馈P堆叠截止得越快。

[0033] 当时钟信号CK是逻辑0时，与信号ZZ1相关联的节点118被拉到逻辑1，或者换句话说，被预充电。如在窗口310所示，当数据输入D是逻辑0，并且时钟信号CK从逻辑0转换到逻辑1时，则信号ZZ2N从逻辑0转换到逻辑1；节点DN从逻辑0转换到逻辑1；反馈信号FB从逻辑1转换为逻辑0，输出信号QN从逻辑0转换为逻辑1。

[0034] 图4A示出根据一些实施例的多个反相器的串，其示出时钟信号(CK)与反相时钟信号(CKB)之间的差异。图4B是根据一些实施例的具有与数据无关的P堆叠反馈机制的另一动态触发器400的示例示图。动态触发器400的组件的一些与动态触发器100的组件相同或相似，并且为了简洁起见，不必重复对这些组件的描述。现在参照图4A和4B。

[0035] N:1复用器(MUX)可集成有具有与数据无关的P堆叠反馈机制的动态触发器400。随着N:1MUX中的“N”增加，N堆叠部分410的N:1MUX的并行2-深度N堆叠(2-deep N-stack)在与信号ZZ1相关联的节点118上添加额外电容，这可减慢ZZ1信号从逻辑1至逻辑0的转换。此外，也可减慢ZZ2信号从逻辑0至逻辑1的转换以及ZZ2N信号从逻辑1至逻辑0的转换。由于从逻辑1到逻辑0的变慢的ZZ2N转换，所以反馈环路可使用N堆叠部分410的N堆叠的评估来开始竞争条件。

[0036] 为了消除N堆叠部分410的N堆叠的评估和与数据无关的P堆叠反馈电路405的反馈P堆叠之间的任何竞争，可使用各种设计技术(例如，不同的VT注入、更长的多边形长度、更长的反馈P堆叠、使用时钟信号CK与反相时钟信号CKB之间的多个延迟级来延迟反相时钟信号CKB转换等)来减慢非临界反馈P堆叠。因此，可减慢P堆叠，并且可减少泄漏功率。

[0037] 动态触发器400可包括与数据无关的P堆叠反馈电路405、中间电路415、N堆叠部分410和输出部分420。在一些实施例中，与数据无关的P堆叠反馈电路405包括设置在405中的P堆叠内的任何地方的一个或多个延迟级435。例如，一个或多个延迟级435可设置在P1上方或下方。作为另一示例，一个或多个延迟级435可设置在P2上方或下方。作为另一示例，一个或多个延迟级435可设置在P1与P2之间。可使用上述各种设计技术来减慢非临界反馈P堆

叠。在一些实施例中，一个或多个延迟级435包括两个或更多个反相器。在一些实施例中，两个或更多个反相器之中的第一反相器结合到第一P型晶体管P1的源极，并且两个或更多个反相器之中的第二反相器结合到第二P型晶体管P2的漏极。在一些实施例中，一个或多个延迟级435包括三个延迟级。

[0038] N堆叠部分410可包括多个N型晶体管(例如，N1a、N4a至NAn)，每个N型晶体管由数据输入信号(例如，A0、A1至AN)选通。N堆叠部分410可包括多个N型选择晶体管(例如，N1b、N4b至NSn)，每个N型选择晶体管由选择信号(例如，S0、S1至SN)选通。N堆叠部分410还可包括由反馈信号FB选通的N型晶体管N2、由时钟信号CK选通的N型晶体管N3以及由第一反相信号ZZ1N选通的N型晶体管N4。

[0039] 图5是根据一些实施例的与具有与数据无关的P堆叠反馈机制的动态触发器400相关联的另一示例波形图500。现在参照图4A、图4B和图5。

[0040] 当时钟信号CK是逻辑0时，与信号ZZ1相关联的节点118被拉到逻辑1，或者换句话说，它被预充电。如窗口510中所示，随着所有MUX输入A[0…N-1]设置为逻辑0，当时钟信号CK从逻辑0转换到逻辑1时，输出信号QN从逻辑0转换到逻辑1。

[0041] 考虑到MUX输入A[0……N-1]从逻辑0转换到逻辑1的情况，选择信号S0[0……N-1]从逻辑0转换到逻辑1，并且时钟信号CK处于逻辑0。A和S0可以是各自具有N位的输入总线。在图5中所示的波形中，作为示例，仅绘制一个输入A和相应的选择信号S0。实际上，可存在多个输入A[0……N-1]和多个相应的选择信号S0[0……N-1]。当时钟信号CK从逻辑0转换到逻辑1时，N堆叠部分410的NMOS堆叠评估将与信号ZZ1相关联的节点118从逻辑1拉到逻辑0，因此，如在窗口505所示，输出信号QN从逻辑1转换到逻辑0。与数据无关的P堆叠反馈电路405消除了电路内的任何竞争条件。

[0042] 图6A是示出与具有与数据无关的P堆叠反馈机制的动态触发器相关联的通过条件(pass condition)的另一示例波形图600。窗口605类似于图5的窗口510。图6B是示出在竞争条件未被减轻的情况下的失败仿真610的波形图602。如这里公开的，与数据无关的P堆叠反馈电路405消除了电路内的任何竞争条件，使得失败条件610不发生。

[0043] 因此，各种单级组合电路元件可集成到具有与数据引脚无关的P堆叠反馈和创造性的延迟技术的动态触发器中。与传统的动态触发器相比，这允许电路以相似或更好的速度(CK至Q)以及对数据引脚的相似或更好的设置进行操作。与简单地将组合电路与传统的动态触发器结合相比，结果是更好的面积以及对数据引脚的设置的显著的改进。面积益处是由于消除了典型的N:1MUX中存在的对PMOS器件的需求而使用更少的器件。通过在电路内使用混合VT和不同的多边形长度技术，还可恢复泄漏功率。与简单地结合MUX和具有类似的CK2Q延迟的动态触发器相比，实现了更好的设置。在布线轨迹可用性非常低的密集区域改善了布线拥塞。此外，完整的单元被精确地建模，而不是依赖于线模型。

[0044] 图7是根据如这里公开的本发明构思的实施例的包括具有与数据无关的P堆叠反馈机制105/405的动态触发器100/400的计算系统的示例框图。如这里公开的动态触发器100/400可电连接到系统总线705。计算系统700还可包括时钟710、随机存取存储器(RAM)和/或闪存715、存储器控制器745、用户接口720、调制解调器725(诸如，基带芯片组)和/或自动测试设备(ATE)735，它们中的任何一个或全部可电结合到系统总线705。

[0045] 如果计算系统700是移动装置，则它还可包括为计算系统700供电的电池740。尽管

没有在图7中示出，但是计算系统700还可包括应用芯片组、相机图像处理器(CIS)、移动DRAM等。存储器控制器745和RAM和/或闪存715可构成使用非易失性存储器来存储数据的固态驱动器/盘(SSD)。

[0046] 在示例实施例中，计算系统700可用作计算机、便携式计算机、超移动PC(UMPC)、工作站、上网本、PDA、网络平板、无线电话、移动电话、智能电话、电子书、PMP(便携式多媒体播放器)、数码相机、数字音频记录器/播放器、数字图像/视频记录器/播放器、便携式游戏机、导航系统、黑匣子、三维电视、能够在无线环境下发送和接收信息的装置、构成家庭网络的各种电子装置之一、构成计算网络的各种电子装置之一、构成远程信息处理网络的各种电子装置之一、RFID或构成计算系统的各种电子装置之一。

[0047] 上述方法的各种操作可通过能够执行所述操作的任何合适的装置(诸如，各种硬件和/或软件组件、电路和/或模块)来执行。

[0048] 结合在这里公开的实施例描述的方法或算法和功能的块或步骤可直接以硬件、以由处理器执行的软件模块或以二者的组合来实现。如果以软件实现，则功能可作为一个或多个指令或代码存储在有形的、非暂时性的计算机可读介质上，或者作为一个或多个指令或代码在有形的、非暂时性计算机可读介质上传输。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD ROM或本领域已知的任何其他形式的存储介质中。

[0049] 下面的讨论意图提供其中可实现本发明构思的某些方面的一个或多个合适的机器的简要、一般描述。通常，一个或多个机器包括系统总线，处理器、存储器(例如，RAM、ROM或其他状态保存介质)、存储装置、视频接口和输入/输出接口端口连接到系统总线。一个或多个机器可至少部分地通过来自传统输入装置(诸如，键盘、鼠标等)的输入以及通过从另外的机器接收的指令、与虚拟现实(VR)环境的交互、生物特征反馈或其他输入信号来控制。如在此所使用的，术语“机器”意图广义地包括单个机器、虚拟机、或者通信结合的机器、虚拟机或一起操作的装置的系统。示例性机器包括计算装置(诸如，个人计算机、工作站、服务器、便携式计算机、手持装置、电话、平板电脑等)以及运输装置(诸如，私人或公共交通工具(例如，汽车、火车、出租车等))。

[0050] 一个或多个机器可包括嵌入式控制器(诸如，可编程或不可编程逻辑器件或阵列、专用集成电路(ASIC)、嵌入式计算机、智能卡等)。一个或多个机器可利用诸如通过网络接口、调制解调器或其他通信结合的到一个或多个远程机器的一个或多个连接。机器可通过物理和/或逻辑网络(诸如，内联网、因特网、局域网、广域网等)互连。本领域技术人员将理解，网络通信可利用各种有线和/或无线短程或远程载波和协议(包括射频(RF)、卫星、微波、电气和电子工程师学会(IEEE)545.11、蓝牙、光学、红外、线缆、激光器等)。

[0051] 本发明构思的实施例可通过参照或结合包括函数、过程、数据结构、应用程序等的相关联的数据来描述，当相关联的数据由机器访问时导致机器执行任务或定义抽象数据类型或低级别硬件上下文。例如，相关联的数据可存储在易失性存储器和/或非易失性存储器(例如，RAM、ROM等)中，或者存储在其他存储装置及其相关联的存储介质(包括硬盘驱动器、软盘、光存储装置、磁带、闪存、存储棒、数字视频盘、生物存储装置等)中。相关联的数据可以以包、串行数据、并行数据、传播信号等的形式在包括物理和/或逻辑网络的传输环境上传输，并且可以以压缩或加密的格式使用。相关联的数据可在分布式环境中使用，并本地

和/或远程地被存储以用于机器访问。

[0052] 已参照示出的实施例描述和示出了本发明构思的原理，将认识到，在不脱离这样的原理的情况下，示出的实施例可在布置和细节上被修改，并且可以以任何期望的方式组合。尽管前面的讨论集中于特定实施例，但是也可考虑其他配置。具体地讲，即使在此使用诸如“根据本发明构思的实施例”等的表达，这些短语也意味着总体地指代实施例可能性，并且不意图将本发明构思限制到特定实施例配置。如这里所使用的，这些术语可指代可组合到其他实施例中的相同或不同实施例。

[0053] 本发明构思的实施例可包括非暂时性机器可读介质，非暂时性机器可读介质包括可由一个或多个处理器执行的指令，所述指令包括用于执行在这里描述的本发明构思的元素的指令。

[0054] 上述说明性实施例不应被解释为限制其发明构思。尽管已经描述了一些实施例，但是本领域技术人员将容易理解，在实质上不脱离本公开的新颖教导和优点的情况下，可对那些实施例进行许多修改。因此，所有这些修改意图包括在如权利要求限定的本发明构思的范围内。

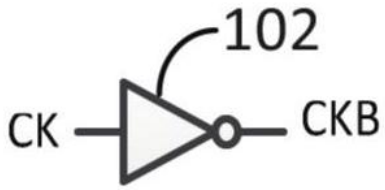


图1

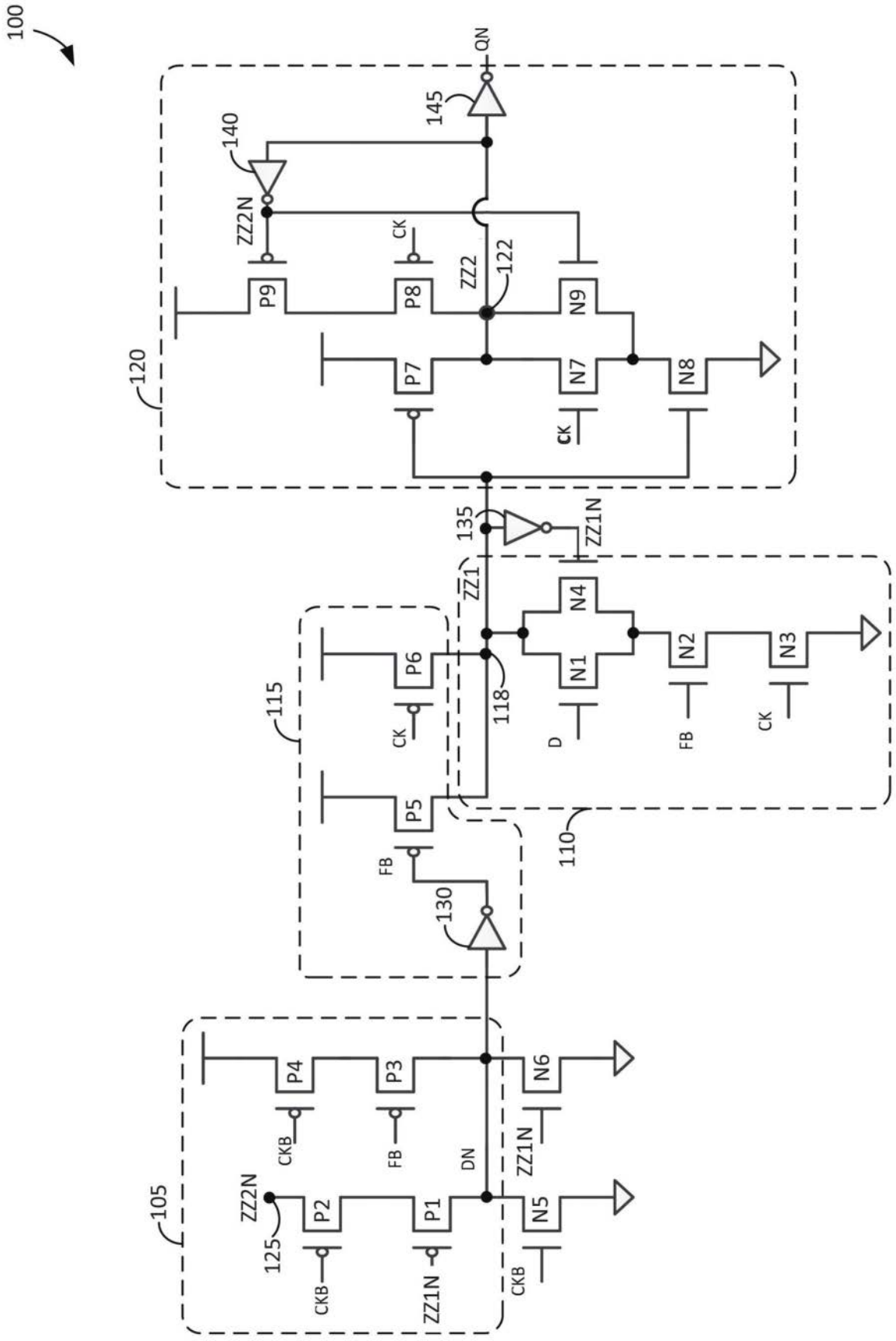

100
QN
145
140
ZZ2N
CK
ZZ2
122
P9
P8
N9
120
P7
N7
N8
CK
135
ZZ1N
ZZ1
N4
P6
N1
N2
N3
115
CK
118
D
FB
CK
P5
110
FB
130
P4
P3
N6
CKB
FB
DN
ZZ1N
ZZ2N
105
P2
P1
N5
125
CKB
ZZ1N
CKB

图2

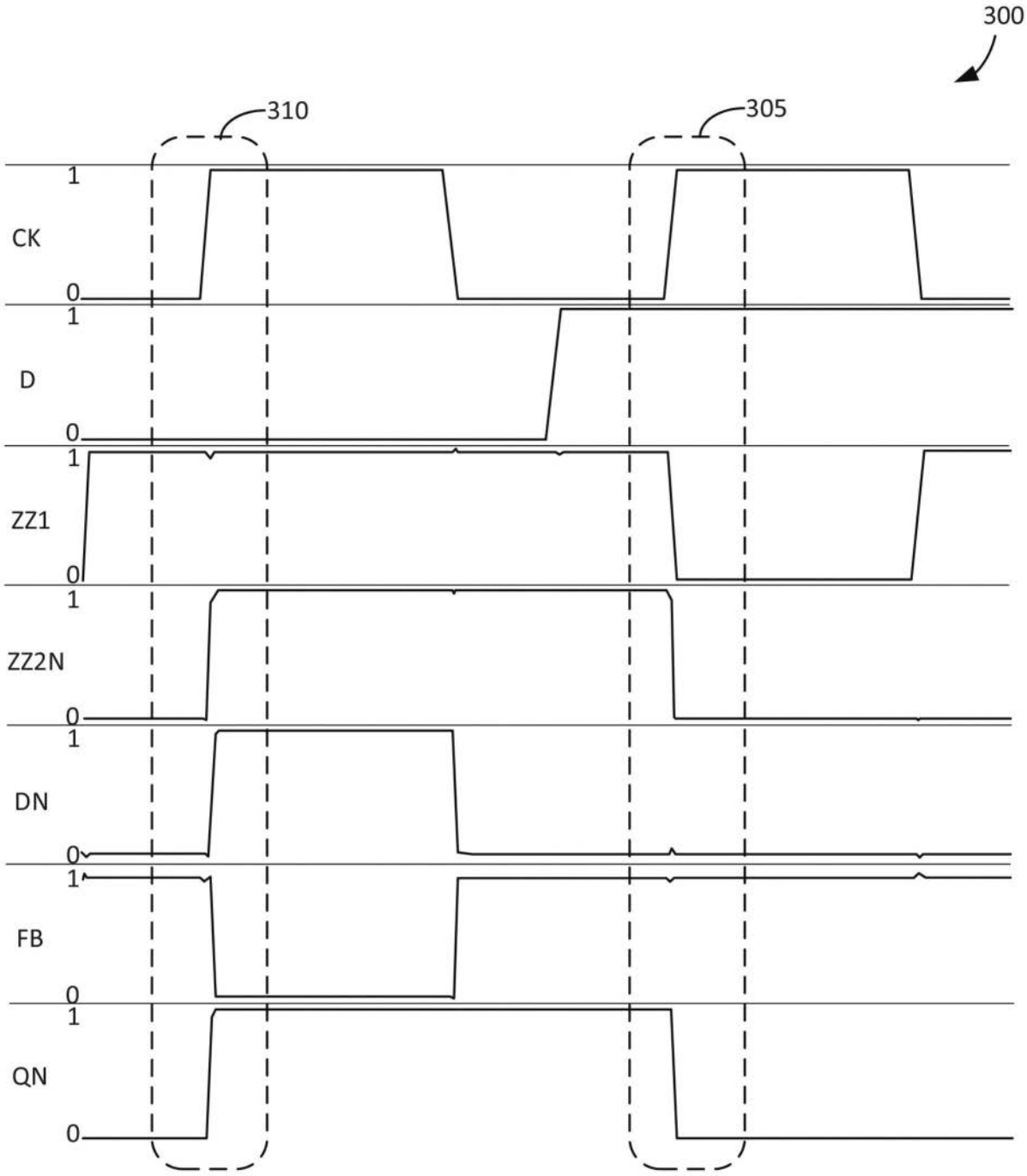


图3

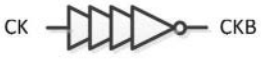


图4A

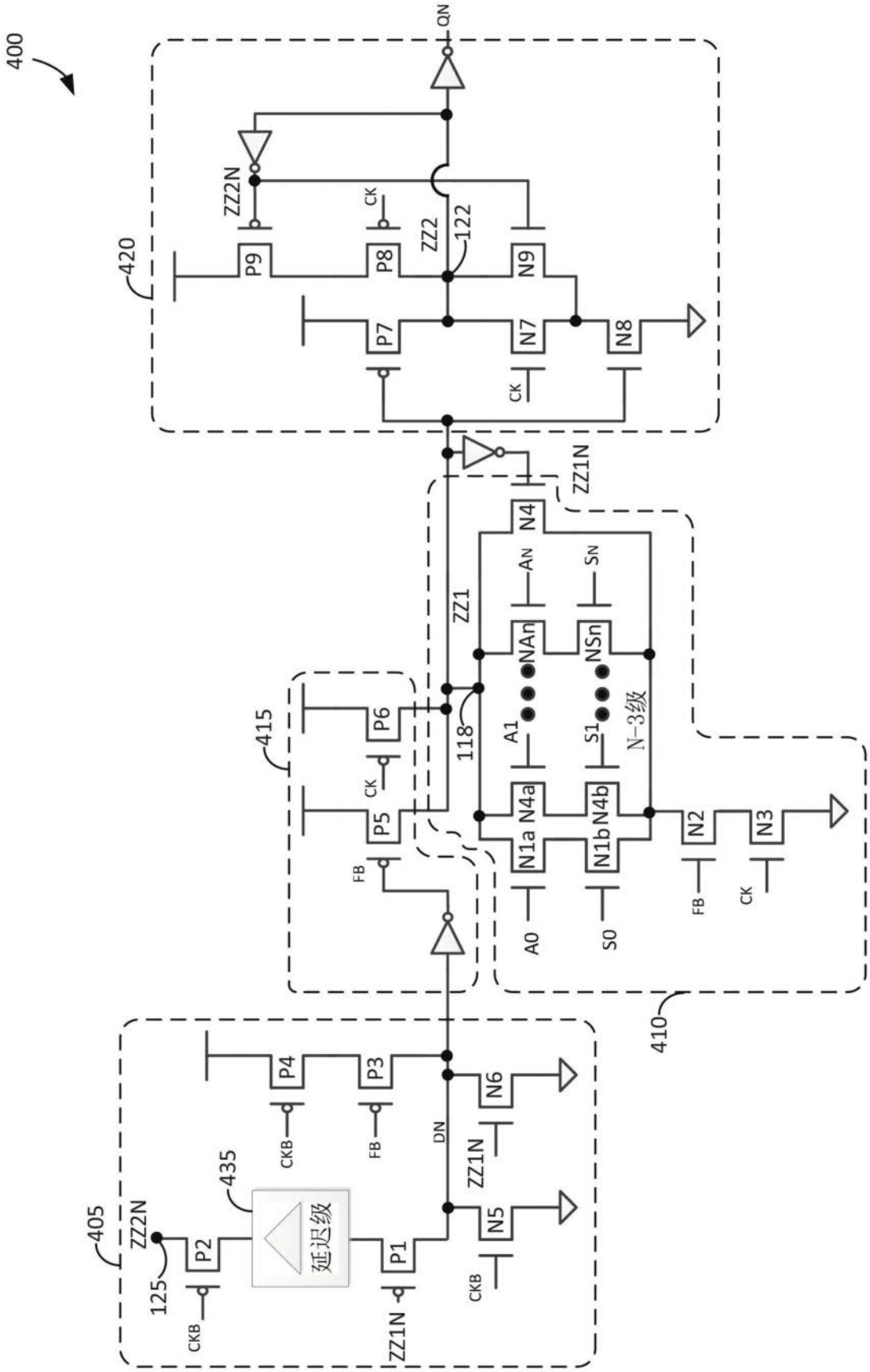

400
QN
ZZ2N
CK
ZZ2
122
420
P9
P8
N9
P7
N7
N8
CK
ZZ1N
N4
AN
SN
ZZ1
NAn
NSn
A1
S1
N-3级
415
P6
CK
118
P5
FB
N4a
N4b
N1a
N1b
A0
S0
N2
N3
FB
CK
410
P4
P3
N6
CKB
FB
DN
ZZ1N
435
405
ZZ2N
P2
延迟级
P1
N5
125
CKB
CKB
ZZ1N

图4B

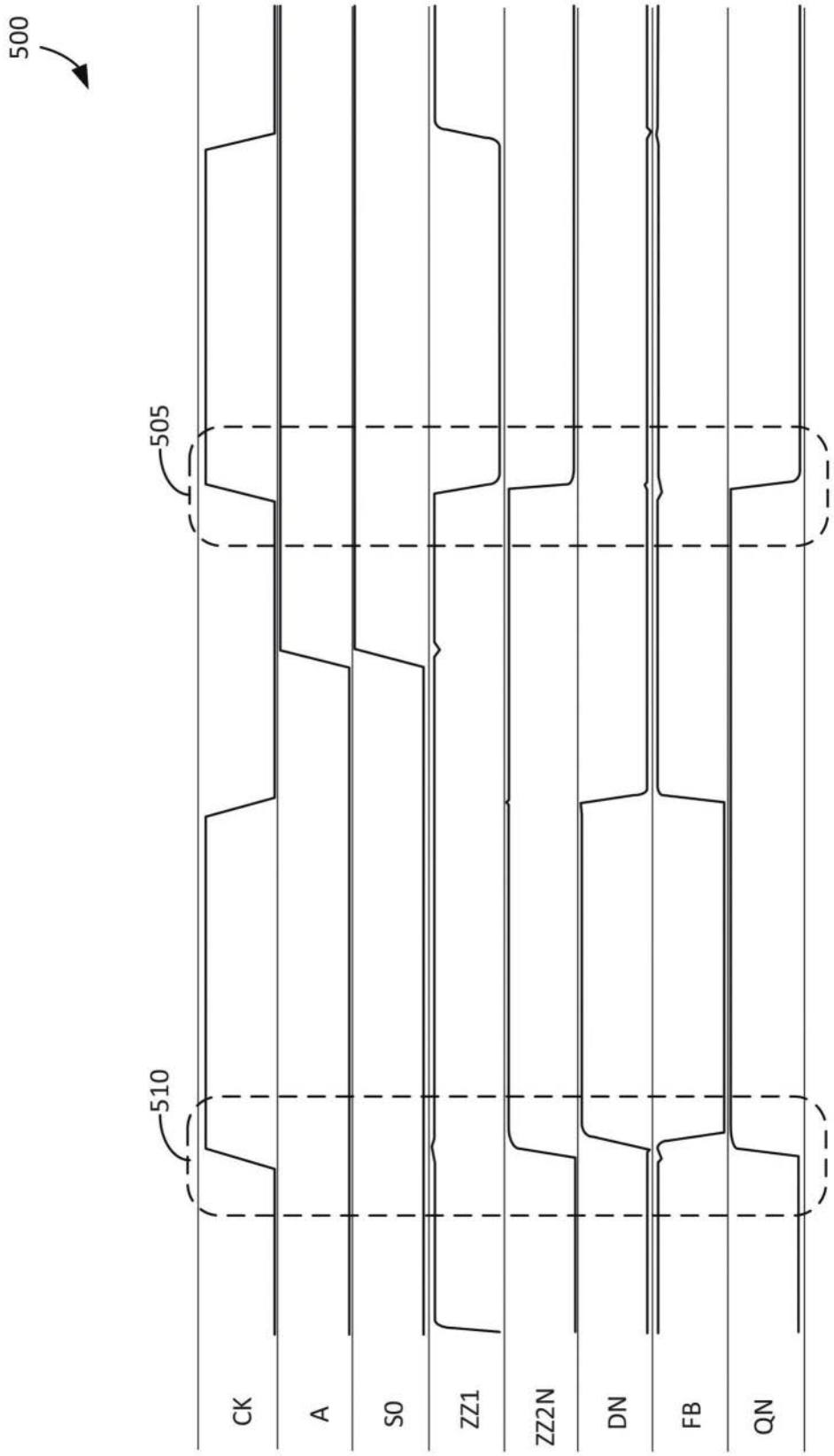


图5

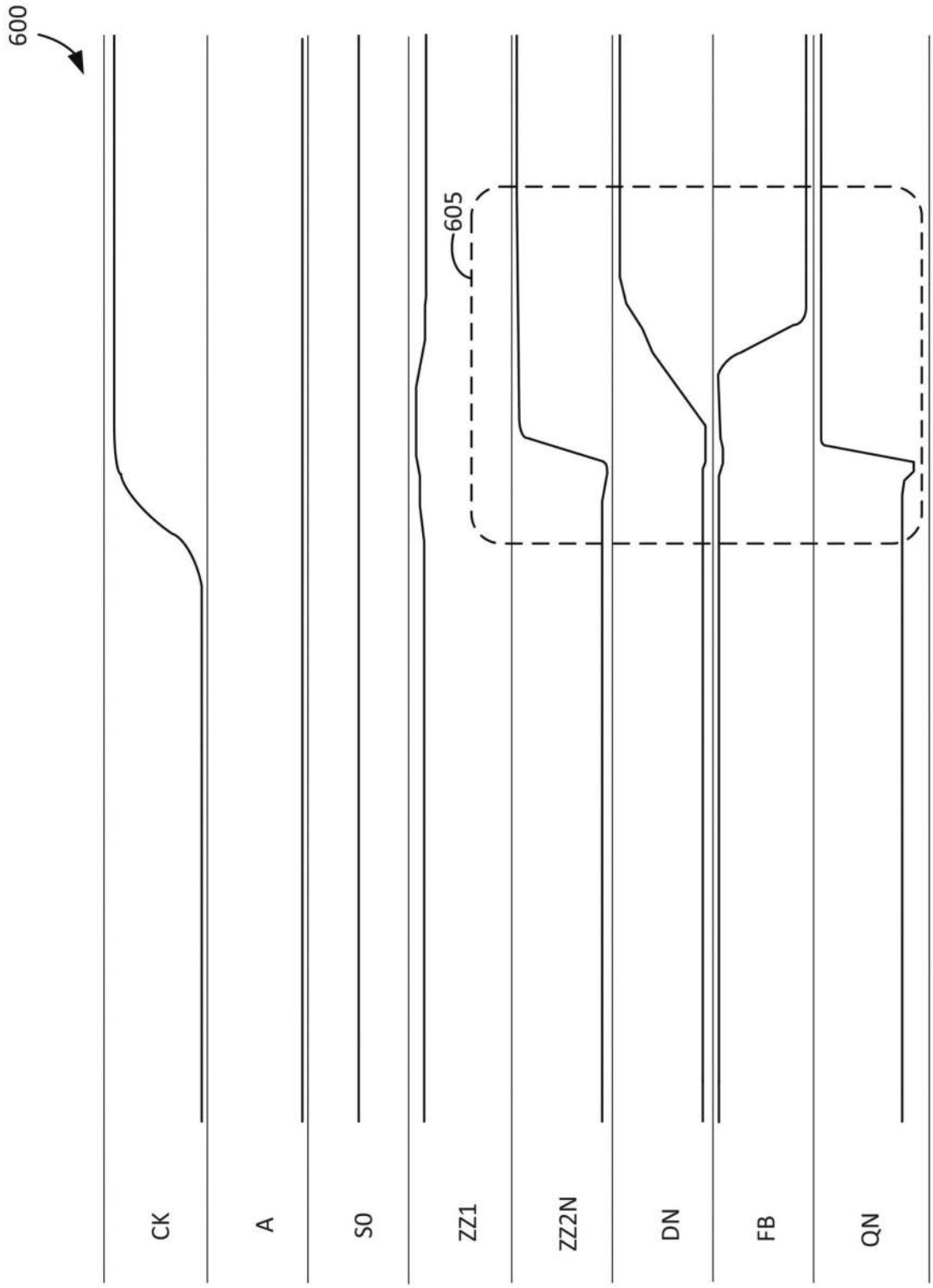


图6A

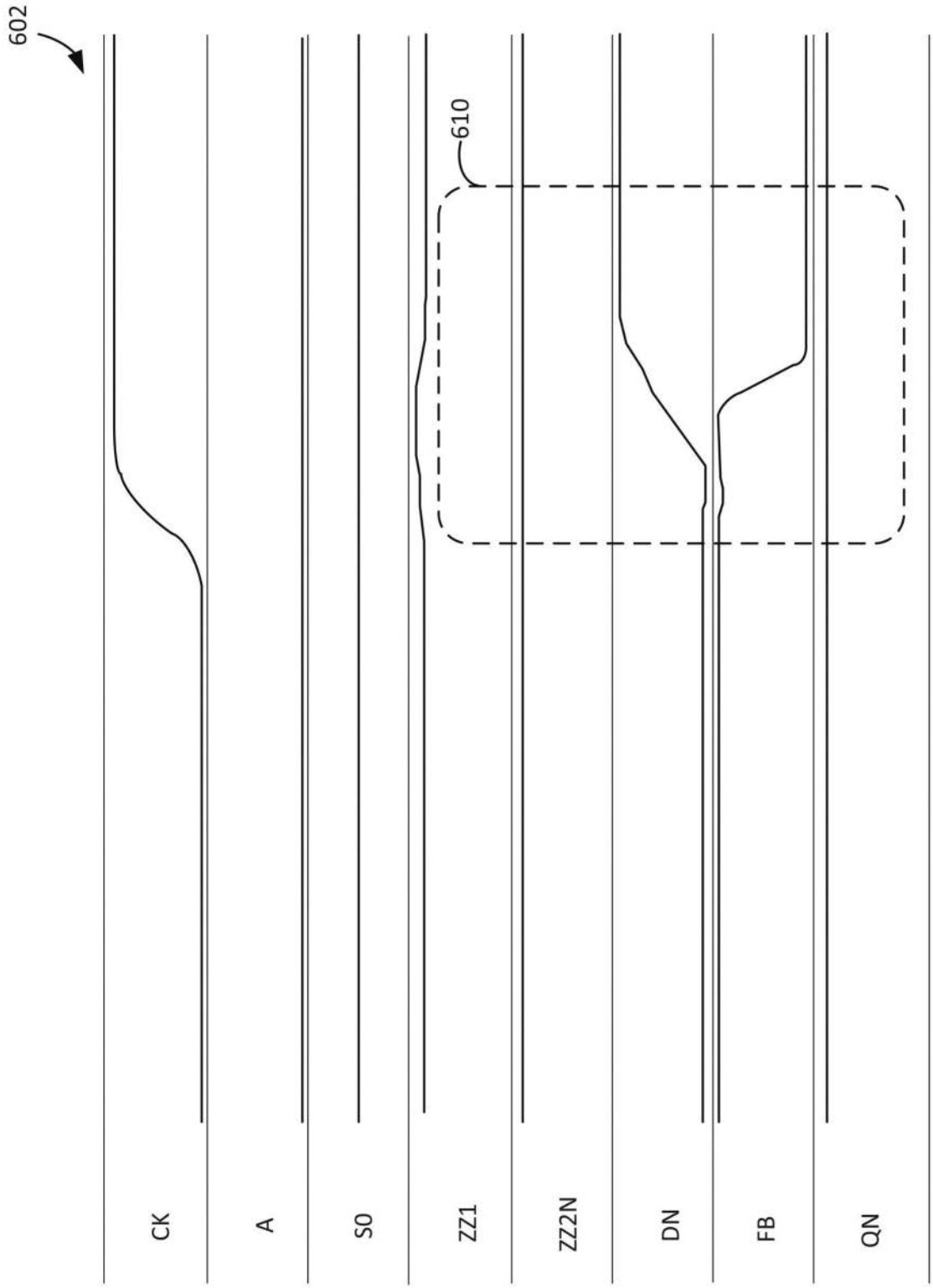


图6B

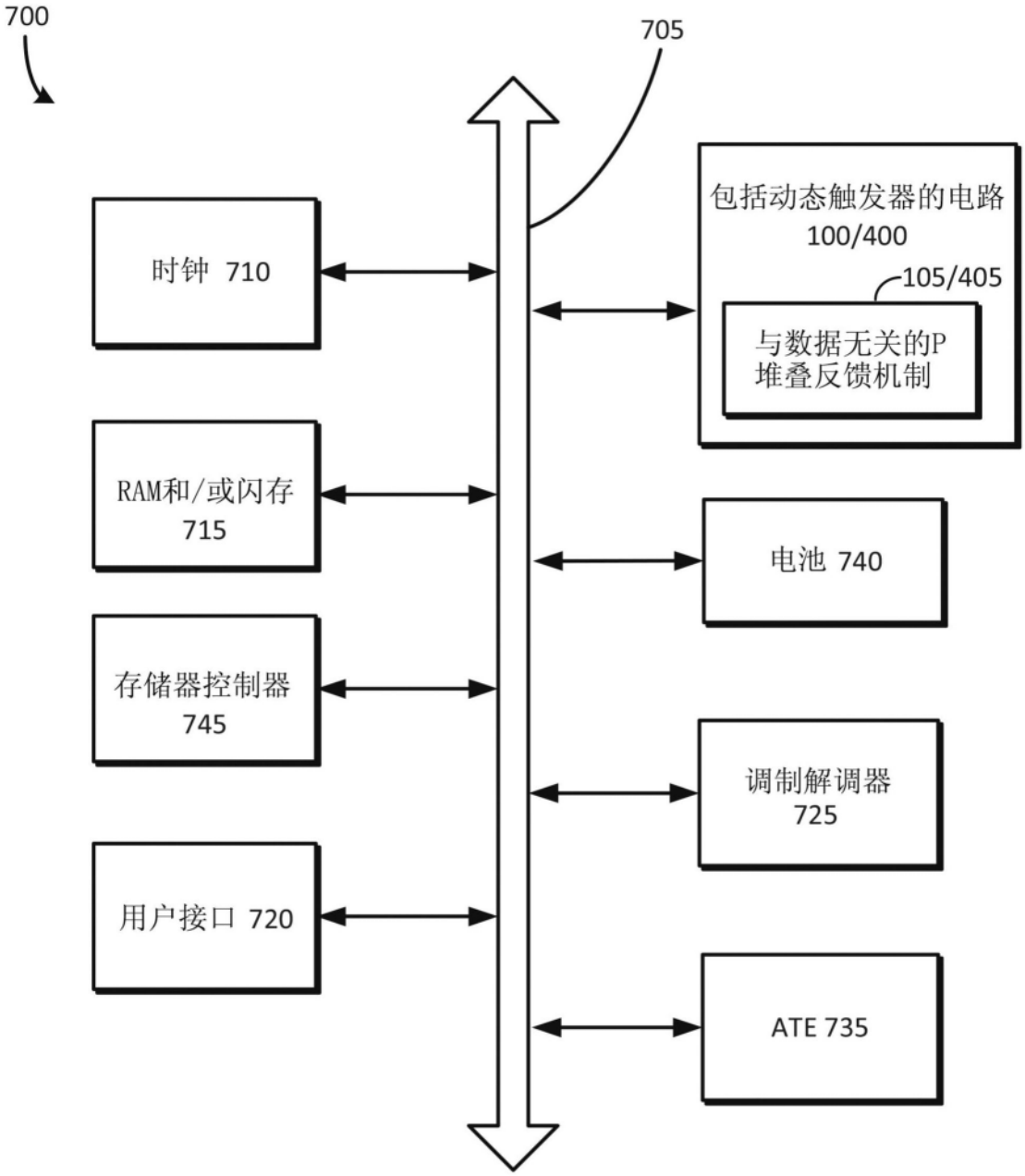

700
705
时钟 710
RAM和/或闪存
715
存储器控制器
745
用户接口 720
包括动态触发器的电路
100/400
105/405
与数据无关的P
堆叠反馈机制
电池 740
调制解调器
725
ATE 735

图7