

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-504130

(P2013-504130A)

(43) 公表日 平成25年2月4日(2013.2.4)

(51) Int.Cl.	F 1		テーマコード (参考)
G06F 15/17 (2006.01)	GO6F 15/17	630A	5B005
G06F 15/80 (2006.01)	GO6F 15/80		5B013
G06T 1/20 (2006.01)	GO6T 1/20	B	5B045
G06T 1/60 (2006.01)	GO6T 1/60	450C	5B047
G06F 9/38 (2006.01)	GO6F 9/38	370C	5B057

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2012-528080 (P2012-528080)	(71) 出願人	591016172 アドバンスト・マイクロ・ディバイシズ・ インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サンノゼ、ビイ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・プレイス、メイル・ストップ ・68 (番地なし)
(86) (22) 出願日	平成22年9月3日 (2010.9.3)	(74) 代理人	100108833 弁理士 早川 裕司
(85) 翻訳文提出日	平成24年4月27日 (2012.4.27)	(74) 代理人	100111615 弁理士 佐野 良太
(86) 國際出願番号	PCT/US2010/047784		
(87) 國際公開番号	W02011/028984		
(87) 國際公開日	平成23年3月10日 (2011.3.10)		
(31) 優先権主張番号	12/616,636		
(32) 優先日	平成21年11月11日 (2009.11.11)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	61/239,730		
(32) 優先日	平成21年9月3日 (2009.9.3)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】汎用使用のための処理ユニット内部メモリ

(57) 【要約】

【解決手段】

汎用使用のための内部メモリを有するグラフィクス処理ユニット(GPU)及びそのアプリケーションがここに開示される。そのようなGPUは、第1の内部メモリと、第1の内部メモリに結合される実行ユニットと、第1の内部メモリを他の処理ユニットの第2の内部メモリに結合するように構成されるインターフェースと、を含む。第1の内部メモリは積層ダイナミックランダムアクセスメモリ(DRAM)又は埋め込みDRAMを備えていてよい。インターフェースは第1の内部メモリをディスプレイデバイスに結合するように更に構成されていてよい。GPUは第1の内部メモリを中心処理ユニットに結合するように構成される別のインターフェースを含んでいてもよい。またGPUはソフトウェアにおいて具現化され且つ又はコンピューティングシステム内に含まれてよい。

【選択図】図2

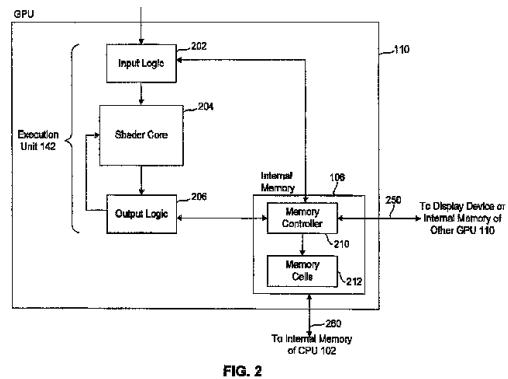


FIG. 2

【特許請求の範囲】**【請求項 1】**

第1の内部メモリと、

前記第1の内部メモリに結合される実行ユニットと、

前記第1の内部メモリを他の処理ユニットの第2の内部メモリに結合するように構成されるインターフェースと、を備えるグラフィクス処理ユニット(GPU)。

【請求項 2】

前記他の処理ユニットはGPUを備える請求項1の処理ユニット。

【請求項 3】

前記他の処理ユニットは中央処理ユニットを備える請求項1の処理ユニット。

10

【請求項 4】

前記第1の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項1の処理ユニット。

【請求項 5】

前記第1の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項1の処理ユニット。

【請求項 6】

前記インターフェースは前記第1の内部メモリをディスプレイデバイスに結合するように更に構成される請求項1の処理ユニット。

【請求項 7】

コンピューティングデバイス上で実行される場合にグラフィクス処理ユニット(GPU)を定義する命令が入っているコンピュータ可読記憶媒体を備えるコンピュータプログラム製品であって、前記GPUは、

第1の内部メモリと、

前記第1の内部メモリに結合される実行ユニットと、

前記第1の内部メモリを他の処理ユニットの第2の内部メモリに結合するように構成されるインターフェースと、を備えるコンピュータプログラム製品。

20

【請求項 8】

前記他の処理ユニットはGPUを備える請求項7のコンピュータプログラム製品。

【請求項 9】

前記他の処理ユニットは中央処理ユニットを備える請求項7のコンピュータプログラム製品。

30

【請求項 10】

前記GPUの前記第1の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項7のコンピュータプログラム製品。

【請求項 11】

前記GPUの前記第1の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項7のコンピュータプログラム製品。

【請求項 12】

前記GPUはハードウェア記述言語ソフトウェアにおいて具現化される請求項7のコンピュータプログラム製品。

40

【請求項 13】

前記GPUはベリログハードウェア記述言語ソフトウェア、ベリログAハードウェア記述言語ソフトウェア及びVHDLハードウェア記述言語ソフトウェアの1つにおいて具現化される請求項7のコンピュータプログラム製品。

【請求項 14】

第1の内部メモリと前記第1の内部メモリに結合される第1の実行ユニットと前記第1の内部メモリを他のGPUの内部メモリに結合するように構成される第1のインターフェースとを備える第1のグラフィクス処理ユニット(GPU)と、

第2の内部メモリと前記第2の内部メモリに結合される第2の実行ユニットと前記第2

50

の内部メモリを他の G P U の内部メモリに結合するように構成される第 2 のインターフェースとを備える第 2 の G P U と、を備えるシステムであって、

前記第 1 の内部メモリ及び前記第 2 の内部メモリは互いに結合されて前記第 1 の G P U の前記第 1 の実行ユニットが前記第 2 の G P U の前記第 2 の内部メモリにアクセスすることを可能にすると共に前記第 2 の G P U の前記第 2 の実行ユニットが前記第 1 の G P U の前記第 1 の内部メモリにアクセスすることを可能にするシステム。

【請求項 15】

前記第 1 の内部メモリは積層ダイナミックランダムアクセスメモリを備える請求項 14 のシステム。

【請求項 16】

前記第 1 の内部メモリは埋め込みダイナミックランダムアクセスメモリを備える請求項 14 のシステム。

【請求項 17】

前記第 1 のインターフェースは前記第 1 の内部メモリをディスプレイデバイスに結合するよう更に構成され、

前記第 2 のインターフェースは前記第 2 の内部メモリを前記ディスプレイデバイスに結合するよう更に構成される請求項 16 のシステム。

【請求項 18】

外部メモリと、

キャッシュメモリを備える中央処理ユニット(C P U)と、

前記外部メモリ及び前記 C P U の間を結合するバスと、を更に備える請求項 14 のシステム。

【請求項 19】

前記第 1 の G P U は前記第 1 の内部メモリを前記 C P U の前記キャッシュメモリに結合するよう構成される他のインターフェースを更に備える請求項 18 のシステム。

【請求項 20】

前記第 2 の G P U は前記第 2 の内部メモリを前記 C P U の前記キャッシュメモリに結合するよう構成される他のインターフェースを更に備える請求項 18 のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してコンピューティングデバイス(例えばコンピュータ、組み込みデバイス、携帯デバイス等) に向けられている。より特定的には、本発明はそのようなコンピューティングデバイスの処理ユニットによって使用されるメモリに向けられている。

【背景技術】

【0002】

コンピューティングデバイスは、典型的には、中央処理ユニット(C P U)及びグラフィクス処理ユニット(G P U)等の 1 つ以上の処理ユニットを含む。 C P U は、命令の正確なセットに従うことによって、コンピューティングデバイスの活動を連携させる。 G P U は、エンドユーザアプリケーション(例えばビデオゲームアプリケーション) によって要求されるであろうグラフィクス処理タスク及び / 又は物理的シミュレーション等のデータ並列コンピューティングタスクを行うことによって C P U を支援する。 G P U 及び C P U は、別個のデバイス及び / 又はパッケージの一部であることがあり、あるいは同じデバイス及び / 又はパッケージ内に含まれていることがある。更には、各処理ユニットは別により大きなデバイス内に含まれていることがある。例えば G P U は、経路付けデバイス又は例えばノースブリッジ等のブリッジデバイス内にしばしば集積化される。

【0003】

エンドユーザアプリケーションと G P U の間には何層ものソフトウェアが存在する。エンドユーザアプリケーションは、アプリケーションプログラミングインターフェース(A P I)と通信する。 A P I は、 G P U に依存するフォーマットでよりはむしろ標準的なフォ

10

20

30

40

50

ーマットでエンドユーザアプリケーションがグラフィクスデータ及びコマンドを出力することを可能にする。ワシントン、レドモンドのマイクロソフト社(Microsoft Corporation of Redmond, Washington)によって開発されたダイレクトX(DirectX)（登録商標）、クロノスグループ(Khronos Group)によって維持されるオープンG L(OpenGL)（登録商標）及びオープンC L(OpenCL)を含めて様々な種類のA P Iが商業的に利用可能である。A P Iはドライバと通信する。ドライバは、A P Iから受信した標準コードを、G P Uによって理解されるネイティブフォーマットの命令にトランスレートする。ドライバは典型的にはG P Uの製造業者によって書かれる。G P Uは次いでドライバからの命令を実行する。

【発明の概要】

【発明が解決しようとする課題】

10

【0 0 0 4】

従来のシステムにおいては、C P U及びG P Uは典型的には各々が外部メモリに結合される。外部メモリは、C P U及び／又はG P Uによって実行されるべき命令及び／又は使用されるべきデータを含むであろう。外部メモリは例えばダイナミックランダムアクセスメモリ(D R A M)であることがある。外部メモリはかなり大きく構成され得るので、それが結合される各処理ユニットに十分な記憶容量を提供することができる。残念なことに、外部メモリへのアクセスには数百クロックサイクルを必要とするであろう。従って、外部メモリは、高性能なG P Uに対する十分な帯域幅又は高速メモリアクセスをメモリに提供しないかもしれない。

【0 0 0 5】

20

十分なメモリ帯域幅をG P Uに提供するための1つの見込みのある解決法は、G P Uに内部メモリを設けることである。内部メモリは、例えば、埋め込み(embedded)D R A M又は積層(stacked)D R A Mであることがある。外部メモリと比べて、内部メモリは、より大きな帯域幅、より高速なメモリアクセスを提供し、且つより少ない電力を消費する。しかし、内部メモリの容量は、高性能なG P Uの記憶要求を満たすために容易には拡大され得ない。例えば、高性能なG P Uは、G P Uの内部メモリに含まれ得るよりも多くのメモリを必要とするであろう。

【0 0 0 6】

30

上述に鑑み、十分なメモリ容量(外部メモリと同等な)及び大きな帯域幅(埋め込みメモリと同等な)の両方を提供するメモリ及びそのアプリケーションが必要とされている。

【課題を解決するための手段】

【0 0 0 7】

本発明の実施形態は、汎用使用のための処理ユニット内部メモリ(an internal, processing-unit memory)及びそのアプリケーションを提供することによって、上述の必要性を満たす。本発明の実施形態の処理ユニット内部メモリは、それが処理ユニット内に埋め込まれているという理由で、大きな帯域幅を提供する。また、複数の処理ユニットメモリは十分に大きなメモリプールへと組み合わされ得るので、十分な記憶容量が提供される。

【0 0 0 8】

40

例えば、本発明の実施形態はG P Uを提供する。G P Uは、第1の内部メモリと、第1の内部メモリに結合される実行ユニットと、第1の内部メモリを他の処理ユニットの第2の内部メモリに結合するように構成されるインタフェースと、を含む。ある実施形態においては、G P Uはソフトウェアにおいて具現化される。別の実施形態においては、G P Uはシステム内に含まれる。システムは、例えば、スーパーコンピュータ、デスクトップコンピュータ、ラップトップコンピュータ、ビデオゲームコンソール、埋め込みデバイス、携帯デバイス(例えば携帯電話、スマートフォン、M P 3プレイヤ、カメラ、G P Sデバイス等)、又はG P Uを含み若しくはG P Uを含むように構成される別のシステムを備えている。

【0 0 0 9】

50

本発明の更なる特徴及び利点の他、本発明の種々の実施形態の構成及び動作は、添付の図面を参照して以下に詳細に説明される。尚、本発明はここに説明される特定の実施形態

に限定されない。そのような実施形態は例示の目的のためにここに提示されている。追加的な実施形態はここに含まれる教示に基き関連分野を含めた当業者にとって明らかであろう。

【図面の簡単な説明】

【0010】

ここに組み込まれ且つ出願書類の一部をなす添付の図面は本発明を示し、そして明細書と共に、本発明の原理を説明すること及び関連分野を含めた当業者が本発明を作りそして使用するのを可能にすることに更に役立つ。

【0011】

【図1A】図1Aは本発明の実施形態に従い汎用使用のための処理ユニット内部メモリを含む例示的なシステムを示す図（その1）である。

【図1B】図1Bは本発明の実施形態に従い汎用使用のための処理ユニット内部メモリを含む例示的なシステムを示す図（その2）である。

【0012】

【図2】図2は本発明の実施形態に従い汎用使用のための内部メモリを有する例示的なGPUの詳細を示す図である。

【0013】

【図3】図3は本発明の実施形態に従い処理要素内に含まれていてよい例示的な積層メモリを示す図である。

【0014】

【図4】図4は本発明の実施形態に従い図2のGPUによって実装される例示的な方法を示す図である。

【0015】

本発明の特徴及び利益は、図面と共に以下に記述される詳細な説明からより明らかになり、図面において同様の参照符号は全体を通して対応する要素を識別する。図面において、同様の参照数字は一般的に同一の、機能的に類似の、及び／又は構造的に類似の要素を示す。ある要素が最初に現れる図面は対応する参照番号の一番左の単一又は複数の桁によって示される。

【発明を実施するための形態】

【0016】

I. 概説
本発明は、汎用使用のためのGPU内部メモリ及びそのアプリケーションを提供する。以下の詳細な説明において、「1つの実施形態」、「ある実施形態」、「例示的実施形態」等に対する言及は、説明される実施形態が特定の特徴、構造又は特性を含んでいてよいが、全ての実施形態が必ずしも当該特定の特徴、構造又は特性を含む必要がなくてよいことを示している。また、そのような表現は必ずしも同じ実施形態を参照しているとは限らない。更に、特定の特徴、構造又は特性がある実施形態に関連して説明されている場合には、明示的に説明されていようとなかろうと、他の実施形態に関連して当該特定の特徴、構造又は特性を具現化することは当業者の知識の範囲内にあることと言える。

【0017】

ある実施形態によると、GPUは、1つ以上の他の処理ユニットによって使用されるように構成される内部メモリ（例えば埋め込みDRAM又は積層DRAM）を含む。GPUはインターフェースを含むと共にプロトコルを実装しており、1つ以上の他のGPUが当該内部メモリにアクセスすることを可能にしている。インターフェースは、各他のGPUに当該内部メモリへの専用のアクセスを提供してよく、あるいは他のGPUに当該内部メモリへの共有アクセスを提供してよい。GPUの内部メモリへのアクセスは、GPUそれ自身又は各他のGPUによって制御されてよい。

【0018】

ある実施形態においては、インターフェース及びプロトコルは、内部メモリが外部メモリと組み合わされることを可能にし、GPUがアクセス可能なより大きなメモリプールを形

10

20

30

40

50

成する。外部メモリは他のGPU内に含まれていてよい。ある実施形態においては、例えば、コンピューティングデバイスは複数のGPUを含み、ここでは各GPUは他のGPUと共有されるように構成される内部メモリを含む。この実施形態においては、各GPUの内部メモリは統合化メモリプール(unified memory pool)へと組み合わされる。メモリプールのサイズは、共有しているGPUの数に対応する。共有しているGPUはいずれもがその記憶要求に対してメモリプールを使用してよい。

【0019】

本発明の実施形態に従う例示的なGPUの更なる詳細が以下に説明される。しかし、これらの詳細を提供するのに先立ちそのようなGPUが実装されるであろう例示的なコンピューティングデバイスを説明することは有用である。

10

【0020】

II. 例示的なコンピューティングシステム

図1A及び1Bは複数のGPUを有する例示的なコンピューティングシステム100を示しており、各GPUは、本発明の実施形態に従い汎用使用のために構成される内部メモリを含んでいる。外部メモリと比べて、内部メモリは、データへのより大きな帯域幅アクセスを各GPUに提供する。また、各GPUの内部メモリは、各GPUによってアクセス可能な更に大きなメモリプールへと組み合わされてよく、それにより各GPUに十分な記憶容量を提供することができる。

【0021】

図1Aの実施形態においては、各GPUは他のGPUの内部メモリへの専用のアクセスを与えられている。図1Bの実施形態においては、各GPUは他のGPUの内部メモリへの共有インターフェースを介した共有アクセスを有している。実施形態においては、コンピューティングシステム100は、スーパーコンピュータ、デスクトップコンピュータ、ラップトップコンピュータ、ビデオゲームコンソール、埋め込みデバイス、携帯デバイス(例えば携帯電話、スマートフォン、MP3プレイヤ、カメラ、GPSデバイス等)、又はCPU及び/若しくはGPUを含み若しくはCPU及び/若しくはGPUを含むように構成される何らかの他のデバイスを備えていてよい。

20

【0022】

図1A及び図1Bを参照すると、コンピューティングデバイス100は、CPU102、第1のGPU110A、及び第2のGPU110Bを含む。CPU102は命令を実行してコンピューティングデバイス100の機能を制御する。GPU110は、データ並列処理タスク(例えばグラフィクス処理タスク及び/又は一般計算タスク)を行うことによってCPU102を支援する。GPU110は典型的には、それらの設計に基づいて、データ並列処理タスクを、CPU102がソフトウェアにおいてそれらを行い得るであろうよりも高速に行うことができる。

30

【0023】

第1のGPU110A及び第2のGPU110Bは、それら自身の内部メモリ及び実行ユニットを各々が含む。具体的には、第1のGPU110Aは内部メモリ106A及び実行ユニット142Aを含み、また第2のGPU110Bは内部メモリ106B及び実行ユニット142Bを含む。同様にCPU102はキャッシュメモリ130及び実行ユニット132を含む。内部メモリ106(及び随意的にキャッシュメモリ130)は、特定のデータが外部的に記憶されていたとした場合(例えばそのデータがシステムメモリ104内に記憶されていたとした場合)に可能であろうよりも高速なそのデータへのアクセス及び大きな帯域幅を提供するために、GPU110が利用可能である。内部メモリ106は、例えば埋め込みDRAM又は積層DRAMを備えていてよい。

40

【0024】

内部メモリ106A、106B(及び随意的にキャッシュメモリ130)は、高速で大きな帯域幅のメモリアクセスを提供しながら相当の記憶容量(例えば4GBより大きい)を提供するために、より大きなメモリプールへと組み合わされてよい。従来の外部メモリは十分な記憶容量(例えば4GBより大きい)を提供し得るが、従来の外部メモリは特定

50

の高性能な用途に対して不十分な帯域幅をもたらす。同様に、従来の埋め込みメモリはこれらの高性能な用途に対して十分な帯域幅を提供し得るが、従来の埋め込みメモリはこれらの高性能な用途に対して不十分な記憶容量（例えば4 GB未満）をもたらす。従来の外部メモリ及び／又は従来の埋め込みメモリとは異なり、本発明の実施形態は、汎用使用のために他のGPUが利用可能な内部メモリを含むGPUを提供することによって、十分な記憶容量（例えば4 GBより大きい）を提供するだけでなく、大きな帯域幅をも提供する。

【0025】

例えば、高性能なGPUのフレームバッファ（即ちディスプレイデバイス上に表示されるべきデータの完全なフレームを記憶するバッファ）は、相当大きなメモリ（例えば4ギガバイト（GB）より大きい）への大きな帯域幅のアクセスを必要とするであろう。実施形態においては、第1のGPU110Aは、内部メモリ106A、B及び隨意的にCPU102のキャッシュメモリ130を使用して第1のGPU110Aのフレームバッファを定義してよい。同様に、第2のGPU110Bもまた、内部メモリ106A、B及び隨意的にCPU102のキャッシュメモリ130を使用して第2のGPU110Bのフレームバッファを定義してよい。このようにして、従来の外部メモリ又は埋め込みメモリとは異なり、本発明の実施形態に従い定義されるフレームバッファは、相当大きなメモリ（例えば4 GBより大きい）への大きな帯域幅のアクセスを提供する。

【0026】

図1Aの実施形態においては、既に示唆されたように、各GPU110は、他の処理ユニットの内部メモリ106への専用のアクセスを与えられている。具体的には、第1のインターフェース101は、第2のGPU110Bの内部メモリ106Bへの専用アクセスを第1のGPU110Aに提供し、また第1のGPU110Aの内部メモリ106Aへの専用アクセスを第2のGPU110Bに提供する。データは、そのデータのアドレス範囲に基づいて、内部メモリ106A又は内部メモリ106Bのいずれかに対して書き込まれ又はいずれかからリトリープされる(retrieved)。例えば、内部メモリ106Aは第1のアドレス範囲（例えば第1の予め定められたアドレスA未満且つ第2の予め定められたアドレスB以上）を割り当てられてよく、また内部メモリ106Bは第2のアドレス範囲（例えば第1のアドレス範囲内でない全てのアドレス）を与えられてよい。しかし、第1のGPU110A及び第2のGPU110Bが各々第1のGPU110Aの内部メモリ106A及び第2のGPU110Bの内部メモリ106Bへのアクセスを有し得ることを前提として、内部メモリ106A及び／又は内部メモリ106Bへデータを書き込み且つこれからデータをリトリープするための他のスキームが、本発明の精神及び範囲から逸脱することなく実装されてよいことが理解されるはずである。

【0027】

ある実施形態においては、第1のインターフェース101はディスプレイ制御器インターフェースを備えている。ディスプレイ制御器インターフェースは、ディスプレイデバイス140にGPUのフレームバッファへのアクセスを提供する。ディスプレイ制御器インターフェースを第1のインターフェース101内に組み込むことによって、第1のインターフェース101は、従来のGPU設計に既に含まれている標準ピン上に設けられ得る。

【0028】

第1のインターフェース101に加えて、第2のインターフェース103は、第2のGPU110Bの内部メモリ106Bへの専用アクセスをCPU102に提供し、またCPU102のキャッシュメモリ130への専用アクセスを第2のGPU110Bに提供する。このようにして第2のGPU110B及びCPU102は、各々第2のGPU110Bの内部メモリ106B及びCPU102のキャッシュメモリ130へのアクセスを有することができる。同様に、第3のインターフェース105は、CPU102のキャッシュメモリ130への専用アクセスを第1のGPU110Aに提供し、また第1のGPU110Aの内部メモリ106Aへの専用アクセスをCPU102に提供する。このようにして第1のGPU110A及びCPU102は、各々第1のGPU110Aの内部メモリ106A及び

10

20

30

40

50

CPU102のキャッシュメモリ130へのアクセスを有することができる。

【0029】

図1Bの実施形態においては、各処理ユニットは、他の処理ユニットの内部メモリへの共有インターフェース164を介した共有アクセスを有する。共有インターフェース164は、各処理ユニット（例えば第1のGPU110A、第2のGPU110B及びCPU102）に他の処理ユニットの内部メモリへの大きな帯域幅のアクセスを提供する。データは、そのデータのアドレス範囲に基づいて、内部メモリ106A、内部メモリ106B又はキャッシュメモリ130に対して書き込まれ又はいずれかからリトリークされる。例えば、内部メモリ106Aは第1のアドレス範囲を割り当てられてよく、内部メモリ106Bは第2のアドレス範囲を与えられてよく、そしてキャッシュメモリ130は第3のアドレス範囲を割り当てられてよい。しかし、第1のGPU110A、第2のGPU110B及びCPU102が各々第1のGPU110Aの内部メモリ106A、第2のGPU110Bの内部メモリ106B、及びCPU102のキャッシュメモリ130へのアクセスを有し得ることを前提として、内部メモリ106A、内部メモリ106B及び/又はキャッシュメモリ130へデータを書き込み且つこれらからデータをリトリークするための他のスキームが、本発明の精神及び範囲から逸脱することなく実装されてよいことが理解されるはずである。10

【0030】

実施形態においては、コンピューティングデバイス100はまた、システムメモリ104、補助メモリ120、入力・出力（I/O）インターフェース116、及び/又はディスプレイデバイス140を含む。システムメモリ104は、CPU102上で動作中のプログラムによって頻繁にアクセスされる情報を記憶する。システムメモリ104は典型的には揮発性メモリを備えており、これはコンピューティングデバイス100への電力がオフになったときにシステムメモリ104内に記憶されているデータが喪失することを意味している。補助メモリ120は、コンピューティングデバイス100によって使用されるデータ及び/又はアプリケーションを記憶する。補助メモリ120は、典型的にはシステムメモリ104に比べて大きな記憶容量を有しており、また典型的には不揮発性（永続的）メモリを備えており、これはコンピューティングデバイス100への電力がオフになったとしても補助メモリ120内に記憶されているデータが持続することを意味している。I/Oインターフェース116は、コンピューティングデバイスシステム100が外部デバイス116（例えば外部ディスプレイデバイス、外部記憶デバイス（例えばビデオゲームカードトリッジ、CD、DVD、フラッシュドライブ等）、ネットワークカード、又は何らかの他の種類の外部デバイス）と結合されることを可能にする。ディスプレイデバイス140はコンピューティングデバイス100のコンテンツを表示する。ディスプレイデバイスは、陰極線管、液晶ディスプレイ（LCD）、プラズマスクリーン、又は現在既知であるか将来開発されるかにかかわらず何らかの他の種類のディスプレイデバイスを備えていてよい。20

【0031】

GPU110及びCPU102は、互いに、そしてシステムメモリ104、補助メモリ120及びI/Oインターフェース116とバス114を介して通信する。バス114は、周辺要素インターフェース(peripheral component interface)（PCI）バス、アクセラレーテッドグラフィックスポート(accelerated graphics port)（AGP）バス、PCIエクスプレス(PCI Express)（PCIE）バス、又は現在利用可能であり若しくは将来開発される他の種類のバスを含めてコンピューティングデバイスにおいて用いられる任意の種類のバスであってよい。30

【0032】

実施形態においては、コンピューティングデバイス100は、GPU110の代わりに又はGPU110に加えてビデオ処理ユニット（VPU）を含んでいてよい。例えばある実施形態においては、コンピューティングデバイス100はGPU110A、CPU102を含み、そして図1A及び1Bに示されるGPU110Bに代えて、コンピューティン40

10

20

30

40

50

グデバイス 100 は VPU を含む。このようにして、CPU102 は一般的な処理機能を行うことができ、GPU110A はグラフィクス処理機能を行うことができ、そして VPU はビデオ処理機能を行うことができる。

【0033】

III. 例示的な GPU

図 2 は内部メモリ 106 を有する GPU110 の例示的な詳細を示している。本発明の実施形態に従い、増大されたメモリフットプリント(footprint)サイズに基づいてグラフィクス処理能力を結合することによって全体的なシステム性能を増大するために、内部メモリ 106 は他の GPU 又は CPU により使用され得る。

【0034】

上述したように、GPU110 は実行ユニット 142 及び内部メモリ 106 を含む。図 2 を参照すると、実行ユニット 142 は入力論理 202、シェーダコア 204 及び出力論理 206 を含む。内部メモリ 106 はメモリ制御器 210 及びメモリセル 212 を含む。メモリ制御器 210 はメモリセル 212 へのアクセスを制御する。メモリセル 212 はデータを記憶する。

【0035】

ある実施形態においては、内部メモリ 106 は埋め込みダイナミックランダムアクセスメモリ (DRAM) を備える。埋め込み DRAM は、処理ユニットと共に共通のパッケージ内に密閉された(encapsulated)メモリである。別の実施形態においては、内部メモリ 106 は図 3 に示されるような積層 DRAM を備える。積層メモリは、互いの上に 3 次元構造で積層される複数のメモリ要素を含む。

【0036】

内部メモリ 106 は、入力論理 202 及び出力論理 206 の両方を介して実行ユニット 142 に結合される。特に、入力論理 202 は内部メモリ 106 からデータをリトリーブすることができ、また出力論理 206 は、データをメモリセル 212 内に記憶されるように内部メモリ 106 へ送ることができる。

【0037】

内部メモリ 106 はまた、第 1 のインターフェース 250 を介して他の GPU の内部メモリに結合されていてよい。内部メモリ 106 を他の GPU の内部メモリに結合することは、実行ユニット 142 が利用可能な総メモリプールを増大させることができる。ある実施形態においては、第 1 のインターフェース 250 は、図 1A のインターフェース 101 によって示されるように、GPU110 の内部メモリ 106 と他の GPU の内部メモリとの間に専用のアクセスを提供する。この実施形態においては、第 1 のインターフェース 250 は従来の GPU の標準ピン上に設けられたものである。例えば第 1 のインターフェース 250 はディスプレイ制御器インターフェースを備えていてよく、ディスプレイ制御器インターフェースは、内部メモリ 106 に含まれるローカルフレームバッファへのディスプレイデバイスアクセスを提供する。別の実施形態においては、第 1 のインターフェース 250 は、図 1B のインターフェース 164 によって示されるように、GPU110 の内部メモリ 106 と他の処理ユニットの内部メモリとの間で共有されるアクセスを提供する。

【0038】

内部メモリ 106 はまた、第 2 のインターフェース 260 を介して CPU102 のキャッシュメモリ 130 に結合されていてよい。その結果、内部メモリ 106 とキャッシュメモリ 130 の組み合わせは、GPU110 が利用可能なメモリプールを増大させることができる。ある実施形態においては、第 2 のインターフェース 260 は、図 1A の接続 103 又は接続 105 のように、GPU110 の内部メモリ 106 と CPU102 のキャッシュメモリ 130 との間での専用接続を提供する。別の実施形態においては、第 2 のインターフェース 260 は、図 1B の接続 164 のように、GPU110 及び CPU102 のみによって共有される接続を提供する。更なる実施形態においては、第 2 のインターフェースは、図 1A 及び図 1B のバス 114 のように、GPU110 を共通のバス上で CPU102 と結合する。

10

20

30

40

50

【0039】

IV. GPU110の例示的な動作

図4は本発明の実施形態に従いGPU110によって実装される例示的な方法400を示している。方法400は図2及び4を参照して以下に説明される。

【0040】

方法400はステップ402で開始し、命令が受信される。ある実施形態においては、GPU110によって実行されるべき命令を入力論理202が受信する。命令は、例えば、システム100のCPU102上で実行中のエンドユーザーアプリケーションによって提供されるグラフィクス処理タスク又はデータ並列処理タスクを備えていてよい。

10

【0041】

ステップ404では、命令に関連するロケーションが識別される。1つの例においては、データは受信された命令と共に含まれていてよい。そのようなデータは一般的に即時データと称される。別の例においては、命令はデータのロケーションを提供する。例えば、命令はデータが記憶されているアドレスを含んでいてよい。更なる例においては、命令は、データが記憶されているアドレスを入力論理202が計算するための情報を含む。データは、内部メモリ106、内部メモリ106が結合される他のGPUの内部メモリ、又はCPU102のキャッシュメモリ130のいずれかに記憶されてよい。

【0042】

ステップ406では、データがリトリープされる。データが即時データである場合には、入力論理202は命令から単純に即時データを抽出する。データが内部メモリ106内又は内部メモリ106が結合されるメモリ内に記憶されている場合には、入力論理202はデータにアクセスするための要求をメモリ制御器210へ送る。一方において、データがメモリセル212内に記憶されている場合には、データはリトリープされて入力論理202へ供給される。他方、内部メモリ106に結合される他のメモリ内にデータが記憶されている場合には、入力論理202からの要求が他のメモリにインターフェース250又はインターフェース260を介して転送される。データは次いで、他のメモリからリトリープされて入力論理202へ供給される。

20

【0043】

ステップ408では、命令が実行される。シェーダコア204は、ステップ406で入力論理202によって獲得されたデータに基づいて命令を実行する。

30

【0044】

ステップ410では、命令実行の結果が出力論理206へ提供される。出力論理206は、判断ステップ412に示されるように、これらの結果に基づいて更なる処理が必要であるかどうかを決定する。出力論理206に提供される結果は、追加の処理が必要であるかどうかを示すために、フラグ又は他のなんらかの印を有していてよい。判断ステップ412において更なる処理が必要であることを出力論理206が決定した場合、出力論理206は結果をシェーダコア204へ転送し戻し、そして方法400のステップ408及び410が繰り返される。一方、判断ステップ412において更なる処理が必要でないと出力論理206が決定した場合には、出力論理206は、ステップ414に示されるように結果を内部メモリ106へ提供する。

40

【0045】

結果は次いで、結果が書き込まれるべきアドレスに応じて、内部メモリ106又は内部メモリ106に結合されるメモリへ書き込まれてよい。結果が内部メモリ106へ書き込まれるべきである場合には、メモリ制御器210はメモリセル212内の適切なアドレスへのアクセスを提供し、そして結果はそこに記憶される。一方、内部メモリに結合されるメモリへ結果が書き込まれるべきである場合には、メモリ制御器210はインターフェース250又はインターフェース260を介して結果を他のメモリへ転送し、そして結果は他のメモリのメモリセル内に記憶される。

【0046】

V. 例示的なソフトウェア実装

50

G P U 1 1 0 のハードウェア実装に加えて、そのような G P U はまた、例えばソフトウェア（例えばコンピュータ可読プログラムコード）を記憶するように構成されるコンピュータ可読媒体内に配置されるソフトウェアにおいて具現化されてもよい。コンピュータ可読プログラムコードは、(i) ここに開示されるシステムの機能及び技術（例えば G P U 1 1 0 にタスクを提供すること、G P U 1 1 0 内でタスクをスケジューリングすること、G P U 1 1 0 内でタスクを実行すること、等）、(ii) ここに開示されるシステムの製造及び技術（例えば G P U 1 1 0 の製造）、又は(iii) ここに開示されるシステムの機能及び製造並びに技術の組み合わせ、の実施形態を含めて本発明の実施形態を可能にする。

【 0 0 4 7 】

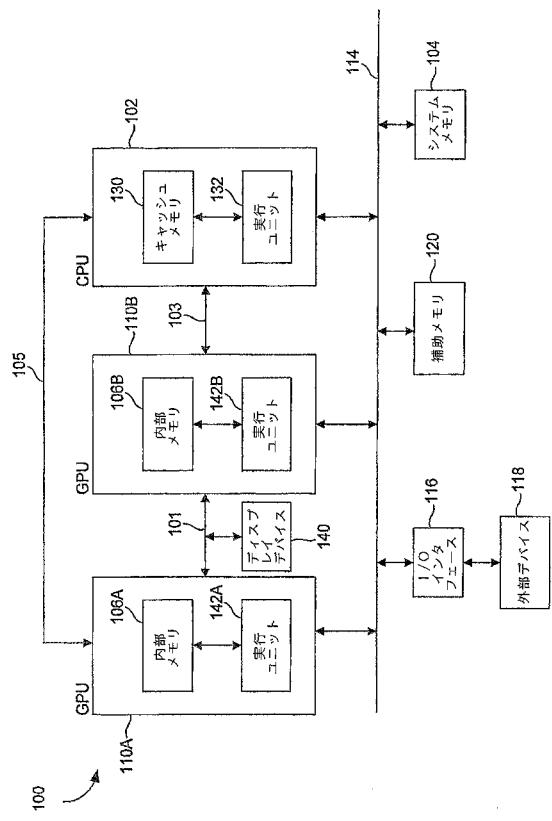
このことは、例えば、一般的なプログラミング言語（例えば C 又は C + + ）、ベリログ (Verilog) H D L 、 V H D L 、アルテラ(Altera) H D L (A H D L) 等を含むハードウェア記述言語(hardware description languages) (H D L) 、あるいは他の利用可能なプログラミング及び / 又は回路図等 (schematic) キャプチャツール(capture tools)（例えば回路キャプチャツール）の使用を通して達成され得る。コンピュータ可読プログラムコードは、半導体、磁気ディスク、光学ディスク（例えば C D - R O M 、 D V D - R O M ）を含む任意の既知のコンピュータ可読媒体内に配置され得る。従って、コンピュータ可読コードは、インターネット及びそれと同等のもの(the Internet and internets)を含む通信ネットワークを介して伝送され得る。上述したシステム及び技術によって達成される機能及び / 又は提供される構造は、コンピュータ可読プログラムコードにおいて具現化されるコア（例えばシェーダコア）内で表現することができ、また集積回路の生産の一部としてハードウェアに変換されてよいことが理解される。10

【 0 0 4 8 】

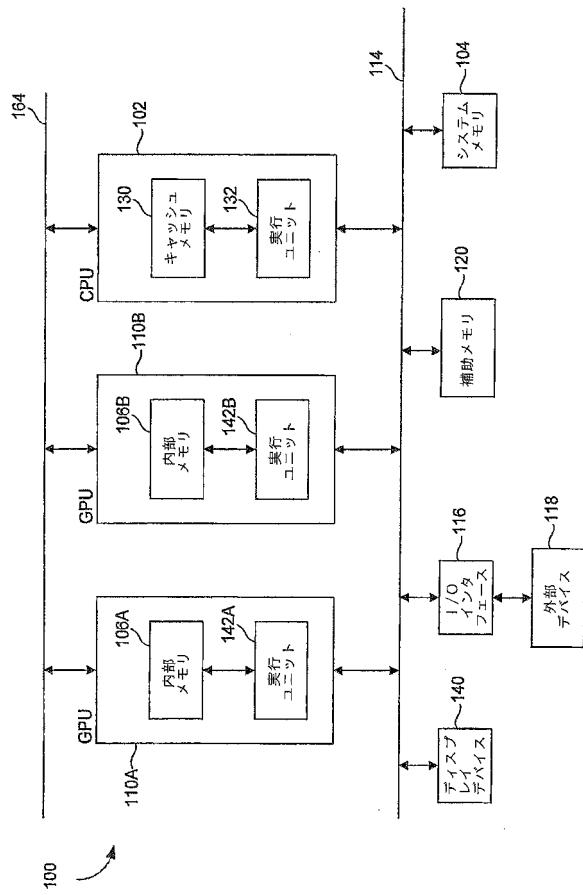
VI . 結論

汎用使用のための G P U 内部メモリ及びそのアプリケーションが上に説明される。概要及び要約の欄ではなく詳細な説明の欄が特許請求の範囲を解釈するために用いられるこ²⁰とを意図されていることが理解されるべきである。概要及び要約の欄は、発明者によって検討されているような本発明の 1 つ以上であるが全てではない例示的な実施形態を記述することができ、従って、本発明及び添付の特許請求の範囲を限定することを意図されるものでは決してない。

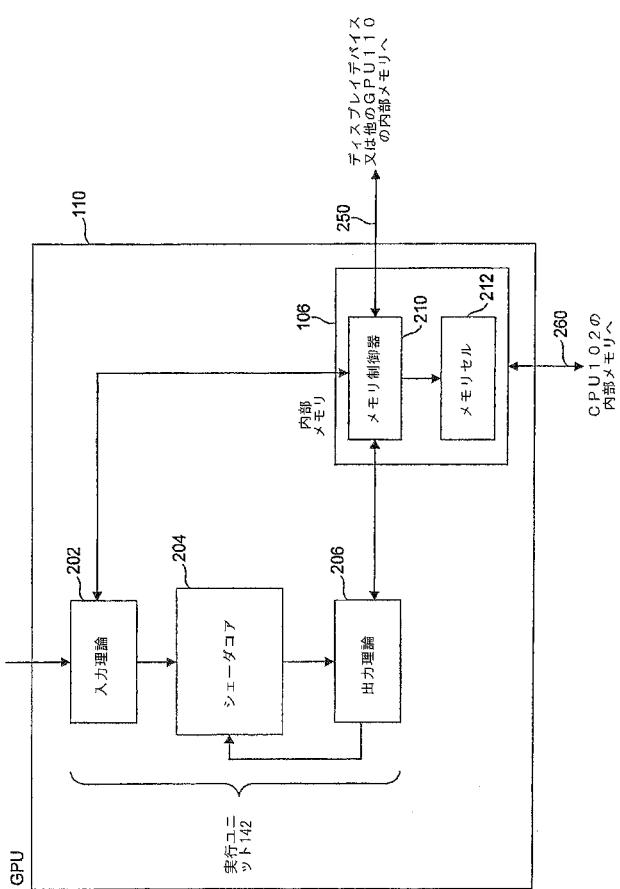
【図 1 A】



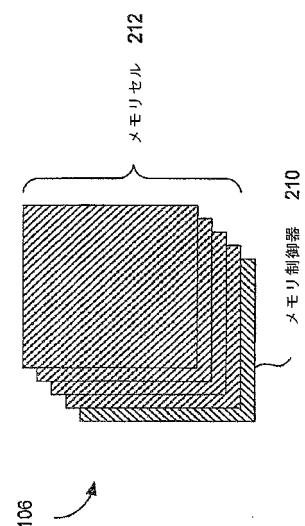
【図 1 B】



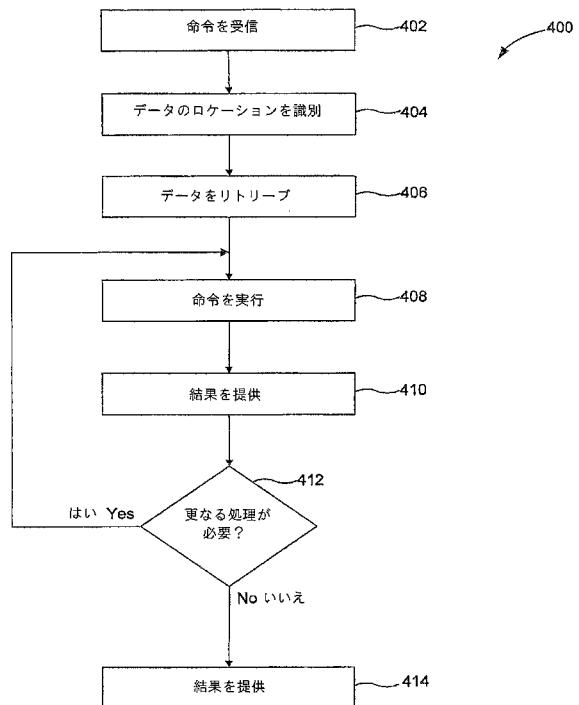
【図 2】



【図 3】



【図4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2010/047784																		
A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/38 G06F9/46 G06F9/50 ADD.																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, IBM-TDB, WPI Data																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 2007/294696 A1 (PAPAKIPOS MATTHEW N [US] ET AL) 20 December 2007 (2007-12-20) paragraphs [0031], [0091], [0153], [0383], [0386], [0389], [0438]; figures 7D,10</td> <td style="padding: 2px;">1-20</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">EP 1 557 755 A1 (THOMSON LICENSING SA [FR]) 27 July 2005 (2005-07-27) paragraphs [0006], [0034] - [0043]</td> <td style="padding: 2px;">1-20</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 2007/074221 A1 (STENSON RICHARD B [US] ET AL) 29 March 2007 (2007-03-29) paragraphs [0006], [0008], [0022], [0024], [0030]</td> <td style="padding: 2px;">1-20</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">EP 0 442 041 A2 (NAT SEMICONDUCTOR CORP [US]) 21 August 1991 (1991-08-21) page 5, line 10 - line 24; figure 3</td> <td style="padding: 2px;">1-20</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;">-/-</td> <td style="padding: 2px;">-/-</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 2007/294696 A1 (PAPAKIPOS MATTHEW N [US] ET AL) 20 December 2007 (2007-12-20) paragraphs [0031], [0091], [0153], [0383], [0386], [0389], [0438]; figures 7D,10	1-20	Y	EP 1 557 755 A1 (THOMSON LICENSING SA [FR]) 27 July 2005 (2005-07-27) paragraphs [0006], [0034] - [0043]	1-20	A	US 2007/074221 A1 (STENSON RICHARD B [US] ET AL) 29 March 2007 (2007-03-29) paragraphs [0006], [0008], [0022], [0024], [0030]	1-20	A	EP 0 442 041 A2 (NAT SEMICONDUCTOR CORP [US]) 21 August 1991 (1991-08-21) page 5, line 10 - line 24; figure 3	1-20		-/-	-/-
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
Y	US 2007/294696 A1 (PAPAKIPOS MATTHEW N [US] ET AL) 20 December 2007 (2007-12-20) paragraphs [0031], [0091], [0153], [0383], [0386], [0389], [0438]; figures 7D,10	1-20																		
Y	EP 1 557 755 A1 (THOMSON LICENSING SA [FR]) 27 July 2005 (2005-07-27) paragraphs [0006], [0034] - [0043]	1-20																		
A	US 2007/074221 A1 (STENSON RICHARD B [US] ET AL) 29 March 2007 (2007-03-29) paragraphs [0006], [0008], [0022], [0024], [0030]	1-20																		
A	EP 0 442 041 A2 (NAT SEMICONDUCTOR CORP [US]) 21 August 1991 (1991-08-21) page 5, line 10 - line 24; figure 3	1-20																		
	-/-	-/-																		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.																		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the international search 15 November 2010		Date of mailing of the international search report 29/11/2010																		
Name and mailing address of the ISA/ European Patent Office, P.B. 5018 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040; Fax: (+31-70) 340-3016		Authorized officer Thibaudeau, Jean																		

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2010/047784

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/160449 A1 (GOSSALIA ANUJ B [US] ET AL) 19 August 2004 (2004-08-19) paragraph [0040]; figure 2	6,17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/US2010/047784

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2007294696	A1	20-12-2007	NONE		
EP 1557755	A1	27-07-2005	CN 1645351 A		27-07-2005
			FR 2865291 A1		22-07-2005
			JP 2005209206 A		04-08-2005
			KR 20050076702 A		26-07-2005
			MX PA05000788 A		29-08-2005
			US 2005172104 A1		04-08-2005
US 2007074221	A1	29-03-2007	EP 1934738 A1		25-06-2008
			JP 2009510612 T		12-03-2009
			US 2009147013 A1		11-06-2009
			US 2010251245 A1		30-09-2010
			WO 2007038456 A1		05-04-2007
EP 0442041	A2	21-08-1991	JP 3227177 A		08-10-1991
			US RE40942 E1		20-10-2009
US 2004160449	A1	19-08-2004	US 2005168472 A1		04-08-2005

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
G 0 6 F 12/08 (2006.01)	G 0 6 F 12/08	5 5 1 C
	G 0 6 F 12/08	5 0 1 B

(81) 指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74) 代理人 100162156

弁理士 村雨 圭介

(72) 発明者 グレッグ サドウスキー

アメリカ合衆国 0 2 1 3 9 マサチューセッツ州、ケンブリッジ、ハーバード ストリート
3 2 1、# 3 0 3

(72) 発明者 コンスタンチン アイオールチャ

アメリカ合衆国 9 5 1 2 0 カリフォルニア州、サンノゼ、ウッディドレイク ドライブ
7 1 8 6

(72) 発明者 ジヨン プラザーズ

アメリカ合衆国 9 4 0 8 5 カリフォルニア州、サニーベール、レークサイド ドライブ 1 2
5 7、アパートメント 1 2 2 6

F ターム(参考) 5B005 KK13 LL15 MM01 NN12

5B013 DD03

5B045 AA01 BB28 BB29 DD10 DD12

5B047 EA06 EA07 EA09 EB15

5B057 CH02 CH11 CH12 CH14 CH16 CH20