

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84)** 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

单通道通信编码方法、解码方法、编码电路及解码电路

本申请要求了申请日为 2021 年 10 月 15 日，申请号为 202111200511.4，发明名称为“单通道通信编码方法、解码方法、编码电路及解码电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明属于模数混合电路领域，具体涉及一种单通道通信编码方法、解码方法、编码电路及解码电路。

背景技术

数字隔离器用于通信，其包括源边和副边，副边接收源边发送的信号。

图 1 是一种常见的数据与时钟隔离传输的方式，源边的数据与时钟分别使用一个隔离通道将信号传输到隔离的副边，该方式需要占用两个隔离通道，工作时功耗较大，晶圆成本较高，且芯片封装时需要更多打线，封装成本较高。

图 2 为基于时钟数据恢复技术的单通道隔离通信，源边同步于时钟的数据信号通过发送器以串行方式发送到隔离的副边，副边通过时钟数据恢复电路将时钟从接收的数据信号里提取出来，然后用提取的时钟对数据进行重新采样，最终得到了恢复的时钟和数据信号。

图 3 是一种常见的基于锁相环电路的时钟数据恢复电路和时序。

图 2 和图 3 所示的电路都有以下技术缺点：(1) 无法通信一长串的“0”或“1”信号；(2) 传输信号的数据码率、相位与接收端时钟数据恢复电路中压控振荡器的频率、相位有偏差，需要较长的时间完成频率和相位的锁定，因此，需要较长时间建立通信；(3) 时钟数据恢复电路需要先锁定频率再锁定相位，控制环路较多，设计复杂度较高，实现成本较高。

发明内容

本发明目的是设计一种高效通信的方法，能同时编码时钟信号和数据信号，降低电路复杂度，减少芯片封装打线。

为实现上述发明目的之一，本发明一实施方式提供一种单通道通信编码方法，包括：将时钟信号和数据信号合成一路长短码信号；所述长短码信号包括长码信号和短码信号，所述长码信号的脉宽与时钟信号一致，所述短码信号的脉宽与时钟信号一致；所述长码信号与所述短码信号的占空比不同。

作为本发明一实施方式的进一步改进，所述长短码信号的占空比满足关系式： $T_{clk}=TS+TL$ ，其中， T_{clk} 为时钟周期， TS 为短码信号的高电平时间， TL 为长码信号的高电平时间，且 TS 不等于 TL 。

作为本发明一实施方式的进一步改进，将时钟信号和数据信号合成一路长短码信号包括：根据时钟信号产生第一延迟时钟信号；根据所述第一延迟时钟信号产生脉冲信号；根据所述脉冲信号生成长码信号的高电平和短码信号的高电平；根据所述第一延迟时钟信号产生第二延迟时钟信号；根据所述第二延迟时钟信号生成短码信号的低电平；根据时钟信号生成长码信号的低电平；根据所述第一延迟时钟信号和数据信号产生数据延迟信号；根据数据信号选择所述长码信号或所述短码信号

并生成长短码信号。

作为本发明一实施方式的进一步改进，所述第一延迟时钟信号相对于时钟信号延迟时间为 TS ；所述第二延迟时钟信号相对于第一延迟时钟信号延迟时间为 TS ；所述数据延迟信号相对于数据信号延迟时间为 TS 。

作为本发明一实施方式的进一步改进，将时钟信号和数据信号合成一路长短码信号进一步包括：根据时钟信号产生第一脉冲信号；根据时钟信号产生第一延迟时钟信号；根据所述第一延迟时钟信号产生第二延迟时钟信号；根据所述第二延迟时钟信号产生第二脉冲信号；根据所述第一延迟时钟信号产生第三脉冲信号；根据所述第三脉冲信号生成长码信号的高电平或短码信号的高电平；根据所述数据信号和所述第一延迟时钟信号产生数据延迟信号；根据所述数据延迟信号选择第一脉冲信号或第二脉冲信号；根据被选择的第二脉冲信号生成短码信号的低电平；根据被选择的第一脉冲信号生成长码信号的低电平。

为实现上述发明目的之一，本发明一实施方式提供一种单通道通信编码电路，包括：第一延迟电路，用于根据时钟信号产生第一延迟时钟信号；脉冲发生器，用于根据所述第一延迟时钟信号产生脉冲信号；长码触发器，其重置端接收所述脉冲信号，并输出长码信号的高电平，其时钟端接收时钟信号，时钟信号触发输出长码信号的低电平；短码触发器，其重置端接收所述脉冲信号，输出短码信号的高电平；第二延迟电路，用于根据所述第一延迟时钟信号产生第二延迟时钟信号；所述短码触发器的时钟端接收所述第二延迟时钟信号，并输出短码信号的低电平；选择触发器，其时钟端接收第一延迟时钟信号，数据端连接数据信号，输出端输出数据延迟信号；数据选择器，其第一输入端连接所述长码触发器的输出端，第二输入端连接短码触发器的输出端；选择端连接所述选择触发器的输出端，所述数据选择器根据所述数据延迟信号选择输出所述长码信号或短码信号并形成长短码信号。

为实现上述发明目的之一，本发明一实施方式提供一种单通道通信编码电路，包括：第一延迟电路，用于根据时钟信号产生第一延迟时钟信号；第二延迟电路，用于根据第一延迟信号产生第二延迟时钟信号；第一脉冲发生器，用于根据第一延迟时钟信号产生第一脉冲信号；第二脉冲发生器，用于根据所述第二延迟时钟信号产生第二脉冲信号；第三脉冲发生器，用于所述第一延迟时钟信号产生第三脉冲信号；选择触发器，其时钟端接收第一延迟时钟信号，数据端连接数据信号，输出端输出数据延迟信号；数据选择器，其第一输入端连接所述第一脉冲发生器，第二输入端连接所述第二脉冲发生器；所述数据选择器的选择端连接数据延迟信号，并根据所述数据延迟信号选择第一脉冲信号或第二脉冲信号；输出触发器，其重置端与所述第三脉冲发生器连接，时钟端与所述数据选择器的输出端连接；所述输出触发器根据所述第三脉冲信号产生长码信号的高电平或短码信号的高电平，所述时钟端收到所述第一脉冲信号并产生长码信号的低电平；所述时钟端收到所述第二脉冲信号并产生短码信号的低电平。

为实现上述发明目的之一，本发明一实施方式提供一种单通道通信解码方法，包括：根据长短码信号的高电平产生时钟信号的低电平；根据长短码信号产生延迟脉冲信号，所述延迟脉冲信号的延迟时间为半个时钟周期；根据所述延迟脉冲信号产生时钟信号的高电平；根据所述时钟信号和长短码信号产生数字信号。

作为本发明一实施方式的进一步改进，所述根据长短码信号产生延迟脉冲信号进一步包括：根据所述长短码信号产生长短码延迟信号，根据所述长短码延迟信号和长短码信号的相位差控制所述长短码信号的延迟时间。

作为本发明一实施方式的进一步改进，根据长短码延迟信号和长短码信号的相位差控制所述长短码信号的延迟时间进一步包括：将所述相位差的信号转换为电压信号，根据所述电压信号控制长短码延迟信号的延迟时间。

为实现上述发明目的之一，本发明一实施方式提供一种单通道通信解码电路，包括：延迟脉冲电路，用于将长短码信号延迟半个时钟周期并产生长短码延迟信号；脉冲发生器，用于根据所述长短码延迟信号产生延迟脉冲信号；时钟触发器，其时钟端与长短码信号连接并根据长短码信号产生时钟信号的低电平，重置端与所述脉冲发生器的输出端连接，所述时钟触发器根据所述延迟脉冲信号产生时钟信号的高电平；数字信号触发器，其时钟端与所述时钟触发器的输出端连接，数据端与所述长短码信号连接，所述数字信号触发器根据时钟信号生成数字高电平或数字低电平。

作为本发明一实施方式的进一步改进，所述延迟脉冲电路包括延迟电路和脉冲电路，所述延迟电路包括：延迟电路中间级，用于将所述长短码信号转换为长短码延迟信号；鉴频鉴相器，用于检测长短码延迟信号和长短码信号之间的相位差；电荷泵，用于将所述相位差转换为电流信号；低通滤波器，用于将所述电流信号转换为电压信号；其中，所述延迟电路中间级与所述低通滤波器连接，且所述延迟电路中间级用于接收所述电压信号并控制长短码延迟信号的延迟时间。

作为本发明一实施方式的进一步改进，所述解码电路进一步包括翻转检测器、振荡器和数据选择器；当不通信时，所述翻转检测器输出低电平，所述数据选择器将所述振荡器的输出接入延迟锁定环，并建立电压信号；当通信时，所述翻转检测器输出高电平，所述数据选择器将所述长短码信号接入所述延迟脉冲电路。

本发明相对现有技术至少有以下几方面的有益技术效果：（1）使用长短码编码方案将数据信号和时钟信号融合通信，效率更高，且功耗更低；（2）支持单通道通信可减少芯片封装和打线，降低芯片制造成本；（3）编码电路和解码电路结构简单，降低了电路设计复杂度；（4）通信建立时间短。

附图说明

图 1 是现有技术的通信电路示意图。

图 2 是另一现有技术的通信电路示意图。

图 3 是又一现有技术的通信电路示意图。

图 4 是本发明通信电路结构示意图。

图 5 是本发明编码时序示意图。

图 6 是本发明编码方法流程示意图。

图 7 是本发明编码电路结构示意图。

图 8 是本发明编码电路时序示意图。

图 9 是本发明另一种编码方法流程示意图。

图 10 是本发明另一种电路结构示意图。

图 11 是本发明另一种电路时序示意图。

图 12 是本发明解码方法流程示意图。

图 13 是本发明解码电路结构示意图。

图 14 是本发明解码电路时序示意图。

图 15 是本发明解码电路其中包含延迟电路的结构示意图。

图 16 是本发明解码电路其中包含用于预建立控制电压的电路的结构示意图。

具体实施方式

以下参照附图对本发明技术方案作进一步详尽的说明，以帮助本领域技术人员理解本发明的技术方案。以下按照编码解码的顺序叙述本发明技术方案。

编码方法

参图 4，为数字隔离芯片或隔离放大芯片等通信电路结构示意图。

通信电路包括源边 401 和副边 403，源边 401 发送通信数据，副边 403 接收通信数据。

源边 401 包括编码器 402 和发送器 404，副边 403 包括接收器 406 和解码器 408。

发送器 404 和接收器 406 之间通过隔离电容 410 连接。

编码器 402 的输入端用于接收数据信号 TD 和时钟信号 TCLK，解码器 408 的输出端输出数字信号 RD 和时钟信号 RCLK。

图 5 为本发明数据信号 TD、时钟信号 TCLK 和长短码信号 WNP 的编码时序示意图，通过编码方法将时钟信号 TCLK 和数据信号 TD 合成一路长短码信号 WNP。

长短码信号 WNP 包括长码信号 WP 和短码信号 NP，长码信号 WP 的脉宽与时钟信号 TCLK 一致，短码信号 NP 的脉宽与时钟信号 TCLK 一致；长码信号 WP 与短码信号 NP 的占空比不同。

长码信号 WP 的高低电平的占空比大于短码信号 NP 的高低电平的占空比。长码信号 WP 用于表示数据信号 TD 为“1”，短码信号 NP 用于表示数据信号 TD 为“0”。

长码信号 WP 或短码信号 NP 的脉宽为一个时钟周期 Tclk，并且，长短码信号 WNP 的占空比满足关系式： $T_{clk}=T_S+T_L$ ，其中，Tclk 为时钟周期，T_S 为短码信号 NP 的高电平时间，T_L 为长码信号 WP 的高电平时间，并且 T_S 不等于 T_L。如图中所示，长码信号 WP 的低电平与短码信号 NP 的高电平的脉宽相等。

通过上述长短码编码方案将数据信号 TD 和时钟信号 TCLK 融合通信，效率更高功耗更低。同时，支持单通道通信可减少芯片封装和打线，降低芯片制造成本。并且，编码电路和解码电路结构简单，降低了电路设计复杂度。

需要指出的是，本发明和传统的 OOK 法有本质区别，OOK 法是用振荡信号（ON）表示 1，没有振荡信号（OFF）表示 0。而本发明中不同占空比的长短码信号 WNP 是用 OOK 法传输的，即用 ON 传输长短码信号 WNP 中的高电平，用 OFF 传输长短码信号 WNP 中的低电平，亦即，用 ON 或 OFF 表示高低电平，但数据信号 TD 的内容则使用长短码信号 WNP 的不同占空比表示。

编码方法一

参照图 6，是长短码编码方法流程示意图，其在获得“时钟信号”后包括步骤：

602：根据时钟信号产生第一延迟时钟信号；

- 604: 根据第一延迟时钟信号产生脉冲信号;
- 606: 根据脉冲信号生成长码信号的高电平和短码信号的高电平;
- 608: 根据第一延迟时钟信号产生第二延迟时钟信号;
- 610: 根据第二延迟时钟信号生成短码信号的低电平;
- 612: 根据时钟信号生成长码信号的低电平;
- 614: 根据第一延迟时钟信号和数据信号产生数据延迟信号;
- 616: 根据数据信号选择长码信号或短码信号并生成长短码信号。

以下, 结合图 7 所示的电路结构和图 8 所示的时序对步骤 602 至 616 做进一步详尽的解释。

图 7 及其他附图中所包含的延迟电路、脉冲发生器、触发器、数据选择器等电路均为标准器件, 本发明不再对这些标准器件展开讨论, 本领域技术人员能够根据其掌握的知识实现。

时钟信号 $TCLK$ 连接第一延迟电路 (Delay) 702, 第一延迟电路 702 的输出端连接脉冲发生器 (One-shot) 706, 脉冲发生器 706 按照图 7 右下方示出的时序进行动作, 且其输出端连接长码触发器 708 和短码触发器 710 的重置端 S ; 长码触发器 708 和短码触发器 710 的数据端 D 接地, 长码触发器 708 和短码触发器 710 的输出端 Q 分别连接数据选择器 712 的第一输入端 (MUX 的 1 号端, 其中 MUX 全称为 Multiplexer, 中文译名为数据选择器) 和第二输入端 (MUX 的 0 号端); 第二延迟电路 (Delay) 704 的输入端与第一延迟电路 702 的输出端连接, 第二延迟电路 704 的输出端连接短码触发器 710 的时钟端; 第一延迟电路 702 的输出端与选择触发器 716 的时钟端连接, 数据信号 TD 与选择触发器 716 的数据端 D 连接, 选择触发器 716 的输出端 Q 与数据选择器 712 的选择端 Sel 连接。数据选择器 712 还包括用于输出长短码信息 WNP 的输出端。

参照图 6 至图 8, 在步骤 602 中, 根据时钟信号 $TCLK$ 产生第一延迟时钟信号 $TD1$ 。

第一延迟电路 702 根据时钟信号 $TCLK$ 产生第一延迟时钟信号 $TD1$, 第一延迟时钟信号 $TD1$ 相对时钟信号 $TCLK$ 的延迟时间为 TS 。

在步骤 604 中, 根据第一延迟时钟信号 $TD1$ 产生脉冲信号。

第一延迟时钟信号 $TD1$ 的上升沿触发脉冲发生器 706, 脉冲发生器 706 根据第一延迟时钟信号 $TD1$ 产生脉冲信号, 该脉冲信号送入长码触发器 708 和短码触发器 710 的重置端 S 。

在步骤 606 中, 长码触发器 708 和短码触发器 710 根据脉冲信号生成长码信号 WP 的高电平 8022 和短码信号 NP 的高电平 8024; 并且在脉冲信号消失后, 长码信号 WP 和短码信号 NP 能够保持高电平状态。

在步骤 608 和步骤 610 中, 根据第一延迟时钟信号 $TD1$ 产生第二延迟时钟信号 $TD2$ 。

第二延迟电路 704 根据第一延迟时钟信号 $TD1$ 产生第二延迟时钟信号 $TD2$, 第二延迟时钟信号 $TD2$ 相对于第一延迟时钟信号 $TD1$ 的延迟时间为 TS 。

第二延迟时钟信号 $TD2$ 上升沿出现时, 短码触发器 710 的时钟端为高电平, 短码触发器 710 输出数据端 D 接地的低电平, 由此, 生成短码信号 NP 的低电平 804。

在步骤 612 中, 根据时钟信号生成长码信号 WP 的低电平 808。

在下一个时钟周期上升沿 806 到来时, 长码触发器 708 的时钟端接收时钟信号, 以触发输出数据端 D 的电平, 数据端 D 接地, 此时, 输出信号形成长码信号 WP 的低电平 808。

在步骤 614 中，根据第一延迟时钟信号 TD1 和数据信号 TD 产生数据延迟信号 TDD1。

第一延迟时钟信号 TD1 比时钟信号 TCLK 或数据信号 TD 延迟 TS，数据信号 TD 和时钟信号 TCLK 同步，因此，以第一延迟时钟信号 TD1 作为时钟源，数据信号 TD 连接选择触发器 716 数据端后，会同步产生数据延迟信号 TDD1。也即数据延迟信号 TDD1 相对于数据信号 TD 延迟时间为 TS。

在步骤 616 中，根据数据信号 TD 选择长码信号 WP 或短码信号 NP 并生成长短码信号 WNP。

数据延迟信号 TDD1 与数据选择器 712 的选择端 Sel 连接，数据延迟信号 TDD1 为高电平时，选择长码信号 WP 输出，对应图中第一输入端的输入信号；数据延迟信号 TDD1 为低电平时，选择短码信号 NP 输出，对应图中第二输入端的输入信号，数据延迟信号 TDD1 与长短码信号 WNP 同步，根据数据延迟信号 TDD1 选择输出长码信号 WP 或短码信号 NP，从而形成长短码信号 WNP 编码。

编码方法二

参照图 9，本发明提供另一种单通道通信编码方法。其包括下述在得到“时钟信号”后的步骤：

- 902：根据时钟信号产生第一脉冲信号；
- 904：根据时钟信号产生第一延迟时钟信号；
- 906：根据第一延迟时钟信号产生第二延迟时钟信号；
- 908：根据第二延迟时钟信号产生第二脉冲信号；
- 910：根据第一延迟时钟信号产生第三脉冲信号；
- 912：根据第三脉冲信号生成长短码信号的高电平或短码信号的高电平；
- 914：根据数据信号和第一延迟时钟信号产生数据延迟信号；
- 916：根据数据延迟信号选择第一脉冲信号或第二脉冲信号；
- 918：根据被选择的第二脉冲信号生成短码信号的低电平；
- 920：根据被选择的第一脉冲信号生成长短码信号的低电平。

以下结合图 10 所示的电路结构和图 11 所示的时序图对步骤 902 至 920 做进一步详尽的解释。

参照图 10，编码电路包括第一延迟电路 (Delay) 1002、第二延迟电路 (Delay) 1004、第一脉冲发生器 (One-shot1) 1006、第二脉冲发生器 (One-shot2) 1008、第三脉冲发生器 (One-shot3) 1014、数据选择器 (MUX) 1010、选择触发器 1012、输出触发器 1016。

时钟信号 TCLK 连接第一延迟电路 1002、第一脉冲发生器 1006。

第一延迟电路 1002 的输出端连接第二延迟电路 1004 的输入端，第二延迟电路 1004 的输出端连接第二脉冲发生器 1008 的输入端，第二脉冲发生器 1008 的输出端连接数据选择器 1010 的第二输入端 (MUX 的 0 号端)。

第一脉冲发生器 1006 的输出端连接数据选择器 1010 的第一输入端 (MUX 的 1 号端)，数据信号 TD 连接选择触发器 1012 的数据输入端 D，选择触发器 1012 的输出端 Q 连接数据选择器 1010 的选择端 Sel (也即数据选择器 1010 的选择端 Sel 连接数据延迟信号 TDD1)，第三脉冲发生器 1014 的输出端连接输出触发器 1016 的重置端 S，输出触发器 1016 的时钟端连接数据选择器 1010 的输出端形成结点 A (Node A)。输出触发器 1016 还包括接地的数据端 D 和用于输出长短码信号 WNP 的输

出端 Q。

参照图 9 至图 11，在步骤 902 中，根据时钟信号 TCLK 结点 A (Node A) 处产生第一脉冲信号 P1，时钟信号的上升沿 1102 触发第一脉冲发生器 1006，第一脉冲发生器 1006 根据第一延迟时钟信号（即上升沿 1102）产生第一脉冲信号 P1，该第一脉冲信号 P1 输入数据选择器 1010 的第一输入端。

在步骤 904 中，根据时钟信号 TCLK 产生第一延迟时钟信号 TD1。

第一延迟电路 1002 根据时钟信号 TCLK 产生第一延迟时钟信号 TD1，第一延迟时钟信号 TD1 作为第二延迟时钟信号 TD2 的基础，第一延迟时钟信号 TD1 相对时钟信号的延迟时间为 TS。

在步骤 906 中，根据第一延迟时钟信号 TD1 产生第二延迟时钟信号 TD2。

第二延迟电路 1004 根据第一延迟信号 TD1 产生第二延迟时钟信号 TD2，第二延迟时钟信号 TD2 相对第一延迟时钟信号 TD1 的延迟时间为 TS。

在步骤 908 中，根据第二延迟时钟信号 TD2 产生第二脉冲信号 P2。第二脉冲发生器 1008 根据第二延迟时钟信号 TD2 产生第二脉冲信号 P2，该第二脉冲信号 P2 用于使得输出触发器 1016 输出低电平。

在步骤 910 中，根据第一延迟时钟信号 TD1 产生第三脉冲信号（时序图中未示出）。

第三脉冲发生器 1014 根据第一延迟时钟信号 TD1 产生第三脉冲信号。

在步骤 912 中，该第三脉冲信号重置输出触发器 1016 而产生长码信号 WP 的高电平 1104 或短码信号 NP 的高电平 1106（长码信号 WP 和短码信号 NP 记载于长短码信号 WNP 中）。

在步骤 914 中，根据数据信号 TD 和第一延迟时钟信号 TD1 产生数据延迟信号 TDD1。

选择触发器 1012 的时钟端接收第一延迟时钟信号 TD1，数据端 D 连接数据信号 TD，输出端 Q 输出数据延迟信号 TDD1，该数据延迟信号 TDD1 与第一延迟时钟信号 TD1 同步。

在步骤 916 中，根据数据延迟信号 TDD1 选择第一脉冲信号 P1 或第二脉冲信号 P2。

数据选择器 1012 根据数据延迟信号 TDD1 选择第一脉冲信号 P1 或第二脉冲信号 P2。数据延迟信号 TDD1 为高电平时，数据选择器 1012 输出第一脉冲信号 P1；数据延迟信号 TDD1 为低电平时，数据选择器 1012 输出第二脉冲信号 P2。

在步骤 920 中，根据被选择的第一脉冲信号 P1 生成长码信号 WP 的低电平 1108。

第一脉冲信号 P1 的上升沿与时钟信号 TCLK 的上升沿对齐，因此，第一脉冲信号 P1 使得输出触发器 1016 产生长码信号 WP 的低电平 1108，随后，第三脉冲发生器 1014 产生脉冲信号，重新将输出触发器 1016 的输出电平拉高形成长码信号 WP 的高电平 1104，从而完成一次长码编码。

在步骤 918 中，根据被选择的第二脉冲信号 P2 生成短码信号 NP 的低电平 1110。

第二脉冲信号 P2 的上升沿相对第一延迟时钟信号 TD1 的延迟时间为 TS，在输出触发器 1016 高电平持续延迟时间 TS 后，输出触发器 1016 的输出电平被第二脉冲信号 P2 拉低形成短码信号 NP 的低电平 1110，在随后的第一延迟时钟信号 TD1 的上升沿出现后，第三脉冲发生器 1014 产生脉冲信号，重新将输出触发器 1016 的输出电平拉高形成短码信号 NP 的高电平 1106，从而完成一次短码编码。

解码方法

参照图 12，单通道通信的解码方法包括下述在得到“长短码信号”后的步骤：

1202：根据长短码信号的高电平产生时钟信号的低电平；

1204：根据长短码信号产生延迟脉冲信号，延迟脉冲信号的延迟时间为半个时钟周期；

1206：根据延迟脉冲信号产生时钟信号的高电平；

1208：根据时钟信号和长短码信号产生数字信号。

以下，结合图 13 所示的电路结构和图 14 所示的时序图对步骤 1202 至 1208 做进一步详尽的解释。

参照图 13，电路结构包括延迟脉冲电路（Delay $0.5T_{clk}$ ）1302、脉冲发生器（One-shot）1304、时钟触发器 1306、数字信号触发器 1308。

延迟脉冲电路 1302 与长短码信号 WNP 连接，延迟脉冲电路 1302 的输出端与脉冲发生器 1304 连接，数字信号触发器 1308 的数据端 D 与长短码信号 WNP 连接，时钟触发器 1306 的时钟端与长短码信号 WNP 连接，时钟触发器 1306 的重置端 S 与脉冲发生器 1304 的输出端连接，以接收延迟脉冲信号 SET，时钟触发器 1306 的输出端 Q 与数字信号触发器 1308 的时钟端连接，以输出时钟信号 RCLK。时钟触发器 1306 还包括接地的数据端 D，数字信号触发器 1308 还包括用于输出数字信号 RD 的输出端 Q。

参照图 12 至图 14，在步骤 1202 中，根据长短码信号 WNP 的高电平产生时钟信号 RCLK 的低电平 1402。

长短码信号 WNP 上升沿 1404 输入时钟触发器 1306 后，时钟触发器 1306 输出端 Q 输出数据端 D 的低电平 1402（包含于时钟信号 RCLK 中），也即时钟触发器 1306 根据长短码信号 WNP 产生时钟信号 RCLK 的低电平。

在步骤 1204 中，根据长短码信号 WNP 产生延迟脉冲信号 SET，延迟脉冲信号 SET 延迟时间为半个时钟周期（ $0.5T_{clk}$ ）。

延迟脉冲电路 1302 将长短码信号 WNP 延迟半个时钟周期并产生长短码延迟信号，脉冲发生器 1304 根据该长短码延迟信号产生延迟脉冲信号 SET，换言之，延迟脉冲信号 SET 的上升沿 1408 距离长短码信号 WNP 的上升沿 1404 的长度为半个时钟周期。

在步骤 1206 中，该延迟脉冲信号 SET 重置时钟触发器 1306 输出端 Q 而使之输出高电平，构成了时钟信号 RCLK 的高电平。

重复步骤 1202 至 1206 即可产生多个时钟信号 RCLK。

在步骤 1208 中，根据时钟信号 RCLK 和长短码信号 WNP 产生数字信号 RD。

数字信号触发器 1308 根据时钟信号 RCLK 生成包含于数字信号 RD 内的数字高电平或数字低电平 1406。

由于时钟信号 RCLK 的上升沿 1410 恰好在数据信号的中间位置（半个周期处），数字信号触发器 1308 的输出信号为长码信号 WP 的高电平或短码信号 NP 的低电平，使得输出的解码高低电平信号恰好与长短码信号 WNP 编码对应。

进一步地对上述方法改进，根据长短码信号 WNP 产生延迟脉冲信号 SET 进一步包括：根据长短码信号 WNP 产生长短码延迟信号，根据长短码延迟信号和长短码信号 WNP 的相位差控制长短码

信号 WNP 的延迟时间。

进一步地对上述方法改进，根据长短码延迟信号和长短码信号 WNP 的相位差控制长短码信号 WNP 的延迟时间进一步包括：将相位差对应的相位差信号转换为电压信号，根据电压信号控制长短码延迟信号的延迟时间。

参照图 15 所示的单通道通信的解码电路，其包括图 13 中延迟脉冲电路 1302 的延迟电路的内部结构，延迟脉冲电路 1302 还可以包括脉冲电路。

具体的，包括延迟电路中间级 1502，用于将长短码信号 WNP 转换为长短码延迟信号 WNP_D；鉴频鉴相器 1504，用于检测长短码延迟信号 WNP_D 和长短码信号 WNP 之间的相位差；电荷泵 1506，用于将相位差转换为电流信号；低通滤波器 1508，用于将电流信号转换为电压信号 V_{ctrl}；延迟电路中间级 1502 与低通滤波器 1508 输出端连接，且延迟电路中间级 1502 用于接收电压信号 V_{ctrl} 并控制长短码延迟信号 WNP_D 的延迟时间。

上述由鉴频鉴相器 1504 至低通滤波器 1508 形成的、由相位信号到电压信号的反馈回路，能够精确控制延迟电路的时间，使得其延迟时间控制更加精准，结合解码电路的其他部分，从而还原出精确的时钟信号 RCLK。

所述其他部分，与图 13 中电路相似地，包括脉冲发生器 One-shot、时钟触发器和数字信号触发器。其中，脉冲发生器 One-shot 的输入端连接长短码延迟信号 WNP_D，输出端连接时钟触发器的重置端 S 并输出延迟脉冲信号 Set。时钟触发器的数据端 D 接地，时钟端连接长短码信号 WNP，且通过输出端 Q 输出时钟信号 RCLK。数字信号触发器的时钟端与时钟触发器的输出端 Q 连接，数据端 D 与长短码信号 WNP 连接，输出端 Q 输出数字信号 RD。

参照图 16，其在图 15 的基础上进一步增加了用于预建立控制电压的电路，包括翻转检测器 602、振荡器 604（周期为 T_{osc}）和数据选择器（MUX）608。振荡器 604 连接数据选择器 608 的第二输入端（MUX 的 0 号端），长短码信号 WNP 接入数据选择器 608 的第一输入端（MUX 的 1 号端）和翻转检测器 602 的输入端，翻转检测器 602 的输出端连接数据选择器 608 的选择端 Sel，并以数据选择器 608 的输出端替换图 15 中电路的 WNP 输入。

当不通信时，翻转检测器 602 输出低电平，数据选择器 608 将振荡器 604 的输出接入延迟锁定环（包括后侧延迟电路中间级 1502、鉴频鉴相器、电荷泵、低通滤波器所形成的电路），并建立电压信号 V_{ctrl}。

当通信时，翻转检测器 602 输出高电平，数据选择器 608 将长短码信号 WNP 接入延迟脉冲电路。

电路其他部分与图 15 中电路相似地，包括脉冲发生器 One-shot、时钟触发器和数字信号触发器。其中，脉冲发生器 One-shot 的输入端连接长短码延迟信号 WNP_D，输出端连接时钟触发器的重置端 S 并输出延迟脉冲信号 Set；时钟触发器的数据端 D 接地，时钟端连接长短码信号 WNP，且通过输出端 Q 输出时钟信号 RCLK；数字信号触发器的时钟端与时钟触发器的输出端 Q 连接，数据端 D 与长短码信号 WNP 连接，输出端 Q 输出数字信号 RD。

同时，鉴频鉴相器通过两个输出端与电荷泵连接，以输出控制信号 UP 和 DOWN。

由于在不通信时，延迟锁定环已建立了压控延迟线（包括延迟电路中间级 1502）的电压信号 V_{ctrl}，

且该电压信号 V_{ctrl} 与通信时最终的电压信号相近，因此，在长短码信号 WNP 到来时即可立即实现准确的通信，无需一般时钟数据恢复电路所需的建立时间，实现了快速建立通信。

本发明的技术内容及技术特征已揭示如上，然后熟悉本领域的技术人员仍可基于本发明的教导及揭示而作种种不背离本发明精神的替换及修饰，因此，本发明保护范围不限于实施例所揭示的内容，而应包括各种不背离本发明的替换及修饰，并为本专利申请的权利要求所涵盖。

权利要求书

- 1、一种单通道通信编码方法，其特征在于，包括：
将时钟信号和数据信号合成一路长短码信号；
所述长短码信号包括长码信号和短码信号，所述长码信号的脉宽与时钟信号一致，所述短码信号的脉宽与时钟信号一致；
所述长码信号与所述短码信号的占空比不同。
- 2、根据权利要求1所述的单通道通信编码方法，其特征在于，所述长短码信号的占空比满足关系式： $T_{clk}=TS+TL$ ，其中， T_{clk} 为时钟周期， TS 为短码信号的高电平时间， TL 为长码信号的高电平时间，且 TS 不等于 TL 。
- 3、根据权利要求2所述单通道通信编码方法，其特征在于，将时钟信号和数据信号合成一路长短码信号包括：
根据时钟信号产生第一延迟时钟信号；
根据所述第一延迟时钟信号产生脉冲信号；
根据所述脉冲信号生成长码信号的高电平和短码信号的高电平；
根据所述第一延迟时钟信号产生第二延迟时钟信号；
根据所述第二延迟时钟信号生成短码信号的低电平；
根据时钟信号生成长码信号的低电平；
根据所述第一延迟时钟信号和数据信号产生数据延迟信号；
根据数据信号选择所述长码信号或所述短码信号并生成长短码信号。
- 4、根据权利要求3所述单通道通信编码方法，其特征在于，所述第一延迟时钟信号相对于时钟信号延迟时间为 TS ；所述第二延迟时钟信号相对于第一延迟时钟信号延迟时间为 TS ；所述数据延迟信号相对于数据信号延迟时间为 TS 。
- 5、根据权利要求2所述单通道通信编码方法，其特征在于，将时钟信号和数据信号合成一路长短码信号进一步包括：
根据时钟信号产生第一脉冲信号；
根据时钟信号产生第一延迟时钟信号；
根据所述第一延迟时钟信号产生第二延迟时钟信号；
根据所述第二延迟时钟信号产生第二脉冲信号；
根据所述第一延迟时钟信号产生第三脉冲信号；
根据所述第三脉冲信号生成长码信号的高电平或短码信号的高电平；
根据所述数据信号和所述第一延迟时钟信号产生数据延迟信号；
根据所述数据延迟信号选择第一脉冲信号或第二脉冲信号；
根据被选择的第二脉冲信号生成短码信号的低电平；
根据被选择的第一脉冲信号生成长码信号的低电平。
- 6、一种单通道通信编码电路，其特征在于，包括：

第一延迟电路，用于根据时钟信号产生第一延迟时钟信号；
脉冲发生器，用于根据所述第一延迟时钟信号产生脉冲信号；
长码触发器，其重置端接收所述脉冲信号，并输出长码信号的高电平，其时钟端接收时钟信号，时钟信号触发输出长码信号的低电平；
短码触发器，其重置端接收所述脉冲信号，输出短码信号的高电平；
第二延迟电路，用于根据所述第一延迟时钟信号产生第二延迟时钟信号；
所述短码触发器的时钟端接收所述第二延迟时钟信号，并输出短码信号的低电平；
选择触发器，其时钟端接收第一延迟时钟信号，数据端连接数据信号，输出端输出数据延迟信号；
数据选择器，其第一输入端连接所述长码触发器的输出端，第二输入端连接短码触发器的输出端；选择端连接所述选择触发器的输出端，所述数据选择器根据所述数据延迟信号选择输出所述长码信号或短码信号并形成长短码信号。

7、一种单通道通信编码电路，其特征在于，包括：

第一延迟电路，用于根据时钟信号产生第一延迟时钟信号；
第二延迟电路，用于根据第一延迟信号产生第二延迟时钟信号；
第一脉冲发生器，用于根据第一延迟时钟信号产生第一脉冲信号；
第二脉冲发生器，用于根据所述第二延迟时钟信号产生第二脉冲信号；
第三脉冲发生器，用于所述第一延迟时钟信号产生第三脉冲信号；
选择触发器，其时钟端接收第一延迟时钟信号，数据端连接数据信号，输出端输出数据延迟信号；
数据选择器，其第一输入端连接所述第一脉冲发生器，第二输入端连接所述第二脉冲发生器；所述数据选择器的选择端连接数据延迟信号，并根据所述数据延迟信号选择第一脉冲信号或第二脉冲信号；
输出触发器，其重置端与所述第三脉冲发生器连接，时钟端与所述数据选择器的输出端连接；所述输出触发器根据所述第三脉冲信号产生长码信号的高电平或短码信号的高电平，所述时钟端收到所述第一脉冲信号并产生长码信号的低电平；所述时钟端收到所述第二脉冲信号并产生短码信号的低电平。

8、一种单通道通信解码方法，其特征在于，包括：

根据长短码信号的高电平产生时钟信号的低电平；
根据长短码信号产生延迟脉冲信号，所述延迟脉冲信号的延迟时间为半个时钟周期；
根据所述延迟脉冲信号产生时钟信号的高电平；
根据所述时钟信号和长短码信号产生数字信号。

9、根据权利要求8所述的单通道通信解码方法，其特征在于：

所述根据长短码信号产生延迟脉冲信号进一步包括：根据所述长短码信号产生长短码延迟信号，根据所述长短码延迟信号和长短码信号的相位差控制所述长短码信号的延迟时间。

10、根据权利要求9所述的单通道通信解码方法，其特征在于：

根据长短码延迟信号和长短码信号的相位差控制所述长短码信号的延迟时间进一步包括：将所述相位差的信号转换为电压信号，根据所述电压信号控制长短码延迟信号的延迟时间。

11、一种单通道通信解码电路，其特征在于，包括：

延迟脉冲电路，用于将长短码信号延迟半个时钟周期并产生长短码延迟信号；

脉冲发生器，用于根据所述长短码延迟信号产生延迟脉冲信号；

时钟触发器，其时钟端与长短码信号连接并根据长短码信号产生时钟信号的低电平，重置端与所述脉冲发生器的输出端连接，所述时钟触发器根据所述延迟脉冲信号产生时钟信号的高电平；

数字信号触发器，其时钟端与所述时钟触发器的输出端连接，数据端与所述长短码信号连接，所述数字信号触发器根据时钟信号生成数字高电平或数字低电平。

12、根据权利要求 11 所述的单通道通信解码电路，其特征在于：

所述延迟脉冲电路包括延迟电路和脉冲电路，所述延迟电路包括：

延迟电路中间级，用于将所述长短码信号转换为长短码延迟信号；

鉴频鉴相器，用于检测长短码延迟信号和长短码信号之间的相位差；

电荷泵，用于将所述相位差转换为电流信号；

低通滤波器，用于将所述电流信号转换为电压信号；

其中，所述延迟电路中间级与所述低通滤波器连接，且所述延迟电路中间级用于接收所述电压信号并控制长短码延迟信号的延迟时间。

13、根据权利要求 11 或 12 所述的单通道通信解码电路，其特征在于，所述解码电路进一步包括翻转检测器、振荡器和数据选择器；

当不通信时，所述翻转检测器输出低电平，所述数据选择器将所述振荡器的输出接入延迟锁定环，并建立电压信号；

当通信时，所述翻转检测器输出高电平，所述数据选择器将所述长短码信号接入所述延迟脉冲电路。

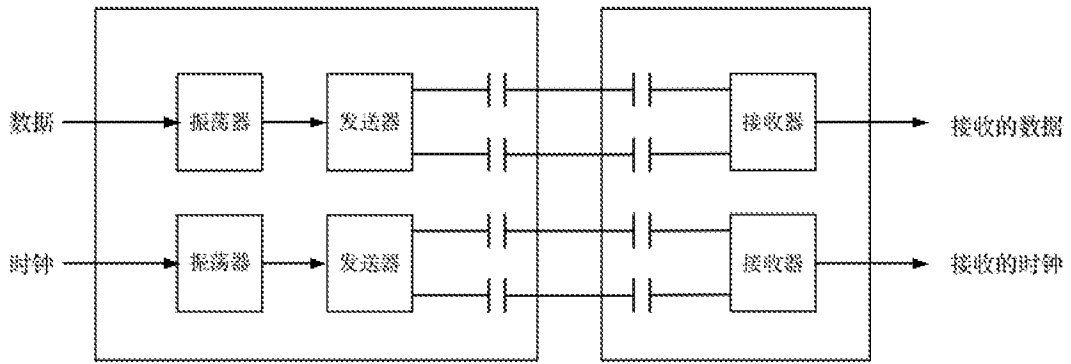


图 1

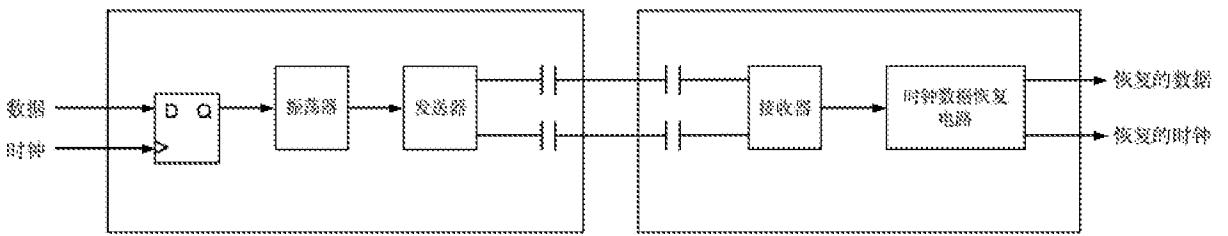


图 2

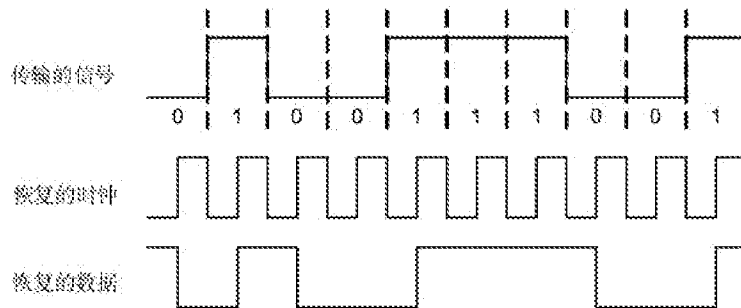
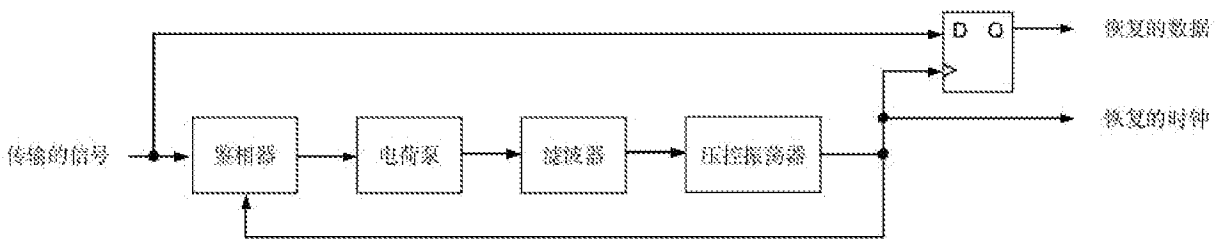


图 3

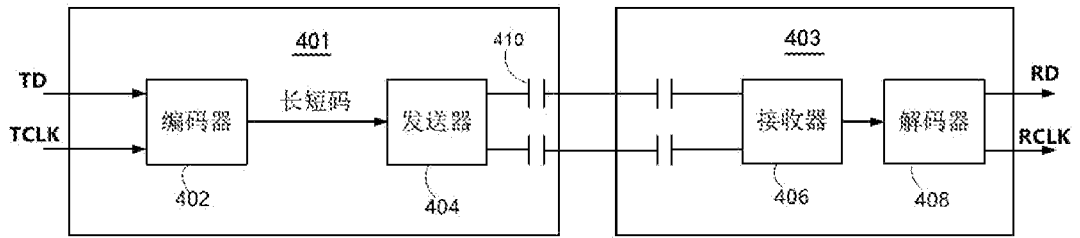


图 4

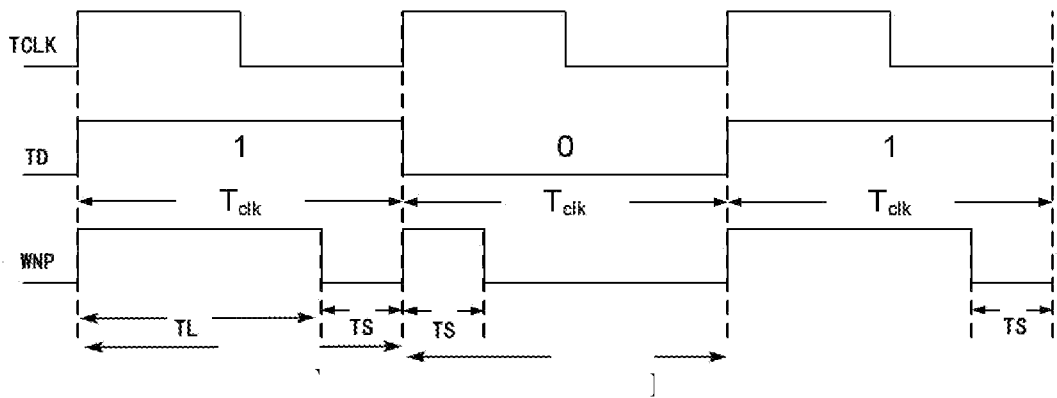


图 5

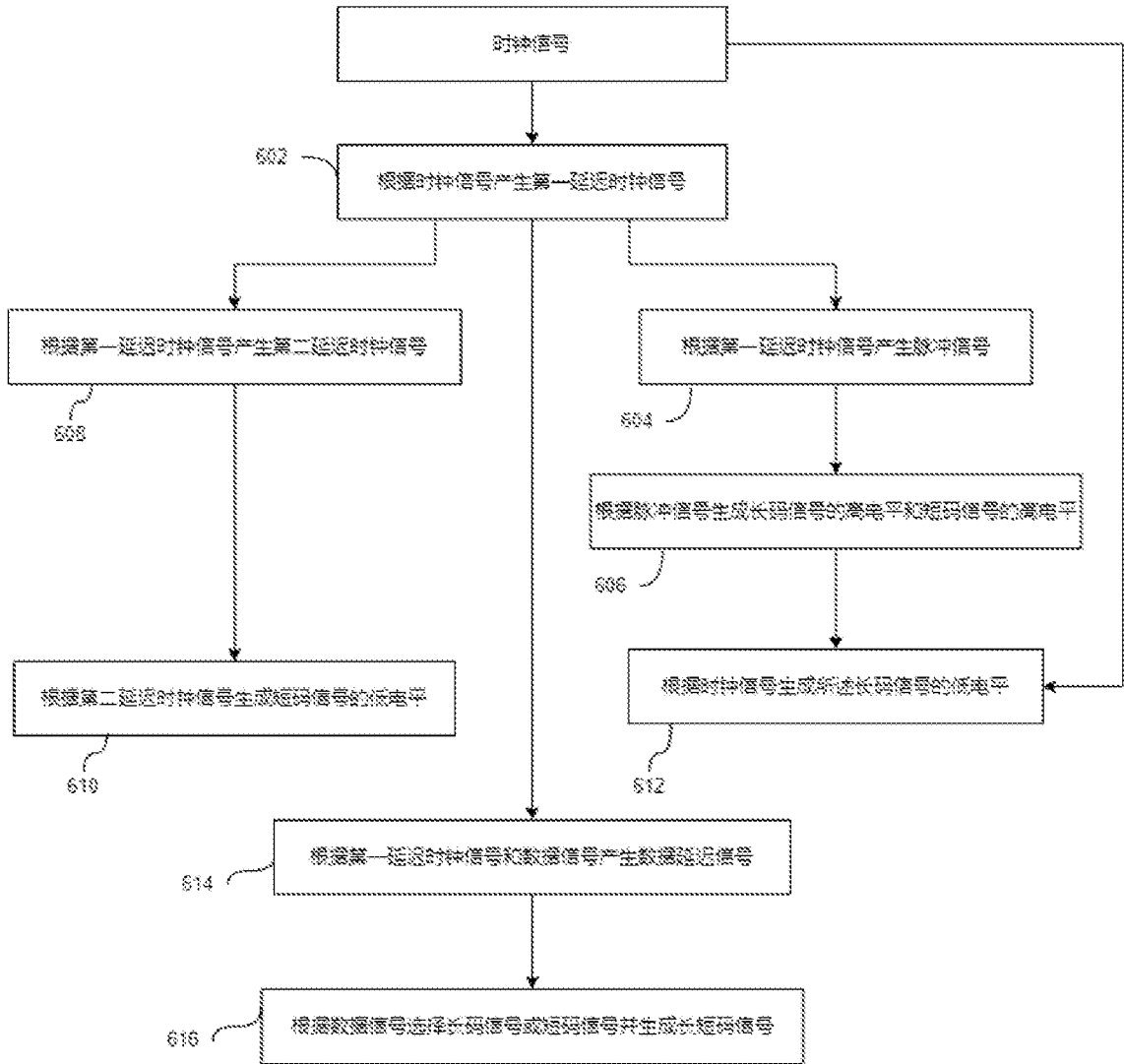


图 6

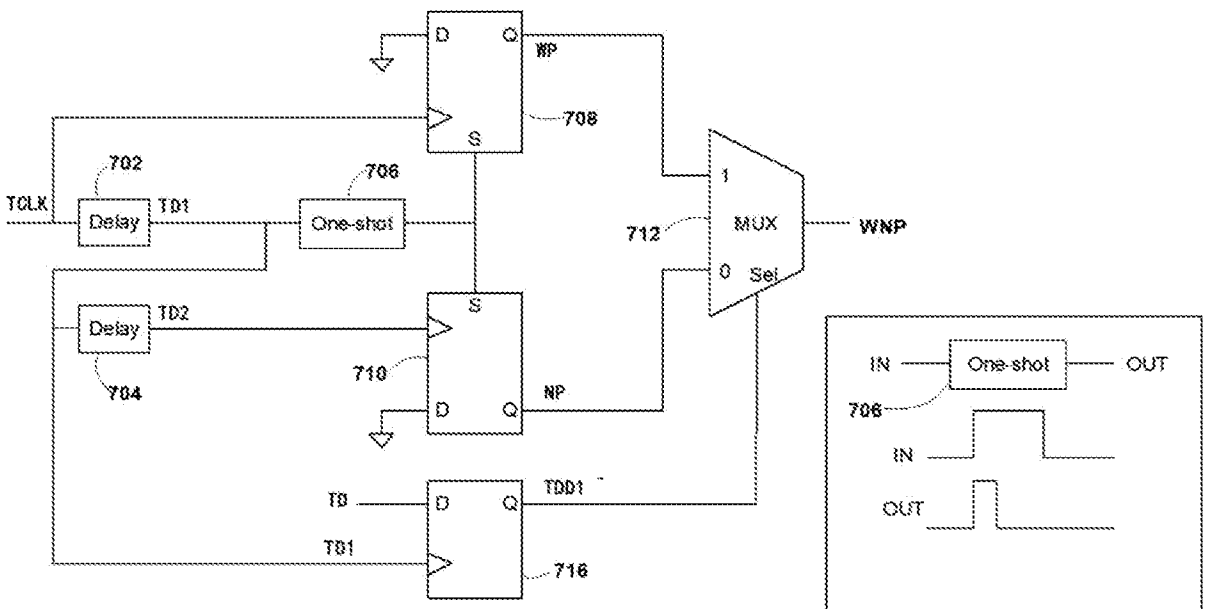


图 7

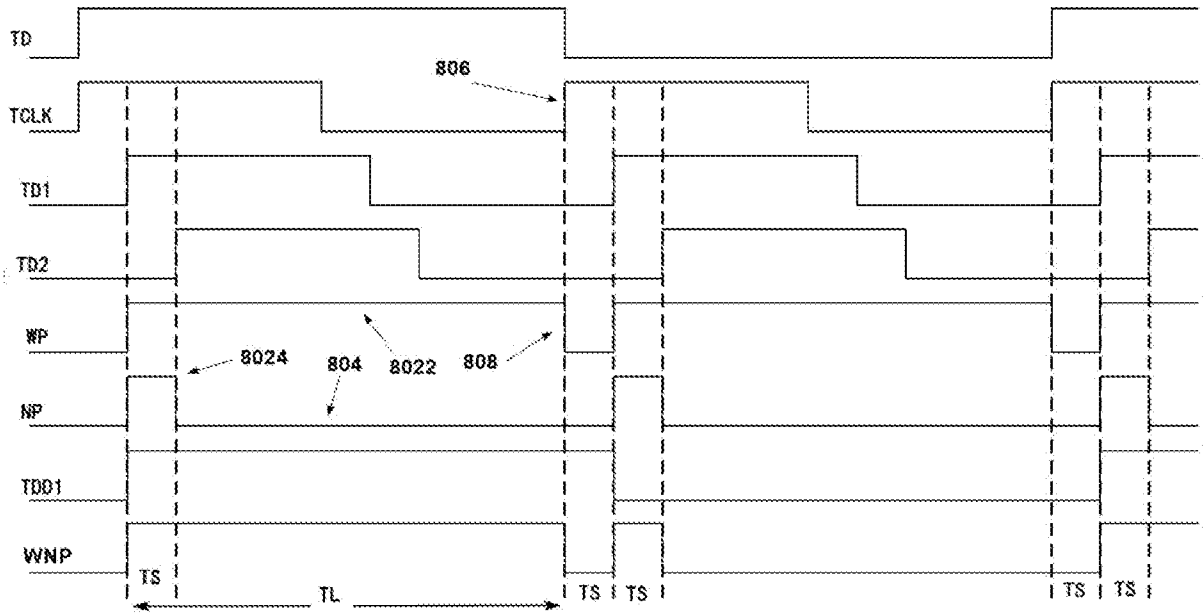


图 8

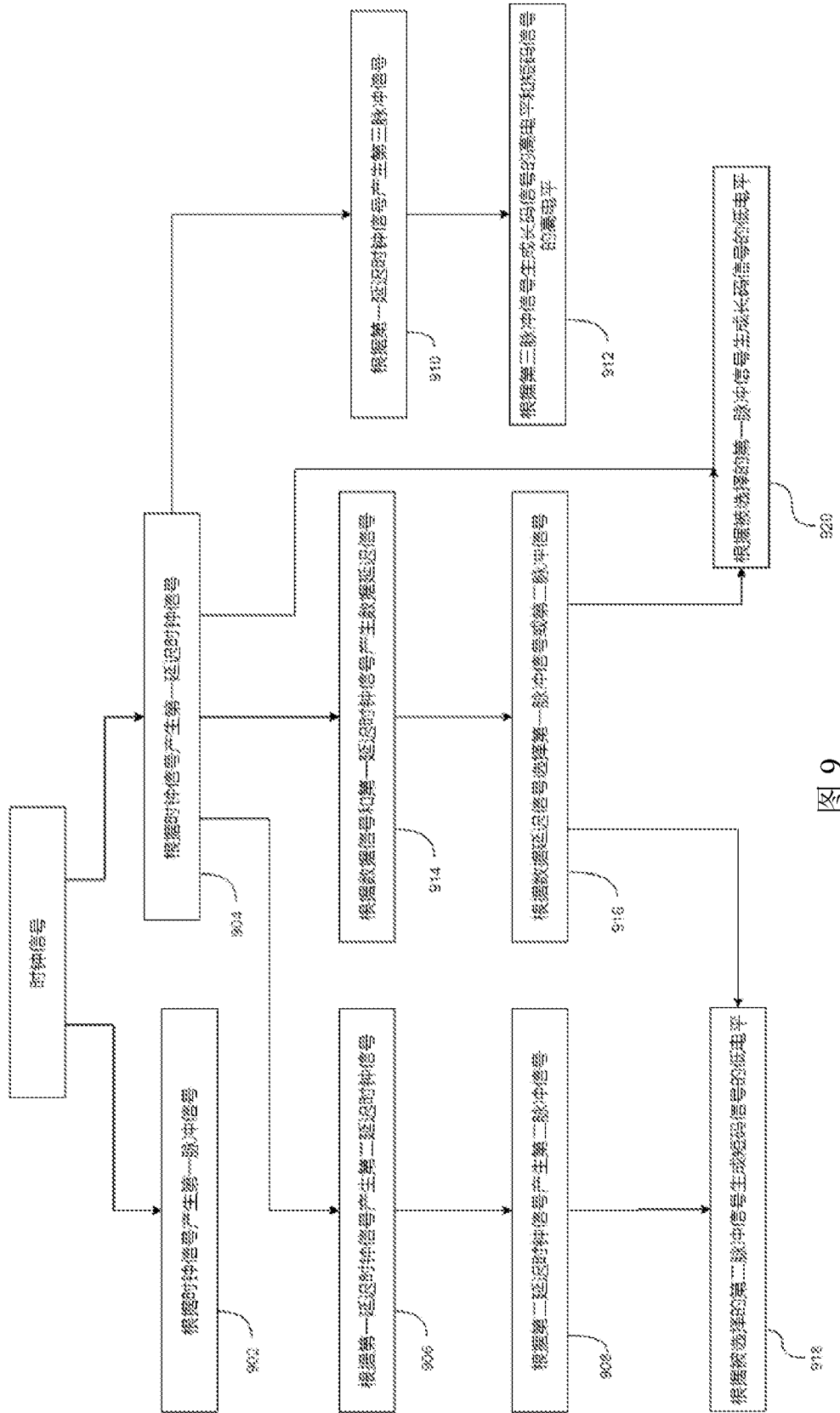


图 9

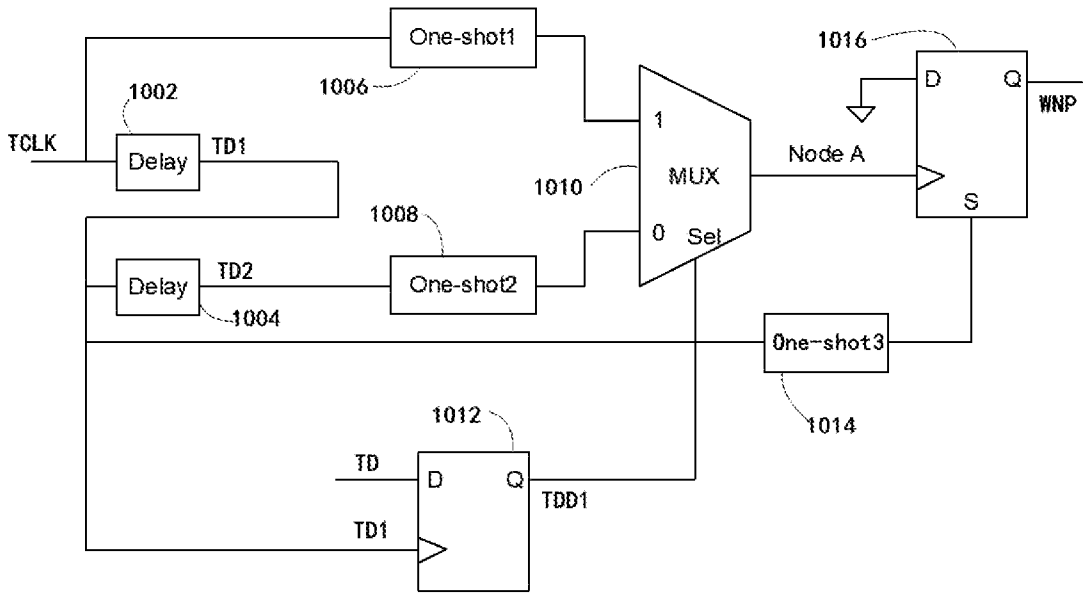


图 10

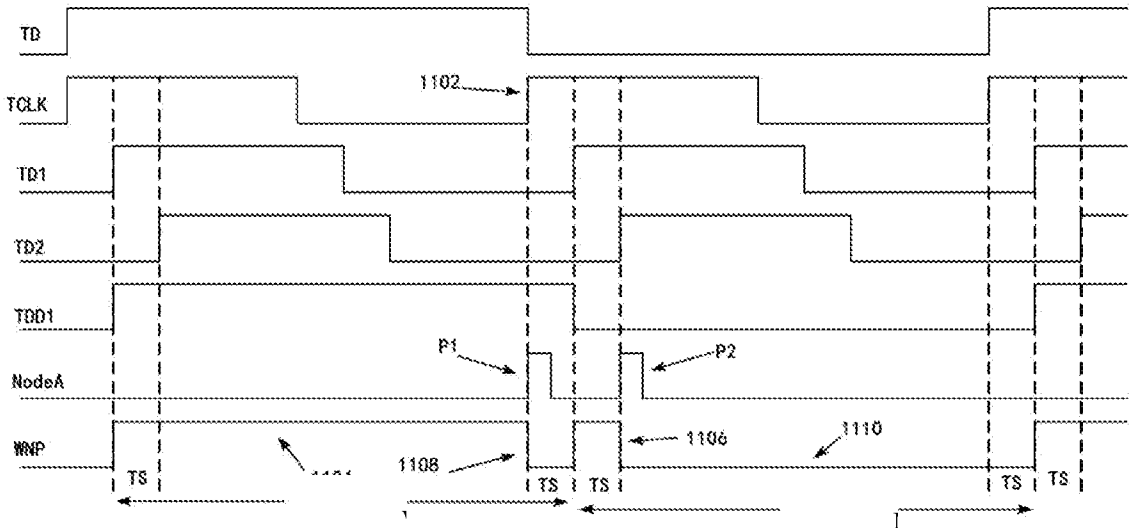


图 11

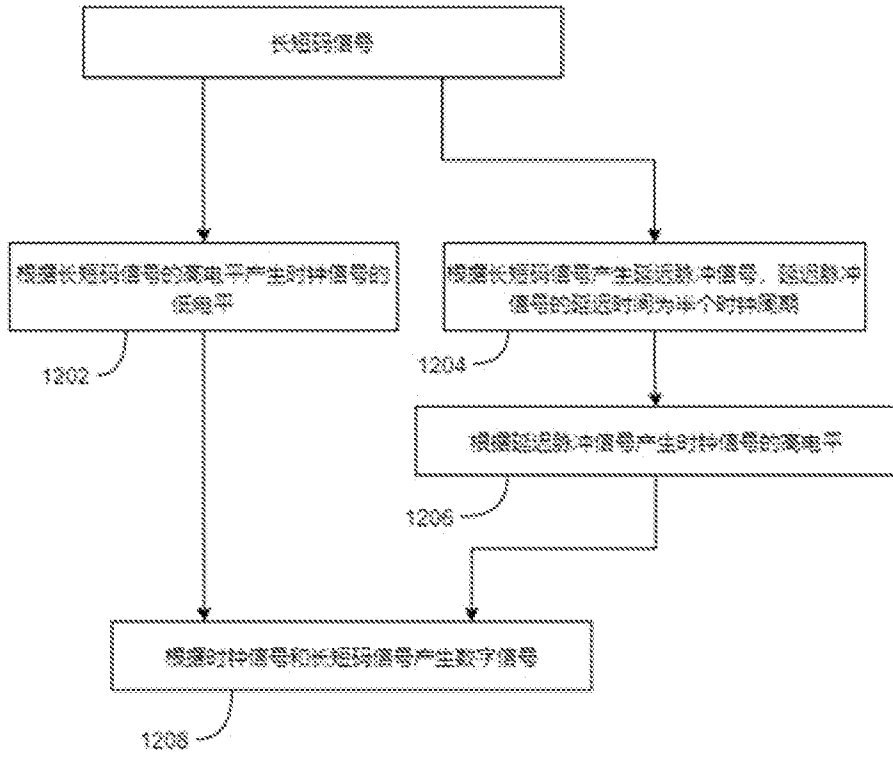


图 12

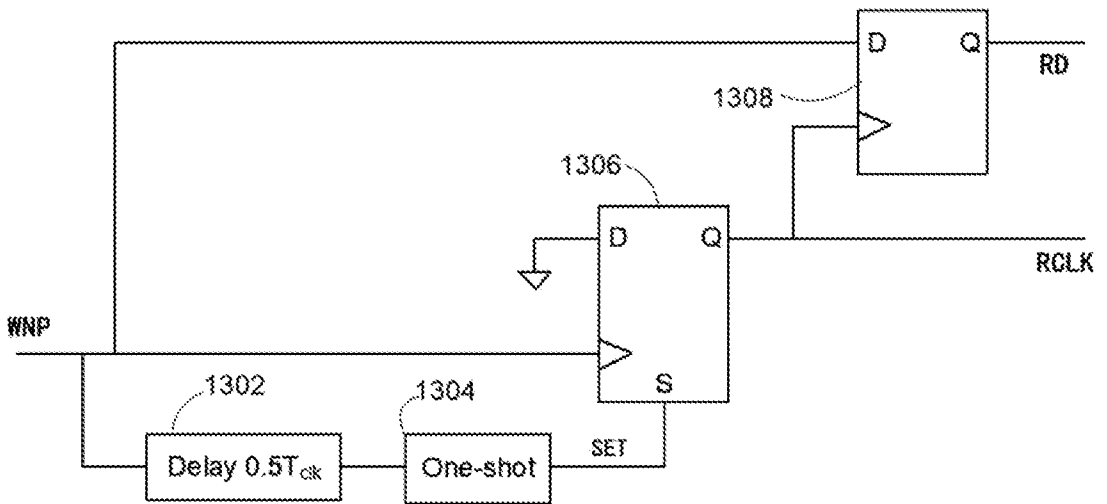


图 13

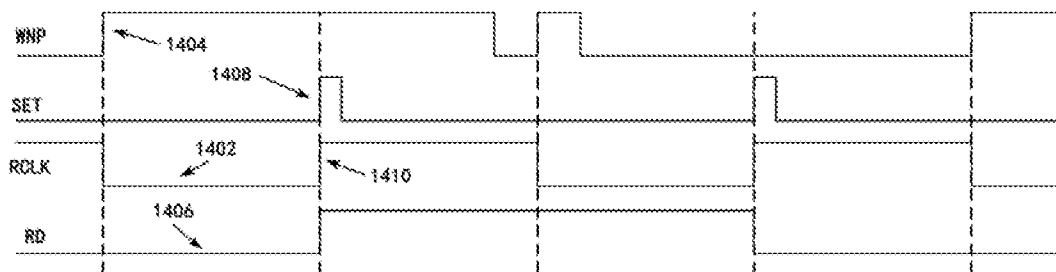


图 14

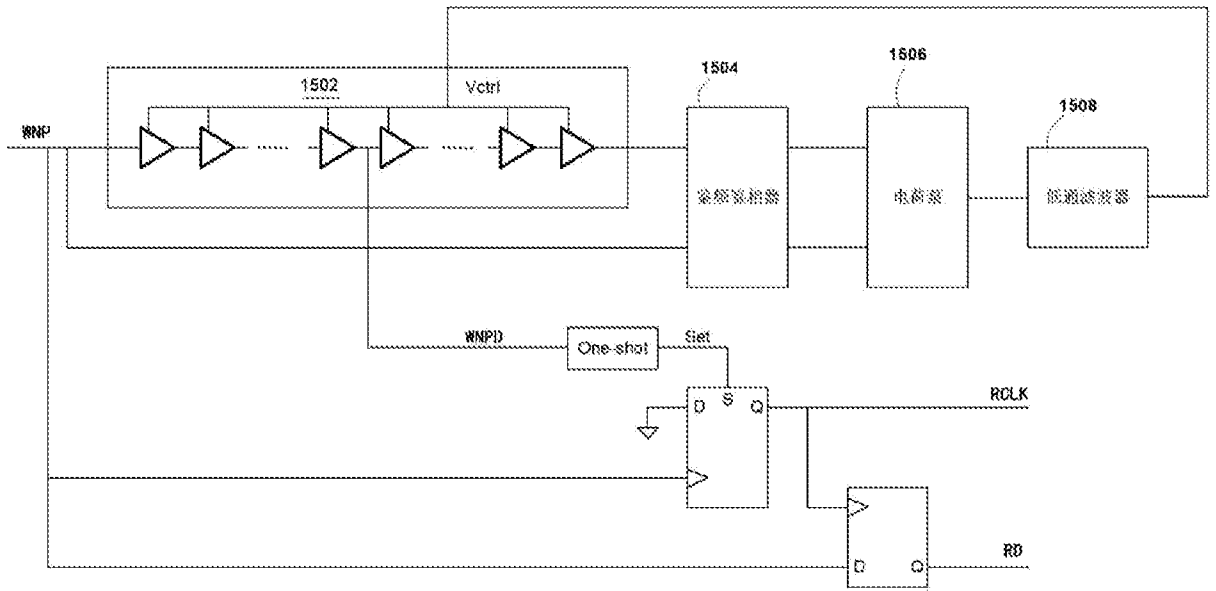


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/080838

A. CLASSIFICATION OF SUBJECT MATTER		
H04L 1/00(2006.01)i; H03M 5/04(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H04L; H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; ENTXTC; WPABSC; VEN; ENTXT; CNKI; IEEE: 时钟, 数据, 单通道, 编码, 长码, 短码, 脉宽, 占空比, 高电平, 低电平, 脉冲, 延迟, clock, data, single channel, encod+, long code, short code, pulse width, duty ratio, high level, low level, pulse, delay		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113645007 A (SUZHOU NOVOSENSE MICROELECTRONICS CO., LTD.) 12 November 2021 (2021-11-12) claims 1-13, and description, paragraphs [0024]-[0100]	1-13
X	JP S56164654 A (BOEICHO GIJUTSU KENKYU HONBUCH et al.) 17 December 1981 (1981-12-17) abstract, and figures 1 and 2	1, 2
A	CN 101247128 A (NANJING UNIVERSITY OF AERONAUTICS AND ASTRONAUTICS) 20 August 2008 (2008-08-20) entire document	1-13
A	CN 102035514 A (SOUTHEAST UNIVERSITY) 27 April 2011 (2011-04-27) entire document	1-13
A	CN 108123714 A (SAMSUNG ELECTRONICS CO., LTD.) 05 June 2018 (2018-06-05) entire document	1-13
A	EP 1335495 A2 (ZARLINK SEMICONDUCTOR AB) 13 August 2003 (2003-08-13) entire document	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
21 June 2022		01 July 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/080838

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113645007	A	12 November 2021	None			
JP	S56164654	A	17 December 1981	JP	S6322502	B2	12 May 1988
CN	101247128	A	20 August 2008	None			
CN	102035514	A	27 April 2011	None			
CN	108123714	A	05 June 2018	KR	20180060100	A	07 June 2018
				US	2018152283	A1	31 May 2018
				DE	102017111186	A1	30 May 2018
EP	1335495	A2	13 August 2003	GB	0202189	D0	20 March 2002
				US	2003174078	A1	18 September 2003

国际检索报告

国际申请号

PCT/CN2022/080838

<p>A. 主题的分类</p> <p>H04L 1/00(2006.01)i; H03M 5/04(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																			
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H04L; H03M</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX;ENTXTC;WPABSC;VEN;ENTXT;CNKI;IEEE: 时钟, 数据, 单通道, 编码, 长码, 短码, 脉宽, 占空比, 高电平, 低电平, 脉冲, 延迟, clock, data, single channel, encod+, long code, short code, pulse width, duty ratio, high level, low level, pulse, delay</p>																																			
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 113645007 A (苏州纳芯微电子股份有限公司) 2021年11月12日 (2021 - 11 - 12) 权利要求1-13, 说明书第[0024]-[0100]段</td> <td>1-13</td> </tr> <tr> <td>X</td> <td>JP S56164654 A (BOEICHO GIJUTSU KENKYU HONBUCH 等) 1981年12月17日 (1981 - 12 - 17) 摘要, 图1、2</td> <td>1, 2</td> </tr> <tr> <td>A</td> <td>CN 101247128 A (南京航空航天大学) 2008年8月20日 (2008 - 08 - 20) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102035514 A (东南大学) 2011年4月27日 (2011 - 04 - 27) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 108123714 A (三星电子株式会社) 2018年6月5日 (2018 - 06 - 05) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>EP 1335495 A2 (ZARLINK SEMICONDUCTOR AB) 2003年8月13日 (2003 - 08 - 13) 全文</td> <td>1-13</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 113645007 A (苏州纳芯微电子股份有限公司) 2021年11月12日 (2021 - 11 - 12) 权利要求1-13, 说明书第[0024]-[0100]段	1-13	X	JP S56164654 A (BOEICHO GIJUTSU KENKYU HONBUCH 等) 1981年12月17日 (1981 - 12 - 17) 摘要, 图1、2	1, 2	A	CN 101247128 A (南京航空航天大学) 2008年8月20日 (2008 - 08 - 20) 全文	1-13	A	CN 102035514 A (东南大学) 2011年4月27日 (2011 - 04 - 27) 全文	1-13	A	CN 108123714 A (三星电子株式会社) 2018年6月5日 (2018 - 06 - 05) 全文	1-13	A	EP 1335495 A2 (ZARLINK SEMICONDUCTOR AB) 2003年8月13日 (2003 - 08 - 13) 全文	1-13	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																	
PX	CN 113645007 A (苏州纳芯微电子股份有限公司) 2021年11月12日 (2021 - 11 - 12) 权利要求1-13, 说明书第[0024]-[0100]段	1-13																																	
X	JP S56164654 A (BOEICHO GIJUTSU KENKYU HONBUCH 等) 1981年12月17日 (1981 - 12 - 17) 摘要, 图1、2	1, 2																																	
A	CN 101247128 A (南京航空航天大学) 2008年8月20日 (2008 - 08 - 20) 全文	1-13																																	
A	CN 102035514 A (东南大学) 2011年4月27日 (2011 - 04 - 27) 全文	1-13																																	
A	CN 108123714 A (三星电子株式会社) 2018年6月5日 (2018 - 06 - 05) 全文	1-13																																	
A	EP 1335495 A2 (ZARLINK SEMICONDUCTOR AB) 2003年8月13日 (2003 - 08 - 13) 全文	1-13																																	
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																		
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																		
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件																																		
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																			
国际检索实际完成的日期	国际检索报告邮寄日期																																		
2022年6月21日	2022年7月1日																																		
ISA/CN的名称和邮寄地址	授权官员																																		
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	张洁																																		
传真号 (86-10)62019451	电话号码 (86-512)88996056																																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/080838

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113645007	A	2021年11月12日	无			
JP	S56164654	A	1981年12月17日	JP	S6322502	B2	1988年5月12日
CN	101247128	A	2008年8月20日	无			
CN	102035514	A	2011年4月27日	无			
CN	108123714	A	2018年6月5日	KR	20180060100	A	2018年6月7日
				US	2018152283	A1	2018年5月31日
				DE	102017111186	A1	2018年5月30日
EP	1335495	A2	2003年8月13日	GB	0202189	D0	2002年3月20日
				US	2003174078	A1	2003年9月18日