

(12) 发明专利

(10) 授权公告号 CN 101384915 B

(45) 授权公告日 2011. 12. 07

(21) 申请号 200780005845. 8

(22) 申请日 2007. 02. 19

(30) 优先权数据

60/774, 588 2006. 02. 17 US

11/552, 128 2006. 10. 23 US

(85) PCT申请进入国家阶段日

2008. 08. 18

(86) PCT申请的申请数据

PCT/US2007/062389 2007. 02. 19

(87) PCT申请的公布数据

W02007/098430 EN 2007. 08. 30

(73) 专利权人 菲尼萨公司

地址 美国加利福尼亚州

(72) 发明人 埃里克·J·兰宁

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 王萍 李春晖

(51) Int. Cl.

G01R 31/3177(2006. 01)

G01R 31/316(2006. 01)

(56) 对比文件

US 5531614 A, 1996. 07. 02, 说明书第 3 栏第 65 行至第 4 栏第 24 行.

US 5787253 A, 1998. 07. 28, 说明书第 4 栏第 18 行至第 5 栏第 43 行, 第 9 栏第 5 行至第 11 栏第 28 行.

US 2005/0201537 A1, 2005. 09. 15, 全文.

CN 1821989 A, 2006. 08. 23, 全文.

CN 1710837 A, 2005. 12. 21, 全文.

审查员 张培

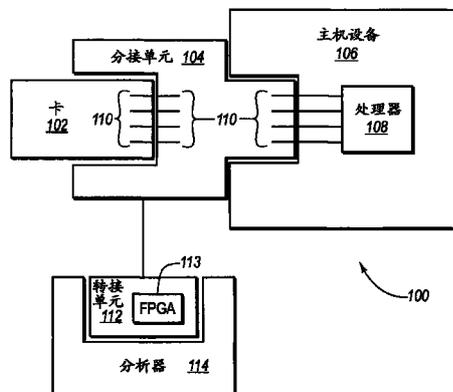
权利要求书 2 页 说明书 6 页 附图 2 页

(54) 发明名称

对设备总线进行采样

(57) 摘要

一种用于准备分接的数据以供进行分析的方法。以某一速率对总线上的数据进行采样并开锁，以产生原始数据。然后，由针对待测试系统中的总线的协议而配置的转接单元对原始数据进行解码。然后，可以将经过解码的数据提供给协议分析器，以供进行分析。经过解码的数据和相应的原始数据还可以被进行校准，然后呈现给分析器以供进行协议分析。



1. 一种用于分析到待测试系统的总线上的数据的方法,所述系统包括主机和设备,所述方法包括:

将分接单元连接到待测试系统,其中,该分接单元在主机和设备之间提供直通总线;

将分接单元连接到转接单元,该转接单元与协议分析器相连接;

在转接单元接收来自分接单元的 ID,其中,协议分析器使用所述 ID 来针对在待测试系统中工作的协议配置所述转接单元;

使用以高于待测试系统的时钟速率的速率操作的时钟来对总线进行采样,所述时钟是由转接单元提供的;

通过在时钟的上升沿和 / 或下降沿闩锁数据,反复地对总线进行采样,直到获得数据段,该数据段由原始数据表示,其中,对数据段中的每一比特进行一次以上的采样和闩锁;

将原始数据的数据段解码为经过解码的数据;以及

将原始数据与经过解码的数据进行排列。

2. 根据权利要求 1 所述的方法,其中,对总线进行采样的处理进一步包括分接总线的各线,而不对总线的各线上的信号进行重新定时。

3. 根据权利要求 1 所述的方法,进一步包括下列各项中的一个或多个:

从经过解码的数据生成状态列表;

从经过解码的数据生成命令解码;

从经过解码的数据生成定时脉冲波形;

从经过解码的数据生成树视图;

过滤经过解码的数据;

基于经过解码的数据进行触发;或

基于经过解码的数据生成统计信息。

4. 根据权利要求 1 所述的方法,其中,将原始数据与经过解码的数据进行排列的处理进一步包括将采样的原始数据与经过解码的数据进行校准。

5. 根据权利要求 4 所述的方法,进一步包括以经过解码的数据可视地呈现采样数据,以便经过解码的数据的每一比特都与多个样本关联。

6. 根据权利要求 5 所述的方法,进一步包括基于采样的数据与经过解码的数据的校准来识别总线的特定的线的问题。

7. 根据权利要求 1 所述的方法,其中,通过在时钟的上升沿和 / 或下降沿闩锁数据来反复地对总线进行采样直到获得一段数据的处理进一步包括对数据的字节进行采样。

8. 根据权利要求 1 所述的方法,其中,通过在时钟的上升沿闩锁总线来反复地对总线进行采样直到获得一段数据的处理进一步包括对总线的每一条线上或总线的每一条数据线上的一个比特进行采样。

9. 根据权利要求 1 所述的方法,进一步包括为协议分析器准备经过解码的数据。

10. 根据权利要求 1 所述的方法,进一步包括从分接单元接收原始数据作为低电压差分信号。

11. 根据权利要求 10 所述的方法,进一步包括调节转接单元中的 FPGA 的内电压,以适应低电压差分信号。

12. 根据权利要求 11 所述的方法,进一步包括将信号转换为协议分析器所需的形式。

-
13. 根据权利要求 11 所述的方法,进一步包括将 LVTTTL 信号转换为 LVDS 信号。

对设备总线进行采样

技术领域

[0001] 本发明涉及通过对总线进行分接来分析主机和设备之间的信号。具体来说,本发明的实施例涉及对总线进行采样,以便为分析总线上的数据做准备。

背景技术

[0002] 协议分析器是帮助诊断和检测网络上发生的问题的设备。通常,协议分析器在网络上的流量或总线上的流量发生时对其进行查看。当数据正在被监视时,协议分析器可以检测问题或某些定义的条件。此时,分析器触发和捕获网络上或总线上存在的数据。捕获的数据的量可以取决于分析器的缓冲器的大小。分析器也可以被配置为使得捕获的数据代表在触发事件之前、在触发事件之后和 / 或触发事件之前和之后两者发生的数据。此外,在没有触发事件的情况下,也可以捕获数据。更合适的是,可以捕获数据,直到缓冲器已满。事实上,捕获是在发生问题时的时间的附近或分析器被触发时的时间的附近网络上或总线上存在的数据的快照。然后,可以分析捕获的数据,以帮助解决许多问题并改善网络通信或改善主机和设备之间的通信。

[0003] 然而,某些协议难以在分析器中实现。SD(安全数字卡)、SDIO(SD输入/输出卡)、MMC(多媒体卡)和 CE-ATA(家用电器-高级技术附件)是难以进行分析的协议的示例。

[0004] 一些原因与使用 SD、SDIO、MMC 或 CE-ATA 的设备的物理尺寸相关。其他原因与成本相关。例如,CE-ATA 连接器具有有限的占空比。因为反复地连接和断开协议分析器,当分析 CE-ATA 时,成本会变成大问题。此外,许多消费设备不在相同的电压电平操作。在没有预先知道电压电平时这会使将系统连接到协议分析器的问题复杂化,因为分析器不能区别低和高信号。此外,当总线是电子的而不是光学的时,还有与阻抗匹配和电容性负载相关的问题。

发明内容

[0005] 这些及其他局限性可通过本发明的实施例来克服,本发明的实施例涉及用于对主机和设备之间的总线上的数据进行采样或用于分析诸如主机和设备的待测试系统的系统和方法。具体来说,本发明的实施例涉及在总线速度可能未知、待测试系统的工作电压可能未知等等的情况下用于对总线上的数据进行采样的系统和方法。本发明的实施例能使总线被采样而无需知道待测试系统的这些参数。待测试系统可以是主机和诸如消费设备的设备(如具有任何形状因数的存储器卡)。

[0006] 在一个实施例中,提供了一种用于分析到待测试系统的总线上的数据的方法。该方法通常是通过将分接单元(tap)连接到待测试系统开始的。分接单元通常在主机和设备之间提供直通(pass through)总线,总线的各线上存在的信号不被重新定时。接下来,分接单元与转接单元(pod)连接在一起,而转接单元又与协议分析器相连接。由分接单元所提供的 ID 能使转接单元被配置或编程为处理分接的数据。可替代地,转接单元可以针对特定的待测试系统被预编程。在某些实施例中,转接单元可以由协议分析器针对另一个系统

重新编程。

[0007] 一旦正确地连接了分接单元,分接单元或转接单元可以开始通过使用其速率高于待测试系统的时钟速率的时钟来对信号进行采样,从而分接总线的各线上的信号。优选情况下,时钟速率可以是待测试系统的时钟速率的两倍以上。反复地采样和门锁总线的各线上(或某些线上)的信号,以产生原始数据。结果,数据的每一个比特通常都对应于原始数据的多个样本。然后,对原始数据进行解码,以产生经过解码的数据,并可以将经过解码的数据呈现给协议分析器,以供进行分析。在某些情况下,转接单元也可以提供某些功能,如状态列表解码、命令列表解码、定时脉冲波形、捕获前滤波、捕获后滤波、触发、实时统计信息、捕获后统计信息、直方图和树视图。

[0008] 在一个实施例中,可以将经过解码的数据与采样的原始数据进行校准。可以可视地呈现此校准情况,并可以将此校准用来识别总线的特定线所存在的问题。

[0009] 通过下面的描述和所附的权利要求,本发明的这些及其他优点和特征将变得显而易见,或者,也可以通过如下面所描述的本发明的实践来了解这些情况。

附图说明

[0010] 为了理解本发明的优点和特征,将通过参考所附图形中显示的特定实施例,提供本发明的具体描述。可以理解这些图形只描述了本发明的典型的实施例,因此不意欲作为对其范围的限制,将通过使用附图并利用额外的特征和细节描述和说明本发明,在附图中:

[0011] 图 1 显示了用于实现本发明的实施例的示范性环境;

[0012] 图 2 显示了与卡和主机之间的双向总线进行接口的分接单元的一个实施例;以及

[0013] 图 3 显示了用于准备总线上的数据以供进行分析的示范性流程图。

具体实施方式

[0014] 本发明的实施例克服了常规系统的局限性,并涉及用于进行协议分析的系统和方法。具体来说,本发明的实施例涉及用于准备总线上的数据以便由协议分析器进行分析的系统和方法,并包括采样方法。一般而言,每隔一定的时间间隔对总线上的数据进行采样。对总线进行采样的时间间隔可以基于总线的预计的频率,或者可以基于采样时钟或基于其他条件。通常,采样速率是总线的速率的至少两倍。

[0015] 因此,分接单元对总线进行分接,然后,转接单元可以对由分接单元所提供的信号进行采样,以产生采样数据。因为转接单元知道连附了什么样的分接单元以及什么样的协议在待测试系统上起作用,所以转接单元可以根据协议将采样数据解码为字节、字、命令等等。然后,将经过解码的数据提供到分析器,以便进行分析。同时,转接单元可以将采样数据与经过解码的数据进行排列或校准。例如,可以将经过解码的数据的字节与对于该字节产生的所有总线样本进行排列或校准。有益地,这提供了经过解码的数据以及总线上实际发生的情况的综览。

[0016] 根据本发明的实施例的协议分析器包括分析器、转接单元和分接单元板或分接单元。此外,本发明的实施例还包含了差分信号和/或单端信号两者。一些差分输入/输出也可以作为单端输入/输出来实现。分接单元通常连接到待测试系统,以使得分接单元能

将系统的总线上的信号提供到转接单元。为传递分接的信号,分接单元与转接单元相连接或接口,而转接单元又与分析器相接口。通过这些连接,总线上存在的信号可以呈现给分析器。转接单元也可以在将分接的信号传递给协议分析器之前执行某些功能。

[0017] 分接单元提供能使得转接单元确定连接到什么类型的分接单元的 ID。一旦确定了分接单元类型, FPGA 就可以被预先编程或编程。如果对 FPGA 进行预先编程以便处理多个协议,则基于 ID 进行适当的选择。或者,可以基于分接单元的 ID 对 FPGA 进行编程。在识别所连附的分接单元的类型之后,转接单元理解应该如何处理来自总线的的数据。转接单元可以识别总线的每一条线或识别从分接单元接收到的特定信号,并在将信号和 / 或其他数据提供到分析器之前适当地对它们进行操作。在一个实施例中,由分接单元采样的数据被转接单元作为微分信号接收。

[0018] 如下面比较详细地讨论的,转接单元通常包括用于处理来自正在被分析的系统的总线的信号的 FPGA、微处理器和 / 或专用集成电路 (asic)。由转接单元执行的处理可以包括但不限于:对由分接单元所提供的数据进行采样,对采样数据进行解码,以及向分析器呈现经过解码的数据。例如,通过读取或接收分接单元的 ID,可以指示转接单元如何处理或如何解码数据。在一个示例中, ID 能使转接单元和 / 或分析器识别总线上的每一个信号代表什么。

[0019] 转接单元还可以包括诸如 LED 的控制状态指示器。在一个实施例中,分接单元和转接单元是分离的,并使用电缆连接在一起。这样便可以制造相对来说便宜的分接单元,并可以根据需要对其进行替换。如前面所指出的,某些连接器具有相对来说比较低的插入循环计数,更换转接单元比替换分接单元更加昂贵。

[0020] 转接单元可以至少两种不同的方式连接到分接单元。首先,分接单元板或分接单元可以直接或通过电缆与连接器进行连接。为确保信号完整性,可以使用 LVDS (低压差分信号) 信号。本发明的实施例将 LVDS 信号结合到分接单元中,以便如下面所描述的确定总线上的信号是高还是低。在某些情况下,可以转换电压电平,以符合分接单元、转接单元、和 / 或分析器的各种信号要求。例如, FPGA 中的 LVTTTL 信号可以被变换为 LVDS 信号。

[0021] 图 1 显示了用于实现本发明的实施例的示范性环境。图 1 显示了用于分析总线上的信号的系统 100、网络连接或其他系统。在此示例中,系统 100 包括与卡 102 进行连接的主机 106。主机 106 和卡 102 代表待测试系统,在主机 106 和卡 102 之间进行传输的总线承载数据、命令等等。卡 102 代表各种媒体卡,包括但不限于: MMC (多媒体卡) 卡、RS-MMC (尺寸减小的多媒体卡)、MMCplus、MMCmobile、DV (双电压) MMC 卡、CE-ATA (家用电器 - 高级技术附件) 设备、SD (安全数字) 卡、DV (双电压) SD 卡、SDIO (SD 输入 / 输出) 卡、XD 卡,记忆棒,及其他卡或设备。如上文所指出的,一些设备还可以包括驱动器。受支持的协议的示例包括但不限于: 1394a、ATA/ATAPI、Cardbus、Logic Analysis、PCI/PCI-X/Compact PCI、PCMCIA/Compact Flash、SCSI、SATA、USB、MMC、SD、SDIO, CE-ATA 等等。

[0022] 主机 106 通常被配置为从卡 102 中读取和 / 或向卡 102 写入,总线通常是双向的。主机 106 代表 (作为示例而不仅限于) 诸如个人数字助理、数码相机、个人音频播放器、数字媒体播放器、数字记录器、蜂窝电话、笔记本电脑等等的消费设备或其任何组合。主机 106 还可以是计算机或服务器计算机等等。

[0023] 卡 102 和主机 106 之间的通信通过总线 110 发生,该总线在此示例中包括在卡 102

和主机 106 之间提供电连接的接触件。分接单元 104 是能使分析器 114 查看卡 102 和主机 106 之间的总线上发生的流量而对总线或对总线上的数据的干涉最小的设备。分接单元 104 的形状因数常常取决于由主机 106 和 / 或对应的卡 102 决定的形状因数。在某些实施例中,分接单元 104 可以被配置为接受多种形状因数和 / 或可以使用不同协议的卡。

[0024] 在一个实施例中,由于若干原因,分接单元 104 与转接单元 112 是分离的。某些协议包括如前所述的具有低插入循环计数的连接器,与替换整个转接单元 112 相比,当连接器发生故障时能够替换分接单元 104 是有利的。可分离的分接单元 104 也有助于在大小受限制的区域中,以及对于某些测试情况,如待测试系统的振动试验中使用分析器 114。

[0025] 在转接单元 112 从分接单元 104 接收卡 102 和主机 106 之间的总线上的数据。转接单元 112 适于与分析器 114 进行连接,虽然本发明的实施例采用的是与分析器 114 集成的转接单元 112。此外,在某些情况下,转接单元 112 可以被重新编程,以便与不同协议一起使用。当转接单元 112 是可分离的时,转接单元 112 与分析器 114 的可拆卸性允许分析器 114 通过选择适当的转接单元而适用于多种总线、网络连接等等。或者,转接单元 112 可以从分接单元 104 接收表示转接单元 112 应该如何处理被分接的信号 ID 信号。类似地,转接单元 112 可以生成 ID 信号,该 ID 信号可以被分析器 114 解释,以便分析器 114 知道所连附的是哪一个转接单元并可以进行适当的分析。

[0026] 在一个实施例中,转接单元 112 可以与多个分接单元一起使用。例如,转接单元 112 可以与 SD/MMC 分接单元、CE-ATA 分接单元或另一种分接单元一起使用。对于某一个给定分接单元或对于某一个给定协议,FPGA 113 可以被编程为对根据各种协议的要求分接的信号进行准备或解码。例如,FPGA 可以被编程为处理多种协议。例如,单一的比特文件 (bitfile) 可以对 FPGA 进行编程,以处理多种协议。在此情况下,转接单元使用分接单元 ID 来确定如何处理来自分接单元的数据。或者,分析器可以使用分接单元 ID 和 / 或转接单元 ID 对 FPGA 进行编程,以处理通过分接单元从总线接收到的信号或对它们进行解码。在此情况下,用于对 FPGA 进行编程的比特文件对于特定协议是特有的。通常,通过 EEPROM,或通过 Select-Map 引脚,通过软件,执行 FPGA 的实际编程。那些精通本技术的普通人员可以理解,也可以以其他方式对 FPGA 进行编程。

[0027] 例如,基于由连附的分接单元所提供的 ID 信号,选择由转接单元解码的特定协议。可替代地,在接收 ID 信号之后,可以由分析器 114 适当地对转接单元 112 进行编程。在此示例中,转接单元 112 通常是针对 SD、SDIO、MMC 或 CE-ATA 协议配置的。转接单元 112 可以支持状态列表解码、命令列表解码、定时脉冲波形、捕获前滤波、触发、实时统计信息、直方图、捕获后统计信息、捕获后滤波、捕获的数据的树视图,及其他协议功能。

[0028] 在一个实施例中,分接单元 104 在数字信号不被分接单元 104 重新定时的意义上是直通分接单元。此外,总线也可以是双向总线。图 2 显示了包括中继器 202 的分接单元 104 的实施例。来自卡 102 的信号 204 被中继器 202 接收,然后,作为信号 206 通过并传送给主机 106。

[0029] 在另一个实施例中,卡 102 和主机 106 之间的信号不通过中继器。相反,分接单元 104 被配置为使得总线的各线被分接 (例如,使用中继器上的通道或引脚),以分支到中继器 202。如此,信号 204 和信号 206 是相同的信号。到中继器的线路或通道产生被传递给转接单元 112 的信号 208。为使电容性负载最小,通过使总线的各线分支而产生的短截线被保

持得尽可能短。此外,在中继器 202 中没有内部终端以维持阻抗匹配。

[0030] 图 3 显示了用于准备从待测试系统的总线分接的数据以供进行分析的示范性流程图。转接单元使用对总线进行分接的分接单元,以各种时间间隔对总线进行采样 302。对总线进行采样的处理可以使用由转接单元生成的时钟信号而不是使用主机的时钟信号来实现。这确保了采样时钟的速率足够快,以有效地对总线上的数据进行采样和闩锁。例如,如果总线以从 0 到 52MHz 的频率工作(虽然本发明的实施例也可以采用包括较高频率的其他时钟速度),则采样时钟的速率可以是(只作为示例)125MHz。

[0031] 对总线的每一条线进行采样(总线的宽度可以是 1x、2x、4x 或 8x,虽然本发明的实施例预期可采用其他总线宽度)。通常,以两倍于时钟速率的速率对总线进行采样。优选情况下,以总线速率的两倍以上的速率对总线进行采样。在一个实施例中,当总线上的数据有效时,在时钟信号的上升沿对总线进行采样。然后,对总线上的数据进行闩锁 304,被闩锁的数据代表总线上的原始数据。可以对总线上的数据中的每一比特进行多于一次的采样。

[0032] 重复对总线进行采样以及对数据进行闩锁的过程,直到获得一个字节(或其他适当的数据段)。然后,转接单元可以对该字节或其他段进行解码。然后,将经过解码的数据提供到协议分析器,以供进行协议分析。由转接单元执行的解码过程可以包括但不限于:状态列表解码(导致显示由分析器捕获的事件的按时间发生顺序的列表),以及命令列表解码。转接单元还包括用于执行定时脉冲波形(显示了线路的信号电平表示)、捕获前滤波、触发、实时统计信息、直方图、原始数据与经过解码的数据的校准的模块。转接单元还可以为分析器的功能提供支持,可以包括:捕获后统计信息,捕获后滤波,以及捕获的数据的树视图。

[0033] 转接单元具有总线上的数据的两个不同表示。一个表示是原始数据或采样的数据。通常,经过解码的字节对应于多个样本。转接单元还具有解码的总线数据。然后,转接单元将原始数据与解码的数据进行校准或排列 308 以供进行分析。

[0034] 通过呈现与解码的数据校准的原始数据,例如,分析器或用户可以识别在总线的特定线上可能发生的问题,或在特定命令过程中何时发生错误。转接单元可以向分析器发送管道化的(pipelined)数据,包括原始数据和/或解码的数据,以供进一步的分析。原始数据和相应的解码数据也可以显示出来,以便可视地评定总线上的数据。

[0035] 在一个实施例中,转接单元和分析器之间的接口可以具有多个通道,包括单端通道和/或差分通道。通过使用还可以执行信号变换的芯片,可以最小化转接单元中的 FPGA 的引脚数目。例如,由 FPGA 生成的 LVTTTL 信号可以转换为分析器所需的 LVDS 信号。此外,FPGA 可以包括使用 LVTTTL 信号的存储体(bank)。结果,FPGA 的提供功率的一些存储体可以使用某些信号(例如,VREF、VRP,以及 VRN),作为通用 I/O 引脚。当使用 LVTTTL 信号时,这是可能的。此外,可以改变内电压,以便在必要时较好地接收 LVDS 信号。转接单元还可以包括 JTAG 端口,以供在对 FPGA 进行编程时使用,以及用于调试用途。

[0036] 在分析器上操作的软件可以读取转接单元的 ID,以便知道哪一个转接单元正在被使用。分析器的软件也可以通过转接单元读取分接单元上的 ID。这使得分析器软件能识别如何处理从总线 302 分接的任何数据。

[0037] 如上文所描述的,分接单元和转接单元之间的接口通常包括多个差分信号。接口还包括 Vcc、GND、可以通过跳线选择的转接单元提供的参考电压、以及一个或多个 ID 线。ID

线使得转接单元能确定所连接的分接单元的类型,并确定如何为分析器准备从总线分接的数据。

[0038] 在不偏离本发明的精神和基本特征的情况下,本发明还可以以其他特定形式来实现。所描述的实施例在各个方面都只作为说明性的,而不是限制性的。因此,本发明的范围由所附权利要求而不是由前面的描述指明。在权利要求的等同物的含义和范围内的所有更改都将包括在它们的范围内。

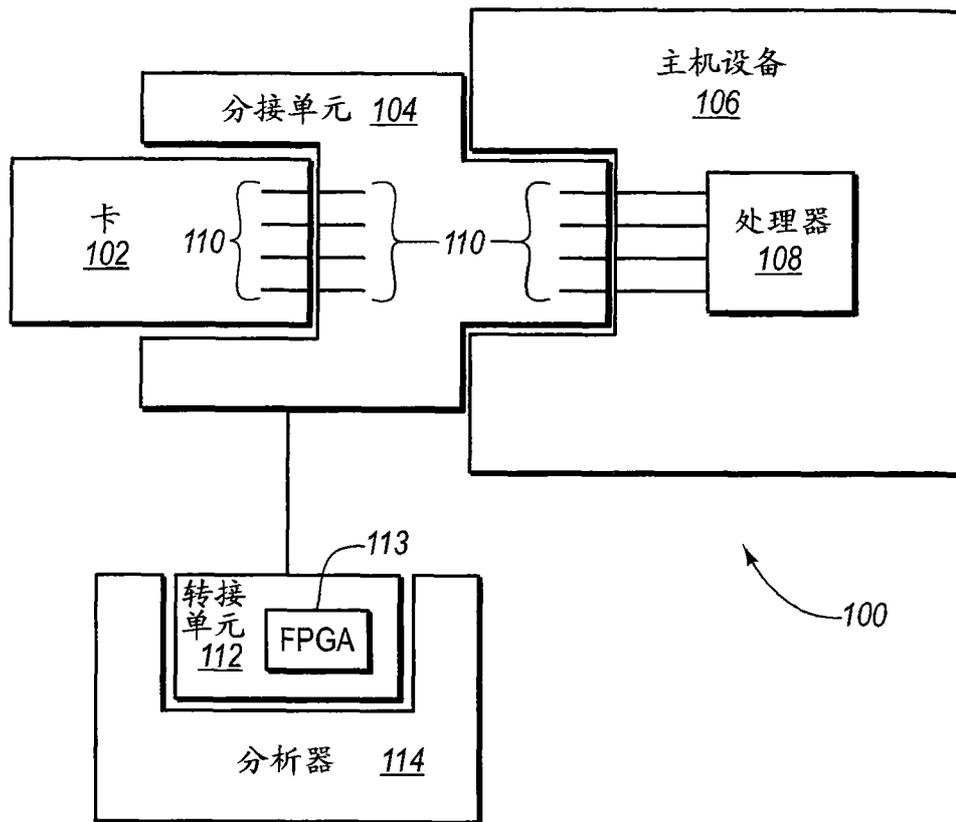


图 1

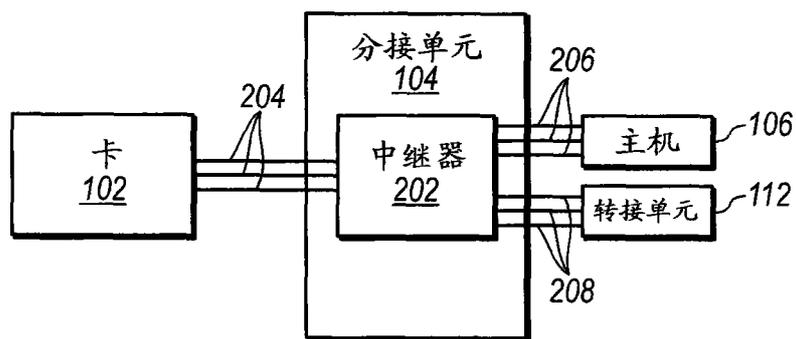


图 2

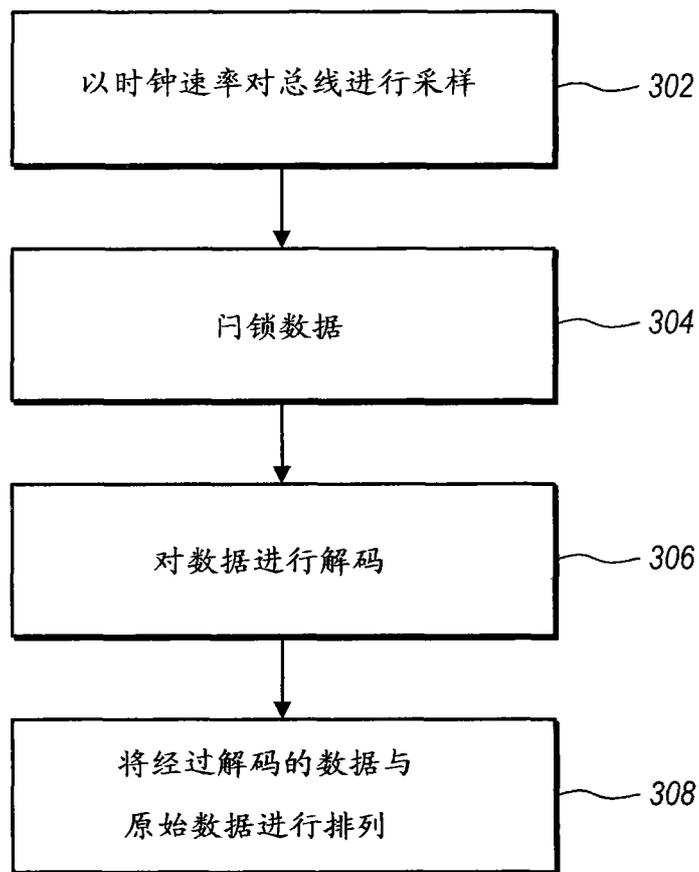


图 3