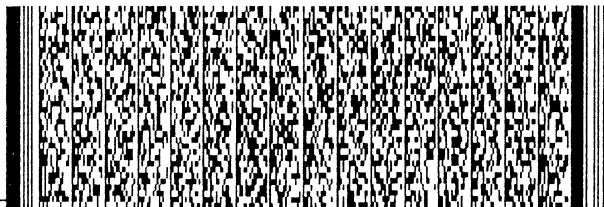


申請日期：	92-03-14	IPC分類
申請案號：	92105566	H01L 23/28

(以上各欄由本局填註)

發明專利說明書 200418152

一、 發明名稱	中 文	可於封膠製程中定位之半導體封裝件及其製法
	英 文	SEMICONDUCTOR PACKAGE POSITIONABLE IN ENCAPSULATING PROCESS AND METHOD FOR FABRICATING THE SAME
二、 發明人 (共5人)	姓 名 (中文)	1. 黃致明
	姓 名 (英文)	1. Chih-Ming HUANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中縣大甲鎮甲后路126巷9號
	住居所 (英 文)	1. No. 9, Lane 126, Chia-Hou Rd., Ta-Chia Chen, Taichung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN

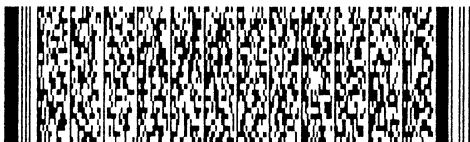


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	2. 黃建屏
	姓 名 (英文)	2. Chien Ping HUANG
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹縣竹東鎮康莊街26巷8號
	住居所 (英 文)	2. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

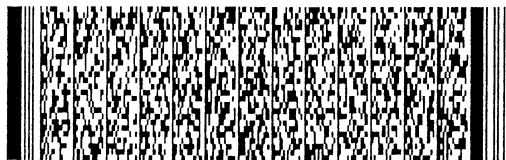


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	3. 莊瑞育 4. 詹連池
	姓 名 (英文)	3. Jui-Yu CHUANG 4. Lien-Chi CHAN
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 台中市北屯區崇德路二段447號9樓之15 4. 台中市西區建國路1-1號
	住居所 (英 文)	3. 9-15F., No. 447, Sec. 2, Tsung Te Road, Peitun District, Taichung, Taiwan, R.O.C. 4. No. 1-1, Chien-Kuo Rd., West District, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

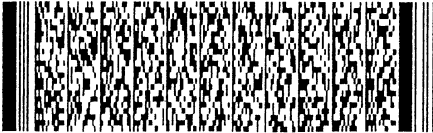


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	5. 蕭承旭
	姓 名 (英 文)	5. Cheng-Hsu HSIAO
	國 籍 (中 英 文)	5. 中 華 民 國 TW
	住 居 所 (中 文)	5. 南投市建國路226號
	住 居 所 (英 文)	5.No. 226, Chien-Kuo Rd., Nan-tou, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



一、本案已向

國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

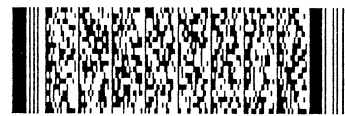
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

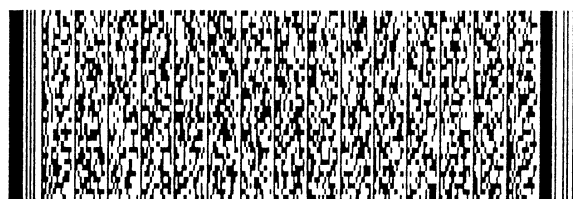
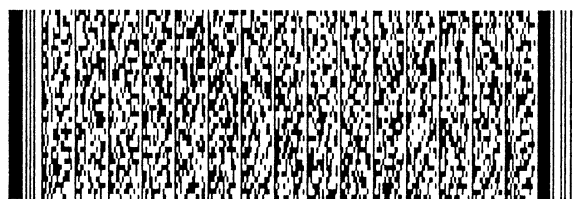
[發明所屬之技術領域]

本發明係指一種可於封膠製程中定位之半導體封裝件及其製法，尤指一種可避免該半導體封裝件於該封膠製程中受損之半導體封裝件及其製法

[先前技術]

多媒體卡 (Multi-Media Card, MMC) 封裝件係為一小型積體電路 (Integrated Circuit) 裝置，其係配置有例如多媒體晶片、可抹寫可程式化唯讀記憶體 "EPROM" 或電子式可抹寫可程式化唯讀記憶體 "EEPROM" 等記憶體晶片及控制晶片等，以發揮儲存及處理有關數位圖片或影像資料等多媒體資訊之功能，其中，該記憶體晶片及 / 或控制晶片係載接至一晶片承載件 (Chip Carrier) 上，藉之以使該晶片電性連接至外界裝置而發揮晶片之功能。

習知晶片承載件之種類包括有基板、TAB膠片及導線架三種，但基板與膠片在製造過程中需輔以精密之線路佈局，且其單價較導線架為高，故若以此為晶片承載件則將導致封裝成本的提高，例如美國專利第 6,040,622 號案所揭示以基板為承載件之多媒體卡封裝件，即有成本之問題 (基板單價往往佔整體成本之一半以上)，因此，我國專利公告號第 484,222 號即使用一種以導線架為晶片承載件之多媒體卡封裝件，以解決上述問題，其係如第 10 圖所示，使用具有一晶片座 11 (Die Pad) 及多數位於該晶片座 11 一側之導腳 12 的導線架 10，各導腳 12 係由一外導腳段 13 及一內導腳段 15 所構成，且令該外導腳段 13 與內導腳段 15 間形

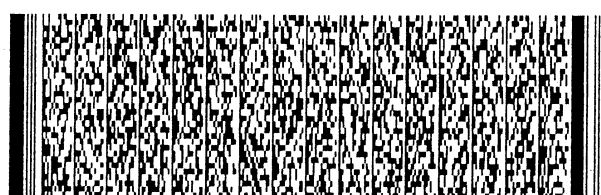
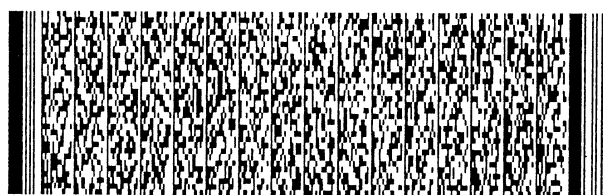


五、發明說明 (2)

成一高度差；以至少一半導體晶片 16 黏接至該晶片座 11 上並藉多數鉅線 17 (如金線)電性連接至該內導腳段 15；接著，進行一模壓作業，以形成一封裝膠體 18

(Encapsulant)包覆該晶片 16、鉅線 17、晶片座 11 及導腳 12，並令該外導腳段 13 之一表面 130 外露出該封裝膠體 18，以作為輸入/輸出端而與外界形成電性連接。

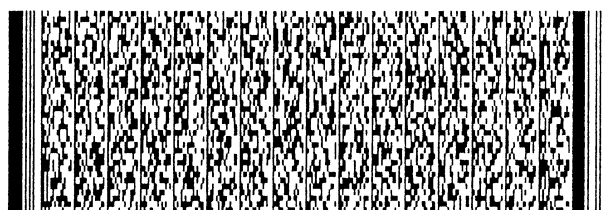
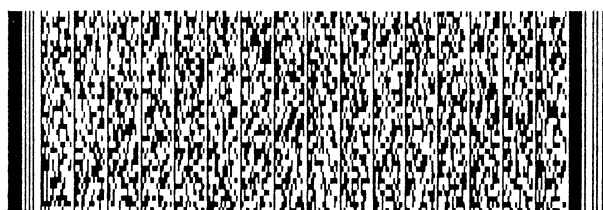
此一半導體封裝件雖可降低晶片承載件的成本，惟卻衍生出其他製程問題，例如其整體封裝結構係架構於該導線架 10 上且令導線架 10 為該封裝膠體 18 所包覆，此將使導線架 10 與封裝膠體 18 之材料用量相對增加，同時，於形成封裝膠體 18 之模壓作業中，該導線架 10 欲外露之外導腳段 13 往往無法為模具所穩固夾持，而使用以形成該封裝膠體 18 之樹脂材料極易溢膠 (Flash) 至該外導腳段 13 之表面 130 上，進而降低其與外界之電性連接品質，而若欲去除溢膠，則需額外進行一去膠 (Deflash) 作業，將形成不必要之製程成本，難以量產；因此，習知上另提供一種以導線架為晶片承載件之半導體封裝件製法，以解決前述問題，所製成之成品係如第 11 圖所示，以具有一晶片座 21 及多數與該晶片座 21 間隔有一預定距離之導腳 22 的導線架 20，並一第一封裝膠體 28 包覆接置於該晶片座 21 上之晶片 26、鉅線 27 及該導腳 22 之內導腳段 23，而形成一封裝單元 200；復藉一射出 (Injection) 成型之封膠製程，形成一第二封裝膠體 29 包覆該封裝單元 200 及該導腳 22 之外導腳段 24，以令該外導腳段 24 末端之外露端部 25 之一表面 250 外



五、發明說明 (3)

露出該第二封裝膠體 29，並藉該外露之表面 250作為該半導體封裝件的輸入/輸出端；此一製法即係藉由該形成第二封裝膠體之射出成型封膠製程，包覆習知之薄型小外型封裝件 (TSOP, Thin Small Outline Package) 以符合多媒體卡等封裝件之需求，解決前述導線架與膠體用料過多、導線架外露端難以定位與溢膠等習知問題。

因此，此製法確可改善習知封裝件製法之缺點，降低生產成本並滿足產業界的量產需求，惟此製法在實際生產上仍有其製程缺陷，難以達至最佳良率，並將產生多餘之製程步驟，此係由於該射出成型封膠步驟需以如第 12圖所示之上、下各四根頂針 295 (Ejector Pin)，以將該封裝單元 200夾持定位於該上、下射出模 291、292所形成之模穴 293 (Cavity) 中，惟此一頂針設計將使該封裝單元 200之表面於射出脫模步驟後，於該頂針 295先前的頂抵位置留下如第 13A、13B圖所示之凹洞 296 (第 13B圖係為第 13A圖之下視圖)，此一凹洞區域 296與頂針先前之位列區域 298均需再額外以樹脂填滿，以維持成品之外觀，而此一額外充填動作不但將增加製程之複雜性，同時該凹洞區域 296亦極可能出現未完全充填之現象而形成孔洞 (Void)，並於高溫時破壞該封裝件結構；此外，以頂針 295夾持該封裝單元 200雖可發揮定位牢固之功效，惟若進行射出成型封膠之時間過長，該頂針 295亦極可能於該封裝膠體內留下一殘餘應力 (Residual Stress)，進而於該封裝件使用一段時間後造成該封裝膠體內之裂痕或缺陷，實為此製



五、發明說明 (4)

法的一大限制。

因此，如何提供一種可於封膠製程中定位、同時可降低於該封膠製程中之受損可能的半導體封裝件及其製法，以解決前述問題而提昇產品之良率及可靠性，確為此相關研發領域所亟待解決之問題。

[發明內容]

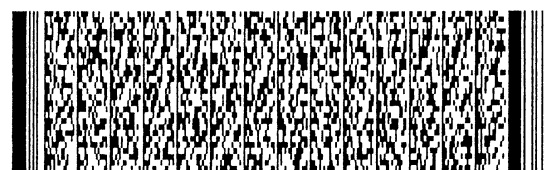
本發明之一目的即在提供一種可於封膠製程中牢固定位之半導體封裝件及其製法。

本發明之另一目的即在提供一種半導體封裝件及其製法，以避免該半導體封裝件於封膠製程中受損。

本發明之又一目的即在提供一種半導體封裝件及其製法，以避免該半導體封裝件之內部於封膠製程中形成孔洞。

本發明之再一目的即在提供一種半導體封裝件及其製法，以避免該半導體封裝件之內部於封膠製程中產生殘餘應力。

為達前述及其他目的，本發明所提供之可於封膠製程中定位的半導體封裝件製法，係包括下列步驟：製備一具有至少一種類型之多數導腳及一晶片預置區的導線架，該導腳係由至少一內導腳段與外導腳段所構成；接置至少一晶片於該導線架之晶片預置區上，並電性連接該晶片至該導腳；以一第一封裝膠體包覆該晶片、晶片預置區及該導腳之內導腳段而形成一封裝單元，並令該封裝單元相對應之第一表面與第二表面上分別形成有至少一第一突出部與

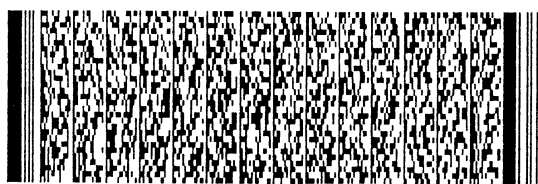


五、發明說明 (5)

至少一第二突出部；以及進行一封膠製程，以令該封裝單元之第一突出部與第二突出部分別頂抵住上、下模具而將該封裝單元定位於該上、下模具所形成之模穴中，使一第二封裝膠體包覆該封裝單元，並令該外導腳段之一表面外露出該第二封裝膠體。

而經由前述製法所製成之半導體封裝件，係包括：具有至少一種類型之多數導腳及一晶片預置區的導線架，該導腳係由至少一內導腳段與外導腳段所構成；至少一晶片，係接置於該導線架之晶片預置區上，並電性連接該晶片至該導腳；一第一封裝膠體，係用以包覆該晶片、晶片預置區及該導腳之內導腳段而形成一封裝單元，且該封裝單元相對應之第一表面與第二表面上係分別形成有至少一第一突出部與至少一第二突出部，並令該第一突出部與第二突出部分別具有第一高度與第二高度；以及一第二封裝膠體，係用以包覆該封裝單元，而令該外導腳段之一表面外露出該第二封裝膠體，並使分別包覆於該第一突出部與第二突出部周圍的第二封裝膠體厚度不大於該第一高度與第二高度。

前述用以形成該第二封裝膠體之封膠製程係可為一射出成型封膠製程或模壓製程，而該第一、第二突出部則係藉由用以形成該第一封裝膠體之模壓製程而分別形成於該第一、第二表面上，且為使該第一突出部與第二突出部定位該封裝單元之效果達至最佳，該第一突出部於該第一表面上之位置係對應於該第二突出部於該第二表面上之位



五、發明說明 (6)

置。

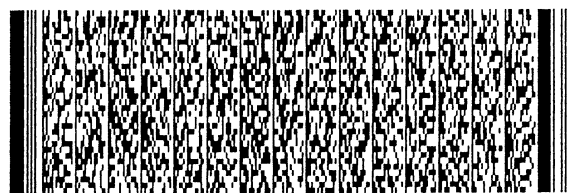
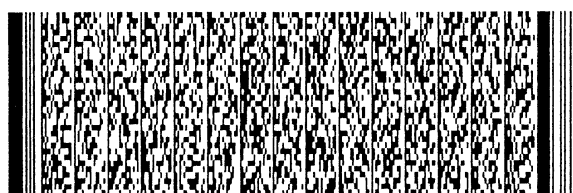
該第一突出部與第二突出部係可設計成至少一凸點，亦可設計成圍置有一圍置空間的連續件，或為複數個分別間隔適當距離的不連續件；惟若該第一突出部與第二突出部之數目為複數個時，不論其設計為凸點或不連續件，每一突出部均需具有相同之高度，以避免高度較低之突出部未能頂抵該上、下模具之表面，造成該封裝單元未能牢固定位之偏移現象。

因此，本發明之可於封膠製程中定位的半導體封裝件及其製法，確可於封膠製程中對該封裝單元進行牢固定位，同時由於該突出部本身即為形成於該封裝單元上之第一封裝膠體，將可避免習知製程之頂針對該封裝單元造成破壞，不但可減少後續所必須進行之填膠步驟，且亦不致於該封裝膠體中出現孔洞或殘餘應力，可充分改善習知技術所面臨之問題。

[實施方式]

以下即配合所附第 1A 至 1G 圖詳細說明本發明之可於封膠製程中定位的半導體封裝件製法。

首先，如第 1A 及 1B 圖所示（第 1B 圖係為第 1A 圖之上視圖），製備一導線架 30，其具有一可供接置晶片 36 用之晶片座 31、以及多數與該晶片座 31 間隔一預定距離 d 之導腳 32，其中，該晶片座 31 係設置於略低於該導腳 32 之位置處而與該導腳 32 形成一高度差，且晶片座 31 係藉多數繫桿 300 (Tie Bar) 連結至該導線架 30；而各導腳 32 係由內導



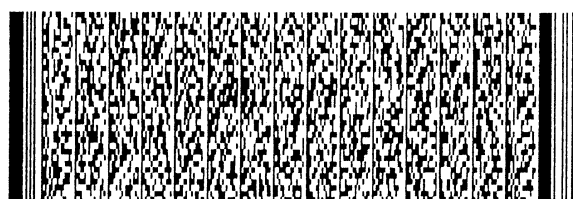
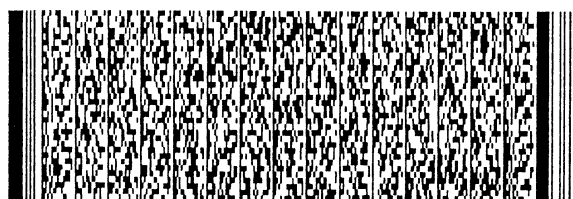
五、發明說明 (7)

腳段 33 與外導腳段 34 構成，以令該內導腳段 33 以該預定距離 d 與晶片座 31 相鄰，並使該外導腳段 34 之末端具有一外露端部 35。

如第 1C 圖所示，製備至少一例如多媒體晶片 (Memory Chip)、控制晶片 (Controller Chip)、記憶體晶片 (Memory Chip，如可抹寫可程式化唯讀記憶體 "EPROM" 或電子式可抹寫可程式化唯讀記憶體 "EEPROM") 之晶片 36，該晶片 36 具有一佈設有電子元件與電子電路之作用表面 360 及與其相對之非作用表面 361；進行一黏晶 (Die-Bonding) 作業以將該晶片 36 接置於該晶片座 31 上，而使該晶片 36 之非作用表面 361 可藉由一例如銀膠之膠黏劑 (Adhesive，未圖示) 黏接於該晶片座 31 上。

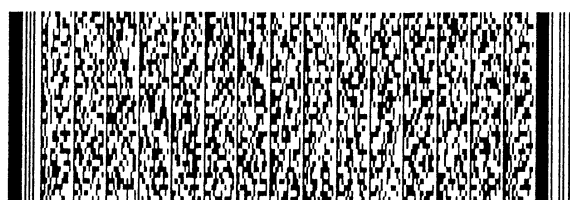
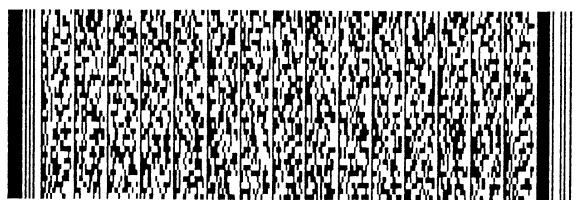
接著，進行一鉅線 (Wire-Bonding) 製程以於導線架 30 上形成多數如金線之鉅線 37，以使該鉅線 37 之兩端分別鉅接至該晶片 36 之作用表面 360 與該導腳之內導腳段 33 上，而能藉該鉅線 37 電性連接該晶片 36 與該導線架 30。

然後，如第 1D 圖所示，進行一模壓 (Molding) 作業以於該導線架 30 與晶片 36 周圍形成一第一封裝膠體 38，其係將完成黏晶與鉅線作業之導線架 30 置入傳送式模具 45、46 (Transfer Mold) 內，並於該模具 45、46 中注入一如環氧樹脂 (Epoxy Resin) 等之熱固性 (Thermosetting) 樹脂材料，使該熱固性樹脂材料吸收來自模具之熱能而令其樹脂分子產生交互鏈結 (Cross-Link) 以固化成第一封裝膠體 38，此第一封裝膠體 38 係用以包覆該晶片 36、鉅線 37、晶



五、發明說明 (8)

片座 31 及導腳之內導腳段 33，而使該外導腳段 34 外露出該第一封裝膠體 38，並形成如圖所示具有上、下之第一、第二表面 41、42 的封裝單元 40；該傳送式模具之上、下模具 45、46 之模壓表面上係開設有分別用以於該第一、第二表面 41、42 上形成第一、第二突出部 50a、51a 的第一、第二凹設區 47、48，該第一、第二凹設區 47、48 之開設位置係可對應於第 1E 圖所示之突出部 50a，該圖係為該封裝單元 40 之第一表面 41 的上視圖，其係可藉由該第一凹設區 47 之模壓與第一封裝膠體 38 之充填而形成四個分布呈方形的第一突出部 50a，該四個第一突出部 50a 均係為對應於該第一凹設區 47 之形狀的凸點，且係具有一相同之第一高度 h_1 ；其中，該上模具 45 之第一凹設區 47 的高度與位置於最初開模時需進行一精準加工，因為若該四個由第一封裝膠體 38 形成之第一突出部 50a 未具有相同的第一高度 h_1 ，則於後續再進行封膠製程時將可能導致高度較低之第一突出部無法頂抵住該上模具 45 之模壓表面，使該封裝單元 40 難以被穩固頂抵定位，而形成封裝單元 40 偏移或膠體充填不均等製程問題，或使該導線架之外露表面未完全外露而降低其電性，同時，若該第一突出部 50a 之位置因開模精度不足產生較大偏差，亦可能形成模壓力量不均或如前述等製程問題；該第二凹設區 48 與第二突出部 51a 之形狀與位置均係對應於圖示之第一凹設區 47 與第一突出部 50a，惟其所設計之第二高度 h_2 並不需與該第一高度 h_1 完全相同，得視所欲成型之例如多媒體卡等半導體封裝件的尺寸設計而

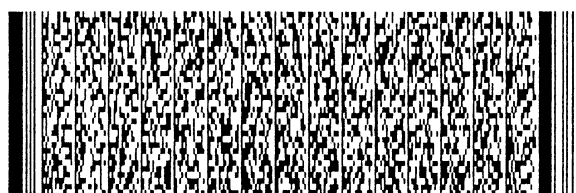


五、發明說明 (9)

定。

接著，該外露之外導腳段 34 末端的外露端部 35 可經第 1F 圖所示之彎腳成型 (Forming) 步驟，變形以使其與所對應之內導腳段 33 成一高度差，而設置於低於該內導腳段 33 之位置處，且該外露端部 35 之外露表面 350 亦如圖示與該封裝單元 40 之第二表面 42 形成一不大於該第二高度 h_2 的高度差，以令該第二突出部 51a 的凸點尖端 510a 可與該外露端部 35 之外露表面 350 對齊，或令該凸點尖端 510a 之位置向下略低於該外露表面 350，以確保後續封膠製程之定位效果與該半導體封裝件外露端之良好電性。

接著，如第 1G 圖所示，進行一射出成型 (Injection Molding) 封膠製程，其係將該封裝單元 40 置入一射出成型模具 55、56 中以藉一熱塑性 (Thermoplastic) 樹脂材料形成一第二封裝膠體 39，並藉該封裝單元 40 上之第一突出部 50a 與第二突出部 51a，分別向上、下頂抵住該射出模具之上、下模具 55、56 表面，以取代習知頂針之夾持定位功能，而可令該封裝單元 40 穩固定位於該上、下模具 55、56 所形成之射出模穴 57 中，不致於射出成型之封膠製程中產生偏移，同時亦不致如習知頂針般破壞該封裝單元 40 之第一封裝膠體 38 表面；其中，該上、下射出模具 55、56 與其所形成之模穴 57 高度可依前述製程之突出部 50a、51a 高度、與該外露表面 350 及內導腳段 33 之高度差而定，務使分別具有第一、第二高度 h_1 、 h_2 突起之封裝單元 40 的總高度不小於該射出模穴 57 之高度，且使該外露端部 35 之外露



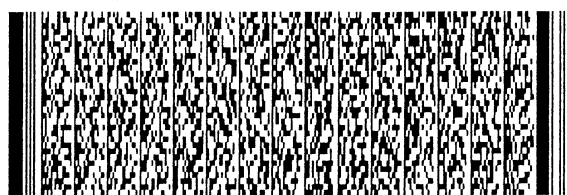
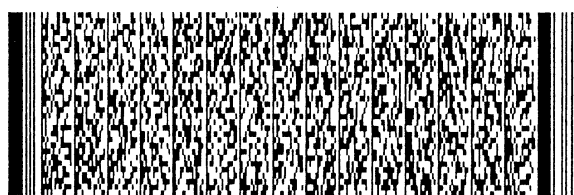
五、發明說明 (10)

表面 350 可平抵於該下模具 56 之表面上。

該熱塑性樹脂材料可為聚碳酸酯 (Polycarbonate Ester)、丙烯酸樹脂、聚氯化甲烯或聚酯類 (Polyester) 等樹脂材料，其所形成之第二封裝膠體 39 將包覆該封裝單元 40，而令該外導腳段 34 之外露端部 35 的外露表面 350 外露出該第二封裝膠體 39 並與第二封裝膠體 39 之下表面 390 齊平，其中，由於該第二封裝膠體 39 係用以包覆該第一封裝膠體 38，因此該第二封裝膠體 39 係可選用與該第一封裝膠體 38 之熱膨脹係數相近的樹脂材料，以避免受熱後兩膠體之接觸表面間出現間隙；其中，該第二封裝膠體 39 亦可如第一封裝膠體 38，可使用傳送式模具以於該模具中注入如環氧樹脂等之熱固性樹脂材料。

完成前述步驟並進行射出脫模後，該外露端部 35 的外露表面 350 即可作為該例如多媒體卡之半導體封裝件的輸入/輸出端，俾使該晶片 36 得藉該輸入/輸出端電性連接至一外界裝置 (未圖示)；如此即完成本發明之半導體封裝件製程。

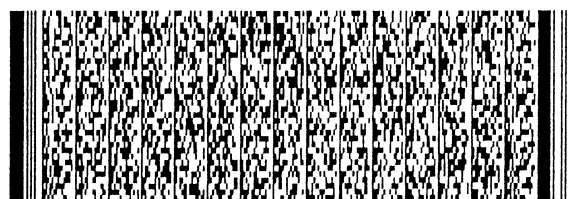
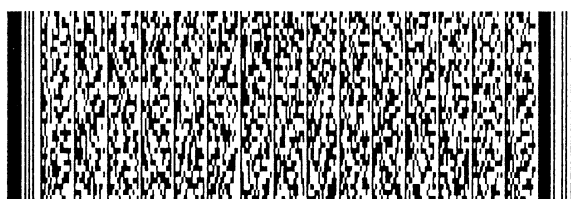
本發明之半導體封裝件即係如第 2 圖所示，包括一具有晶片座 31 及多數與該晶片座 31 間隔有一預定距離之導腳 32 的導線架 30，其中，各導腳 32 係由內導腳段 33 及外導腳段 34 構成，而令該內導腳段 33 以該預定距離與晶片座 31 相鄰，且該外導腳段 34 末端係具有一外露端部 35；至少一接置於該晶片座 31 上的晶片 36，係藉多數鉀線 37 電性連接至該內導腳段 33；用以將該晶片 36、鉀線 37 及內導腳段 33 包



五、發明說明 (11)

覆成一封裝單元 40 的第一封裝膠體 38，該第一封裝膠體 38 並可藉該封裝製程而於該封裝單元 40 之第一、第二表面 41、42 上分別形成具有第一、第二高度 $h1$ 、 $h2$ 的第一、第二突起部 50a、51a；以及以射出成型或模壓成型包覆該封裝單元 40 的第二封裝膠體 39，以令該外導腳段 34 之外露端部 35 的外露表面 350 外露出該第二封裝膠體 39 外，且令分別包覆於該第一突出部 50a 與第二突出部 51a 周圍的第二封裝膠體 39 厚度不大於該第一高度 $h1$ 與第二高度 $h2$ 。

本發明所揭示之第一、第二突出部並非僅限於前述實施例之設計，就該突出部所欲達成的定位功能而言，其形狀與位置之設計僅需令該複數個第一突出部與第二突出部分別具有相同之突起高度與一定的對稱分布位置即可，因此，符合此原則的任何突出部設計均可運用於本發明中，僅需考量製程上所能達至之模具的開模精度即可，例如第 3 圖所示之封裝單元的第一表面 41 上視圖，即圖示另一種第一突出部 50b 的位置分布設計，亦可達至相同的頂抵模具功能；此外，若考量開模成本，亦可如第 4 圖所示，將該突出部設計成僅為一位列於該第一表面 41 正中央的凸點 50c，惟其頂抵模具之定位牢固性將略低於前述之實施例；該突出部之形狀並非僅限於凸點，亦可設計成可圍置出一圍置空間的連續件，例如第 5、6 圖所示分別圍置成方形與圓形的突出部 50d、50e，此設計中該方形與圓形之邊長上的任一點均需具有相同之高度，否則亦將影響封膠製程中之定位牢固性；此外，除前述之連續件外，該突出部



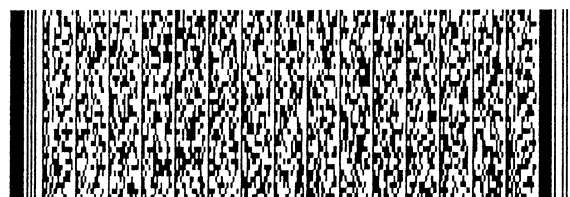
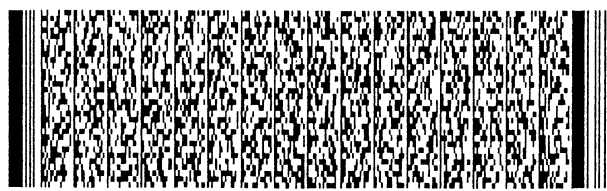
五、發明說明 (12)

亦可為分別間隔有適當距離的四個不連續件，如第 7、8 圖所示之配置 50f、50g，同樣可依其對稱性而使該封裝單元於模穴中牢固定位且均勻受力，此一不連續件設計與前述之凸點式突出部設計相同，同一表面上的突出部數目並無限制，僅需考量該複數個突出部之位置分布是否將令該封裝單元於封膠時形成不均勻之受力或偏移即可。

該第二表面 42 上之第二突出部的形狀、高度、位置並無需與前述第一表面 41 上的第一突出部相同，但若就頂抵定位之牢固性、封膠之均勻性與開模成本考量，設計以形狀相同之第一、第二突出部將可產生較佳的頂抵效果，亦即使該第二突出部於該第二表面 42 上之位置對應於該第一突出部於該第一表面 41 上之位置為佳。

若考量開模之成本，亦可以其他方式形成前述各類型的第一突出部與第二突出部，亦即以習知未具有凹設區的上、下模具進行壓模以形成該第一封裝膠體，復於呈水平的封裝單元第一、第二表面上，分別以點膠之方式依設計塗佈特定形狀的熱固性樹脂，使其固化後成為該特定形狀的第一、第二突出部，亦可發揮本發明之功效，惟此方法雖可省去精密開模之成本，卻可能產生高度控制上的誤差，因為在點膠製程中欲使同一表面上的突出部均具有相同之突出高度將是困難的，且量產性亦不若以模具成型突出部之方法來得佳。

此外，於進行第二封裝膠體 39 之封膠製程時，若該外露端部 35 之外露表面 350 略高於該下模具 56 之表面而未與

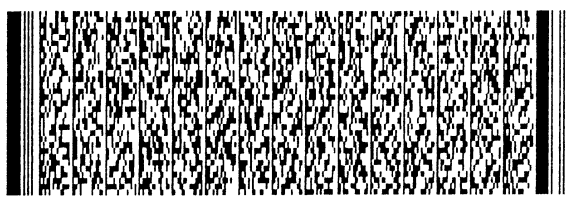
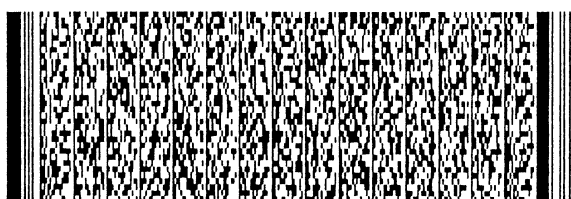


五、發明說明 (13)

其接觸，或該第二封裝膠體 39 射出充填不完全時，將可能導致該外露表面 350 未外露、或該突出部突出至該第二封裝膠體 39 外之現象，此時可利用習知之研磨 (Grind) 法，去除多餘之第二封裝膠體或突出部 (第一封裝膠體)，以令該外露端部 35 之外露表面 350 充分外露，或令向外突出之突出部受研磨而部分移除而可維持該半導體封裝件之表面平整度。

本發明所使用之導線架其導腳亦可與該晶片座連接，而該導腳之外露端部亦可改變設計使其較該內導腳段為高，並向上外露出該第二封裝膠體之上表面，除此設計外，任何習知所使用之導線架均可運用於本發明，而該晶片座所接置之晶片數量與所接置之上、下表面亦無一定限制；此外，該晶片座 31 之底面 310 亦可設計以外露出該封裝單元之第二表面 42，同時令該外露端部 35 之外露表面 350 切齊該第二表面 42，如此，即可於完成所有製程並移除該突出至第二封裝膠體 39 外的第二突出部 51a 後，形成如第 9 圖所示之半導體封裝件，此種設計將得令該晶片 36 運作所產生之熱能藉由該外露之晶片座 31 底面 310 而散逸至外界，進而提昇本半導體封裝件之散熱效率。

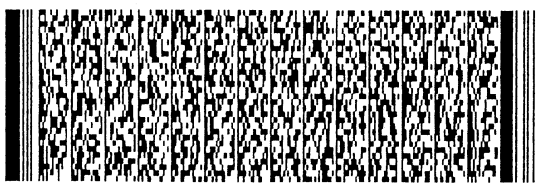
綜上所述，本發明所揭示之半導體封裝件及其製法，確可於封膠製程中對該封裝單元進行牢固定位，同時可避免習知封膠製程中對該封裝單元表面所致之破壞，不但可減少所進行之製程步驟，且亦不致於該封裝膠體中出現空洞或殘餘應力而影響該半導體封裝件之良率品質；此外，



五、發明說明 (14)

僅需完成可形成該突出部之模具，即可開始進行低成本的快速量產，充分符合產業界所需。

惟以上所述者，僅係用以說明本發明之具體實施例而以，並非用以限定本發明之可實施範圍，舉凡熟習該項技藝者在未脫離本發明所指示之精神與原理下所完成之一切等效改變或修飾，例如形成任何具有等效作用的突出部，或以其他方式形成該突出部等，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

[圖式簡單說明]

第 1A 至 1G 圖係本發明之半導體封裝件的製法示意圖，其中，第 1B 圖係為第 1A 圖所示之導線架上視圖，而第 1E 圖係為第 1D 圖所示之封裝單元第一表面上視圖；

第 2 圖係本發明之半導體封裝件的實施例剖視圖；

第 3 圖係形成於第一表面上之本發明第一突出部的第二實施例上視圖；

第 4 圖係形成於第一表面上之本發明第一突出部的第三實施例上視圖；

第 5 圖係形成於第一表面上之本發明第一突出部的第四實施例上視圖；

第 6 圖係形成於第一表面上之本發明第一突出部的第五實施例上視圖；

第 7 圖係形成於第一表面上之本發明第一突出部的第六實施例上視圖；

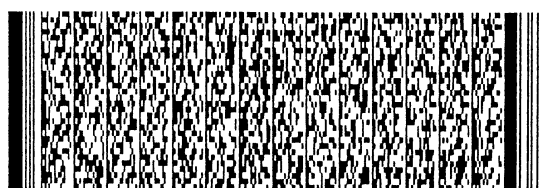
第 8 圖係形成於第一表面上之本發明第一突出部的第七實施例上視圖；

第 9 圖係本發明之半導體封裝件的另一實施例剖視圖；

第 10 圖係我國專利公告第 484222 號案所揭露之半導體封裝件之剖視圖；

第 11 圖係另一習知半導體封裝件之剖視圖；

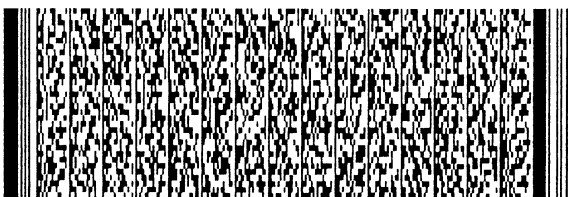
第 12 圖係第 11 圖所示之半導體封裝件於封膠製程中之示意圖；以及



圖式簡單說明

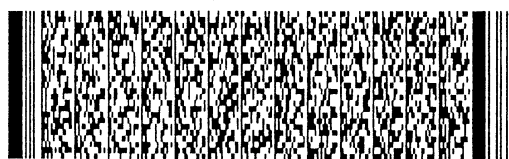
第 13A 及 13B 圖係第 11 圖所示之半導體封裝件於封膠製程所形成之凹洞示意圖，其中，第 13B 圖係為第 13A 圖之下視圖。

10	導線架	11	晶片座
12	導腳	13	外導腳段
130	外導腳段外露表面	15	內導腳段
16	晶片	17	鐳線
18	封裝膠體	20	導線架
200	封裝單元	21	晶片座
22	導腳	23	內導腳段
24	外導腳段	25	外露端部
250	外露表面	26	晶片
27	鐳線	28	第一封裝膠體
29	第二封裝膠體	291	上模具
292	下模具	293	模穴
295	頂針	296	凹洞
298	頂針位列區域	30	導線架
300	繫條	31	晶片座
300	導腳	33	內導腳段
34	外導腳段	35	外露端部
350	外露表面	36	晶片
360	晶片作用表面	361	晶片非作用表面
37	鐳線	38	第一封裝膠體



圖式簡單說明

39	第二封裝膠體	40	封裝單元
41	第一表面	42	第二表面
45	上模具	46	下模具
47	第一凹設區	48	第二凹設區
50a	凸點式第一突出部	50b	第一突出部
50c	第一突出部	50d	第一突出部
50e	第一突出部	50f	第一突出部
50g	第一突出部	51a	凸點式第二突出部
510	凸點尖端	55	上模具
56	下模具	57	模穴
d	預定距離	h1	第一高度
h2	第二高度		



四、中文發明摘要 (發明名稱：可於封膠製程中定位之半導體封裝件及其製法)

一種可於封膠製程中定位之半導體封裝件及其製法，係於一導線架上接置至少一晶片並電性連接該晶片至該導線架之導腳，並以一第一封裝膠體包覆該晶片及該導腳之內導腳段而形成一封裝單元，且令該封裝單元相對應之第一表面與第二表面上分別形成至少一第一突出部與第二突出部，復進行一封膠製程，以令該封裝單元之第一突出部與第二突出部可分別頂抵住上、下模具而將該封裝單元定位於該上、下模具所形成之模穴中，使一第二封裝膠體包覆該封裝單元，而令該外導腳段之一表面外露出該第二封裝膠體而得與外界進行電性連接，進而可避免習知製法中頂針在進行第二封膠製程時對該封裝單元造成破壞，並可減少製程步驟與提昇該封裝件之良率。

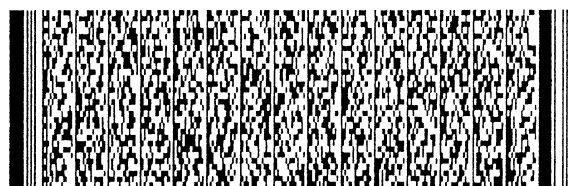
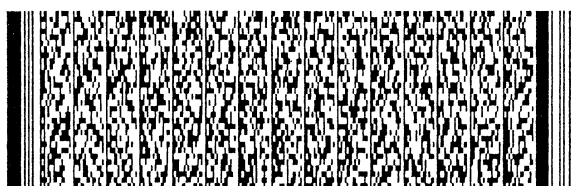
本案代表圖：第 2 圖

30 導線架

31 晶片座

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE POSITIONABLE IN ENCAPSULATING PROCESS AND METHOD FOR FABRICATING THE SAME)

A semiconductor package positionable in an encapsulating process and a method for fabricating the same are provided, wherein a lead frame being composed of a die pad and a plurality of leads is prepared, and at least a chip is mounted on the die pad and electrically connected to the leads. A first encapsulant is disposed around the lead frame for encapsulating the chip, the die pad, and

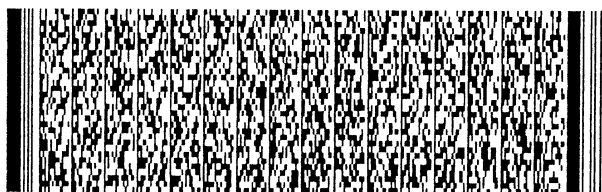


四、中文發明摘要 (發明名稱：可於封膠製程中定位之半導體封裝件及其製法)

32	導腳	33	內導腳段
34	外導腳段	35	外露端部
36	晶片	37	鐳線
38	第一封裝膠體	39	第二封裝膠體
40	封裝單元	41	第一表面
42	第二表面	50a	凸點式第一突出部
51a	凸點式第二突出部	h1	第一高度
h2	第二高度		

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE POSITIONABLE IN ENCAPSULATING PROCESS AND METHOD FOR FABRICATING THE SAME)

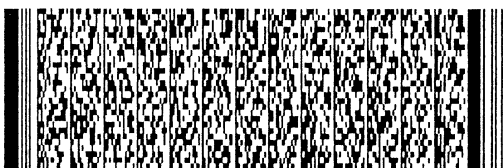
inner leads to form an encapsulant unit, wherein at least a first protrusion and a second protrusion are respectively formed in a first surface and an opposite second surface of the encapsulant unit. Thus, the encapsulant unit can be positioned stably in a cavity during a subsequent second encapsulating process by abutting against an upper and a bottom mold with



四、中文發明摘要 (發明名稱：可於封膠製程中定位之半導體封裝件及其製法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE POSITIONABLE IN ENCAPSULATING PROCESS AND METHOD FOR FABRICATING THE SAME)

its protrusions, and a second encapsulant is formed for encapsulating the first encapsulant and outer leads with a surface of each outer leads to be exposed and electrically connected to external devices. As a result, the semiconductor package can be prevented from being damaged during the encapsulating process, and a product yield is thereby promoted.



六、申請專利範圍

1. 一種可於封膠製程中定位之半導體封裝件之製法，係包括下列步驟：

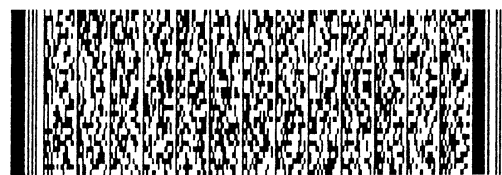
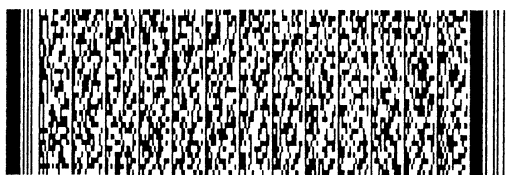
製備一導線架，其係具有多數之導腳；

接置至少一晶片於該導線架上，並電性連接該晶片至該導腳；

以一第一封裝膠體包覆該晶片及部分該導腳而形成一封裝單元，並令該封裝單元相對應之第一表面與第二表面上分別形成有至少一第一突出部與至少一第二突出部；以及

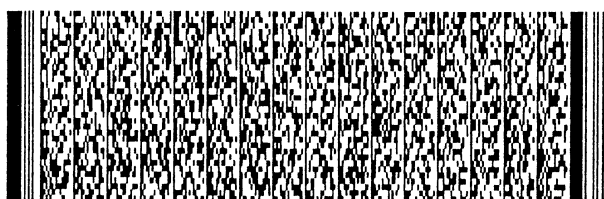
進行一封膠製程，以令該封裝單元之第一突出部與第二突出部分別頂抵住上、下模具而將該封裝單元定位於該上、下模具所形成之模穴中，使一第二封裝膠體包覆該封裝單元，並令未由該第一封裝膠體包覆之導腳的一表面外露出該第二封裝膠體。

2. 如申請專利範圍第1項之製法，其中，該第一突出部於該第一表面上之位置係對應於該第二突出部於該第二表面上之位置。
3. 如申請專利範圍第1項之製法，其中，該第一突出部與第二突出部係為一凸點。
4. 如申請專利範圍第1項之製法，其中，該第一突出部與第二突出部係為可圍置成一圍置空間的連續件。
5. 如申請專利範圍第1項之製法，其中，該第一突出部與第二突出部係為複數個分別間隔適當距離的不連續件。



六、申請專利範圍

6. 如申請專利範圍第1項之製法，其中，若該第一突出部與第二突出部之數目為複數個，該複數個第一突出部與第二突出部間係分別具有相同之第一高度與第二高度。
7. 如申請專利範圍第1項之製法，其中，該第一突出部與第二突出部係藉由形成該第一封裝膠體之模壓製程而分別形成於該第一表面與第二表面上。
8. 如申請專利範圍第1項之製法，其中，該第一突出部與第二突出部係藉由完成模壓製程後的點膠製程而分別形成於該第一表面與第二表面上。
9. 如申請專利範圍第1項之製法，其中，該封膠製程係為一射出成型封膠製程或模壓成型封膠製程。
10. 如申請專利範圍第1項之製法，其中，該導腳係至少包括一未由該第一封裝膠體包覆的外導腳段與由第一封裝膠體包覆的內導腳段，並令該外導腳段外露出該第二封裝膠體之表面與該內導腳段具有一高度差。
11. 如申請專利範圍第10項之製法，其中，該外導腳段外露出該第二封裝膠體之表面係與該第二封裝膠體之表面齊平。
12. 如申請專利範圍第1項之製法，其中，該晶片係藉多數鐸線電性連接至該導腳。
13. 如申請專利範圍第12項之製法，其中，該鐸線係為金線。
14. 如申請專利範圍第1項之製法，其中，該第一封裝膠體



六、申請專利範圍

與第二封裝膠體係以一熱固性樹脂製成。

15.如申請專利範圍第1項之製法，其中，該第二封裝膠體係以一熱塑性樹脂製成。

16.如申請專利範圍第15項之製法，其中，該熱塑性樹脂係選自由聚碳酸酯 (Polycarbonate Ester)、丙烯酸樹脂、聚氯化甲烯及聚酯類 (Polyester) 樹脂材料所組之組群。

17.如申請專利範圍第1項之製法，其中，該半導體封裝件係為一多媒體卡 (Multi-Media Card, MMC)。

18.如申請專利範圍第1項之製法，其中，該晶片係選自由多媒體晶片、可抹寫可程式化唯讀記憶體 "EPROM" 晶片、電子式可抹寫可程式化唯讀記憶體 "EEPROM" 晶片及控制晶片所組成之組群之一者。

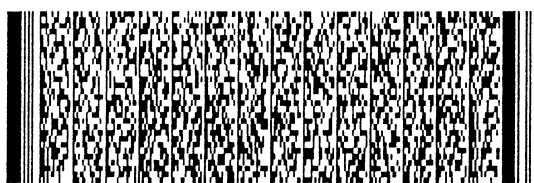
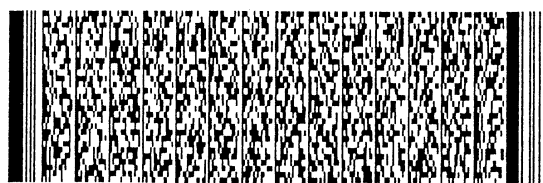
19.一種可於封膠製程中定位之半導體封裝件，係包括：

一導線架，係具有多數之導腳；

至少一晶片，係接置於該導線架上，並電性連接該晶片至該導腳；

一第一封裝膠體，係用以包覆該晶片及部分該導腳而形成一封裝單元，且該封裝單元相對應之第一表面與第二表面上係分別形成有至少一第一突出部與至少一第二突出部，並令該第一突出部與第二突出部分別具有第一高度與第二高度；以及

一第二封裝膠體，係用以包覆該封裝單元，而令未由該第一封裝膠體包覆之導腳的一表面外露出該第



六、申請專利範圍

二封裝膠體，並使分別包覆於該第一突出部與第二突出部周圍的第二封裝膠體厚度不大於該第一高度與第二高度。

20.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部於該第一表面上之位置係對應於該第二突出部於該第二表面上之位置。

21.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部與第二突出部係為一凸點。

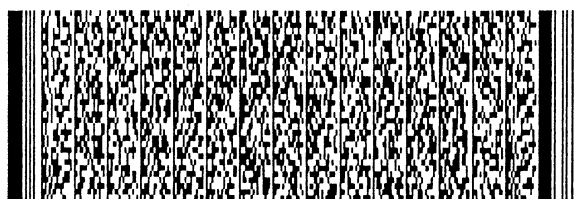
22.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部與第二突出部係為可圍置成一圍置空間的連續件。

23.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部與第二突出部係為複數個分別間隔適當距離的不連續件。

24.如申請專利範圍第19項之半導體封裝件，其中，若該第一突出部與第二突出部之數目為複數個，該複數個第一突出部與第二突出部間係分別具有相同之第一高度與第二高度。

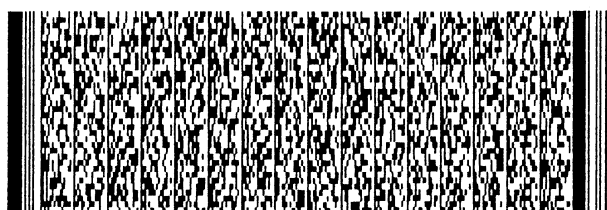
25.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部與第二突出部係藉由形成該第一封裝膠體之模壓製程而分別形成於該第一表面與第二表面上。

26.如申請專利範圍第19項之半導體封裝件，其中，該第一突出部與第二突出部係藉由完成模壓製程後的點膠製程而分別形成於該第一表面與第二表面上。



六、申請專利範圍

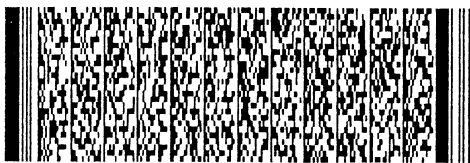
- 27.如申請專利範圍第19項之半導體封裝件，其中，該封膠製程係為一射出成型封膠製程或模壓成型封膠製程。
- 28.如申請專利範圍第19項之半導體封裝件，其中，該導腳係至少包括一未由該第一封裝膠體包覆的外導腳段與由第一封裝膠體包覆的內導腳段，並令該外導腳段外露出該第二封裝膠體之表面與該內導腳段具有一高度差。
- 29.如申請專利範圍第28項之半導體封裝件，其中，該外導腳段外露出該第二封裝膠體之表面係與該第二封裝膠體之表面齊平。
- 30.如申請專利範圍第19項之半導體封裝件，其中，該晶片係藉多數鉚線電性連接至該導腳。
- 31.如申請專利範圍第30項之半導體封裝件，其中，該鉚線係為金線。
- 32.如申請專利範圍第19項之半導體封裝件，其中，該第一封裝膠體與第二封裝膠體係以一熱固性樹脂製成。
- 33.如申請專利範圍第19項之半導體封裝件，其中，該第二封裝膠體係以一熱塑性樹脂製成。
- 34.如申請專利範圍第33項之半導體封裝件，其中，該熱塑性樹脂係選自由聚碳酸酯（Polycarbonate Ester）、丙烯酸樹脂、聚氯化甲烯及聚酯類（Polyester）樹脂材料所組之組群。
- 35.如申請專利範圍第19項之半導體封裝件，其中，該半

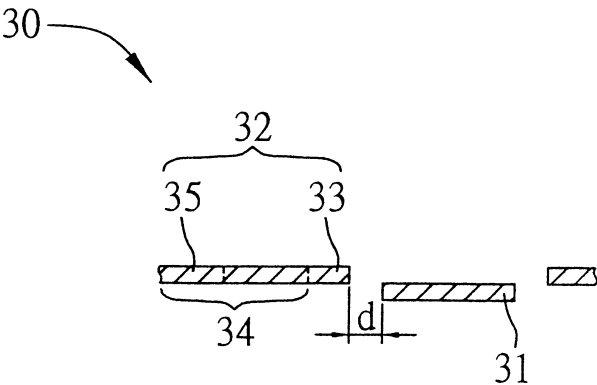


六、申請專利範圍

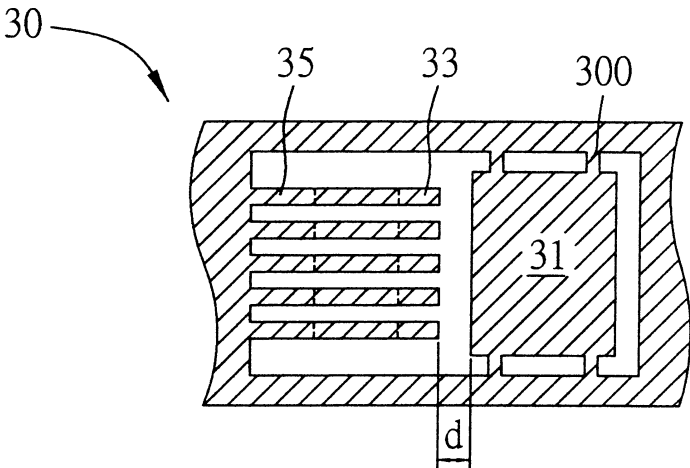
導體封裝件係為一多媒體卡 (Multi-Media Card, MMC)。

36. 如申請專利範圍第 19 項之半導體封裝件，其中，該晶片係選自由多媒體晶片、可抹寫可程式化唯讀記憶體 "EPROM" 晶片、電子式可抹寫可程式化唯讀記憶體 "EEPROM" 晶片及控制晶片所組成之組群之一者。

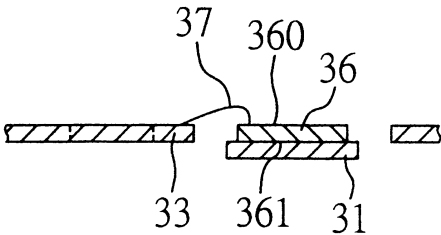




第 1A 圖

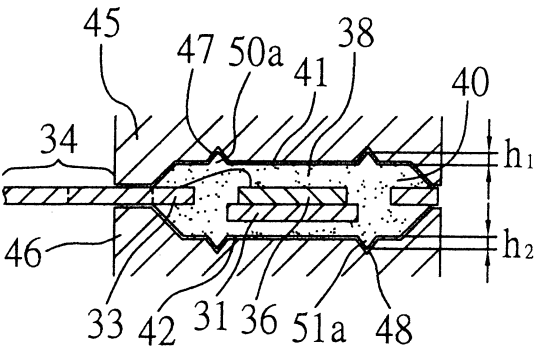


第 1B 圖

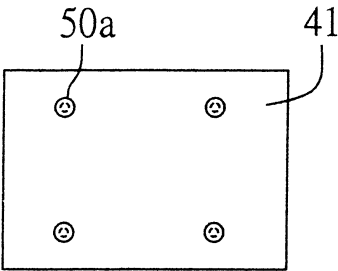


第 1C 圖

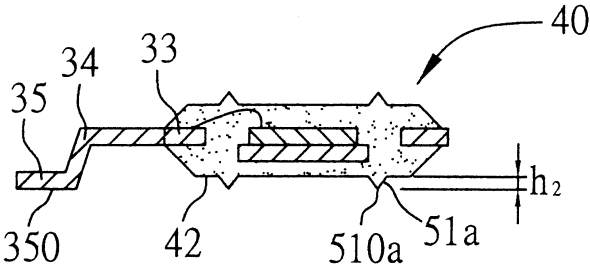
17153



第 1D 圖



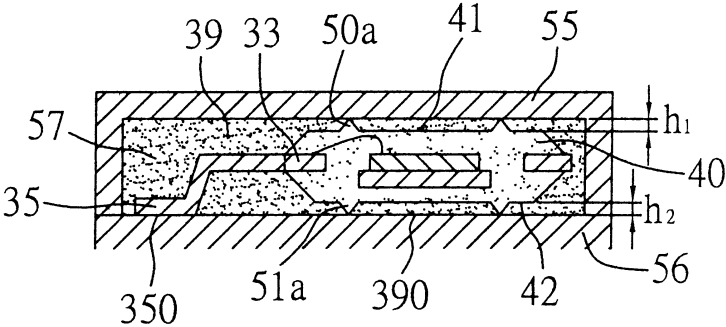
第 1E 圖



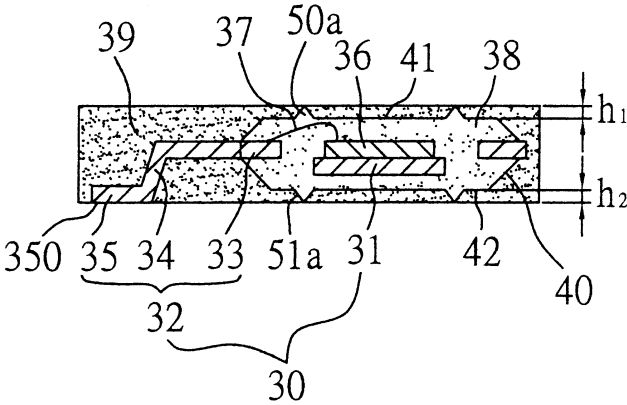
第 1F 圖

17173

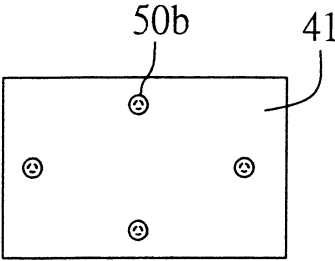
17153



第 1G 圖

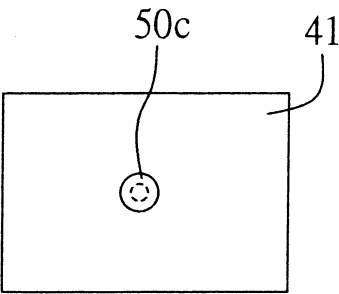


第 2 圖 (代表圖)

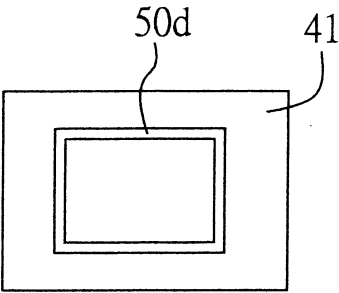


第 3 圖

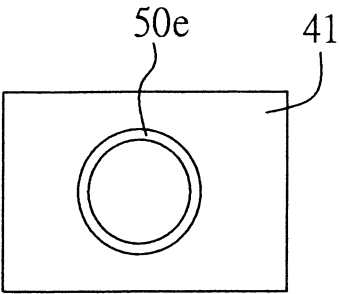
17153



第 4 圖

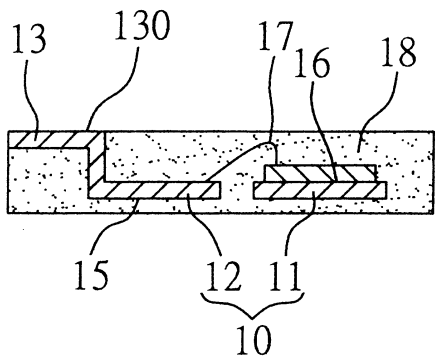


第 5 圖

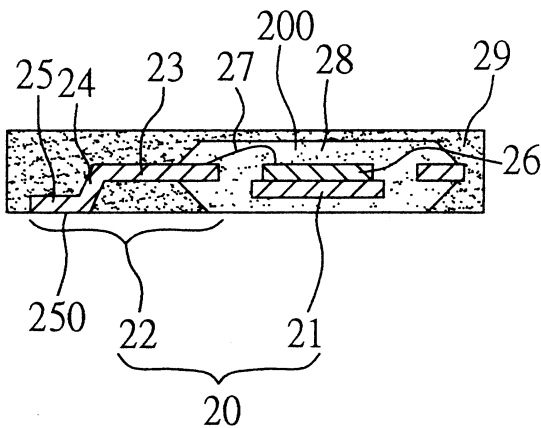


第 6 圖

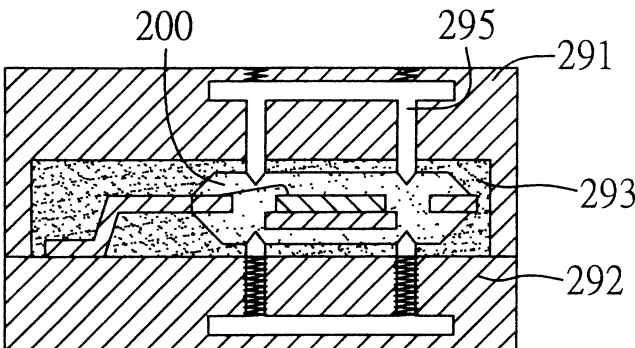
17153



第 10 圖 (習知技術)

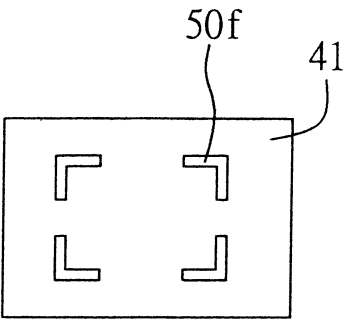


第 11 圖 (習知技術)

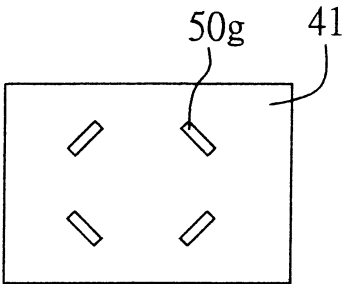


第 12 圖 (習知技術)

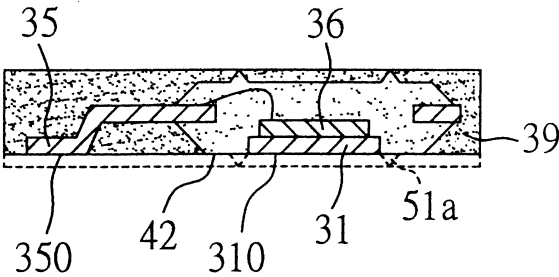
17153



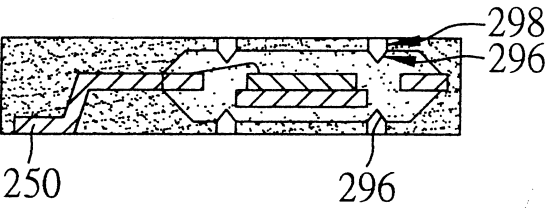
第 7 圖



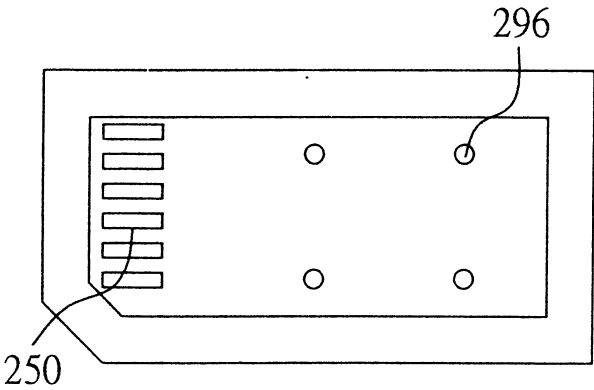
第 8 圖



第 9 圖



第 13A 圖 (習知技術)



第 13B 圖 (習知技術)