

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5442228号  
(P5442228)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月27日 (2013. 12. 27)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006. 01)  
 HO 1 L 21/336 (2006. 01)  
 HO 1 L 29/417 (2006. 01)  
 GO 2 F 1/1368 (2006. 01)

HO 1 L 29/78 6 1 6 S  
 HO 1 L 29/78 6 1 6 K  
 HO 1 L 29/78 6 1 6 L  
 HO 1 L 29/50 M  
 GO 2 F 1/1368

請求項の数 6 (全 14 頁)

(21) 出願番号 特願2008-204903 (P2008-204903)  
 (22) 出願日 平成20年8月7日 (2008. 8. 7)  
 (65) 公開番号 特開2010-40951 (P2010-40951A)  
 (43) 公開日 平成22年2月18日 (2010. 2. 18)  
 審査請求日 平成23年6月2日 (2011. 6. 2)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (73) 特許権者 506087819  
 パナソニック液晶ディスプレイ株式会社  
 兵庫県姫路市飾磨区妻鹿日田町1-6  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所  
 (72) 発明者 海東 拓生  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 (72) 発明者 宮沢 敏夫  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

透明基板と前記透明基板上に形成された薄膜トランジスタとを有する表示装置であって、

前記薄膜トランジスタは、ゲート電極と、前記ゲート電極の上側に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上側に微結晶シリコン又は多結晶シリコンを含んで形成された半導体膜と、2つのオーミックコンタクト層と、ソース電極と、ドレイン電極とを有し、

前記半導体膜は、チャネル領域と、前記チャネル領域の両側に不純物が打ち込まれて形成された2つの不純物領域とを有し、

前記チャネル領域と前記2つの不純物領域の各々は、前記ゲート絶縁膜に接する面と、前記ゲート絶縁膜に接する面と対向する上面とを有し、

前記2つの不純物領域の各々は、前記チャネル領域に接する面と、前記チャネル領域に接する面と対向する側面と、前記オーミックコンタクト層の側面と連続的に形成される2つの側面と、を有し、

前記チャネル領域の前記上面には、絶縁膜が形成され、

前記絶縁膜は、前記チャネル領域に接する面と、前記チャネル領域に接する面と対向する上面と、側面とを有し、

前記2つのオーミックコンタクト層の各々は、前記不純物領域の前記上面と前記チャネル領域に接する面と対向する前記側面とを覆うと共に、前記絶縁膜の前記上面と前記側面

と接して形成され、

前記ソース電極と前記ドレイン電極とは、前記オーミックコンタクト層を介して前記不純物領域と接続されていることを特徴とする表示装置。

【請求項 2】

請求項 1 に記載された表示装置であって、

前記 2 つのオーミックコンタクト層は、不純物が添加された非晶質シリコンで形成され

、  
前記 2 つのオーミックコンタクト層の不純物濃度は、前記 2 つの不純物領域の不純物濃度よりも高いことを特徴とする表示装置。

【請求項 3】

請求項 1 に記載された表示装置であって、

前記ソース電極と前記ドレイン電極とは、前記絶縁膜の前記上面で互いに対向していることを特徴とする表示装置。

【請求項 4】

透明基板と前記透明基板上に形成された薄膜トランジスタとを有する表示装置の製造方法であって、

透明基板の上側にゲート電極を積層するゲート電極積層工程と、

前記ゲート電極の上側に、微結晶シリコン又は多結晶シリコンを含む半導体膜を積層する半導体膜積層工程と、

前記半導体膜の上面の一部を覆う絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜をマスクとして、前記半導体膜の内、前記絶縁膜に覆われていない領域に不純物を注入して不純物領域を形成する不純物領域形成工程と、

前記半導体膜と前記絶縁膜との上層にオーミックコンタクト層を形成し、前記オーミックコンタクト層の上層に金属膜を形成するオーミックコンタクト層及び金属膜形成工程と

、  
前記金属膜をパターニングしてソース電極とドレイン電極を形成するソース電極及びドレイン電極形成工程と、

前記ソース電極と前記ドレイン電極とをマスクとして、前記オーミックコンタクト層をパターニングするオーミックコンタクト層パターニング工程と、を有し、

前記絶縁膜形成工程は、前記半導体膜の全域に絶縁膜を形成し、前記全域に形成された絶縁膜の一部にパターニングされたレジスト膜を形成し、前記レジスト膜をマスクとして、前記全域に形成された絶縁膜が前記レジスト膜よりも内側にパターニングされるようにエッチングをする工程を含み、

前記絶縁膜形成工程の後に、前記レジスト膜をマスクとして前記半導体膜をパターニングする半導体膜パターニング工程を有することを特徴とする表示装置の製造方法。

【請求項 5】

請求項 4 の表示装置の製造方法であって、

前記オーミックコンタクト層は、不純物が添加された非晶質シリコンで形成され、

前記オーミックコンタクト層の不純物濃度は、前記不純物領域の不純物濃度よりも高いことを特徴とする表示装置の製造方法。

【請求項 6】

請求項 4 の表示装置の製造方法であって、

前記ソース電極及びドレイン電極形成工程は、前記絶縁膜の上面で前記ソース電極と前記ドレイン電極とが互いに対向するように前記金属膜をパターニングすることを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ（TFT）を用いて画素の表示制御を行う表示装置及び表示装置の製造方法に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

従来より、非晶質シリコン(a-Si)を用いて形成される薄膜トランジスタの電気的特性等の性能を向上させることが検討されている。ここで、所望の電気的特性を得るために、例えば、非晶質シリコンを用いて形成される薄膜トランジスタの構造をなるべく維持して設計された製造プロセスを流用しつつ、シリコンの結晶粒径を大きくして電子移動度等を改善するという方向性で検討もなされている。

## 【0003】

特許文献1は、このような従来技術の一例であり、図6は、特許文献1に記載されているものと同様のボトムゲート構造による薄膜トランジスタを示す図である。特許文献1では、同図で示すように、表示装置の製造上の理由から、多結晶シリコン(p-Si)が非晶質シリコンの下側に積層されている。

10

【特許文献1】特開平5-55570号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

図6で示される薄膜トランジスタに着目すると、オン電流は電子移動度の大きい多結晶シリコン層SPを流れるが、オフ電流が問題となる。これは、ゲート電極GTにマイナス電圧が印加すると、多結晶シリコン層SPに正孔が誘起され、ドレイン電極DT及びソース電極STと多結晶シリコン層SPとの間に電位障壁がないことから、正孔による電流がそのままドレイン電極DT及びソース電極STに流れるためである。

20

## 【0005】

そこでまず、本願発明者らは、図7に示すような構造を検討した。図7で示すように、多結晶シリコン層SPと非晶質シリコン層SAとを、不純物と共に非晶質シリコンで成膜される不純物シリコン層(Doped-Si)DSで覆うことにより、正孔の通過が防止されてオフ電流が抑制される。しかし、多結晶シリコン層SPとドレイン電極DT及びソース電極STとは不純物シリコン層DSを介して接続し、この接続部分が狭いことから接触抵抗が大きくなってオン電流が不十分となる。

## 【0006】

そこで、本願発明者らは、図8に示すような構造を検討した。図7の構造におけるオン電流を増大させるために、図8に示すように、ドレイン電極DT及びソース電極STと半導体膜Sとが接続する部分を広くして、接触抵抗を低下させている。この加工は、まず非晶質シリコン層SAの代わりに絶縁膜ESを形成し、半導体膜Sにおける絶縁膜ESに覆われない部分が、不純物シリコン層DSと接触するように行われる。

30

## 【0007】

しかし、図8に示すような構造では、図9Aに示すゲート電圧とドレイン電流の特性を示すグラフのように、ドレイン電圧1Vでは、オン電流が十分に確保され、かつ、オフ電流も抑制できているが、ドレイン電圧10Vでは、オフ電流を抑制できずリーク電流が流れることとなる。従って、薄膜トランジスタに適用するドレイン電圧を例えば5V以下というように限定する必要がある、ドレイン電圧をより高電圧にする場合のオフ電流の抑制が課題となる。

40

## 【0008】

本発明は、製造プロセスによるコスト増を抑えて、シリコンの結晶粒径を大きくすることにより表示装置の薄膜トランジスタにおける電子移動度等を改善しつつ、オン電流とオフ電流の適正化を図った薄膜トランジスタを備えた表示装置及びその製造方法を提案することを目的とする。

## 【課題を解決するための手段】

## 【0009】

上記課題を解決するための本発明に係る表示装置は、透明基板の上側に積層されたゲート電極と、前記ゲート電極の上側に積層されて、チャネル領域と、該チャネル領域を挟む

50

領域に不純物が打ち込まれて形成される２つの不純物領域とを含んで、該ゲート電極が発生させる電界によりソース電極及びドレイン電極間の電流を制御する半導体膜と、前記ソース電極及び前記ドレイン電極と前記２つの不純物領域との間にそれぞれ介在して、これらをオーミックコンタクトさせる２つのオーミックコンタクト層と、前記半導体膜の略中心となる位置を中心とする該半導体膜の一部の領域の上側に、前記半導体膜に接して積層される絶縁膜と、を含み、前記半導体膜は、微結晶シリコン又は多結晶シリコンを含んで形成され、前記２つの不純物領域は、前記半導体膜の上側に前記絶縁膜が形成されない部分の領域に形成され、前記２つのオーミックコンタクト層は、前記２つの不純物領域をそれぞれ覆うように形成され、前記ソース電極及び前記ドレイン電極は、前記２つのオーミックコンタクト層をそれぞれ覆うように形成される、ことを特徴とする。これにより、微結晶シリコン又は多結晶シリコンを含む半導体膜を用いる場合に、不純物領域が設けられてPN接合が形成されることによりOFF電流が抑制されるとともに、不純物領域がオーミックコンタクト層に覆われてドレイン電極等と接続する面積が広がって十分なON電流が確保される。

10

#### 【００１０】

また、上記表示装置において、前記２つの不純物領域は、前記ソース電極及び前記ドレイン電極の形状に従って、その一部が形成され、前記２つのオーミックコンタクト層のそれぞれは、前記絶縁膜の一部から前記２つの不純物領域のそれぞれの上面と側面の一つを覆うように延在し、前記ソース電極及び前記ドレイン電極の形状に従って形成される。これにより、オーミックコンタクト層と不純物領域とが効率的に形成されて、OFF電流が抑制されるとともにON電流が確保される。

20

#### 【００１１】

上記課題を解決するための本発明に係る表示装置の製造方法は、透明基板の上側にゲート電極を積層するゲート電極積層工程と、前記ゲート電極の上側に、微結晶シリコン又は多結晶シリコンを含んで、該ゲート電極が発生させる電界によりソース電極及びドレイン電極間の電流を制御する半導体膜を積層する半導体膜積層工程と、前記半導体膜に不純物を注入する不純物注入工程と、前記ソース電極及び前記ドレイン電極と前記不純物を注入した領域との間に介在してオーミックコンタクトさせる２つのオーミックコンタクト層を形成するとともに、前記ソース電極及び前記ドレイン電極とを形成する電極形成工程と、を含むことを特徴とする。

30

#### 【００１２】

また、上記表示装置の製造方法において、前記不純物注入工程は、前記半導体膜を被覆する絶縁膜を積層する絶縁膜積層工程と、前記絶縁膜上にレジストパターンを形成し、サイドエッチングして該レジストパターンよりも内側に前記絶縁膜が形成されるように加工する絶縁膜加工工程と、前記レジストパターンに従って、前記半導体膜をドライエッチングにより加工する半導体膜加工工程とを含み、前記レジストパターンよりも内側に形成された前記絶縁膜をマスクとして、前記半導体膜に前記不純物を注入する。従って、半導体膜に効率的に不純物を打ち込むことができる。このとき、前記電極形成工程は、前記オーミックコンタクト層を形成するための膜を、非晶質シリコンと不純物とからなるように成膜するオーミックコンタクト層成膜工程と、前記ソース電極及び前記ドレイン電極を形成するための金属を、前記オーミックコンタクト層を形成するための膜の上側に成膜する電極成膜工程と、前記電極成膜工程で成膜された金属を、前記ソース電極及び前記ドレイン電極の形状に加工する電極加工工程と、前記ソース電極及び前記ドレイン電極の形状に従って、前記絶縁膜をエッチングストッパーとして前記オーミックコンタクトを形成するための膜を加工することにより、２つのオーミックコンタクト層を形成するオーミックコンタクト層加工工程と、を含み、前記表示装置の製造方法は、前記ソース電極及び前記ドレイン電極の形状に従って、前記半導体膜に形成された前記不純物が注入された領域を、２つの不純物領域に加工する不純物領域加工工程を、さらに含む。従って、ソース電極及びドレイン電極の形状に従って、オーミックコンタクト層と、不純物領域とを効率的に形成できる。

40

50

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0014】

本発明の一実施形態に係る表示装置は、IPS (In-Plane Switching) 方式の液晶表示装置であって、ゲート信号線、ドレイン信号線、薄膜トランジスタ、画素電極、及び対向電極が配置されたTFT基板と、当該TFT基板と対向し、カラーフィルタが設けられたフィルタ基板と、両基板に挟まれた領域に封入された液晶材料と、を含んで構成される。このTFT基板では、ガラス基板等の透明基板上に薄膜トランジスタ等が配置されている。

10

【0015】

図1は、上記の液晶表示装置のTFT基板SUBの等価回路図を示している。また、図2は、TFT基板SUBの1つの画素領域の拡大平面図である。

【0016】

これらの図において、TFT基板SUBでは、多数のゲート信号線GLが互いに等間隔を置いて図中横方向に延びており、また、多数のドレイン信号線DLが互いに等間隔を置いて図中縦方向に延びている。そして、これらゲート信号線GL及びドレイン信号線DLにより碁盤状に並ぶ画素のそれぞれが区画されている。また、各ゲート信号線GLと平行に、コモン信号線CLが図中横方向に延びている。

【0017】

ゲート信号線GL及びドレイン信号線DLにより区画される画素領域の隅には、MIS (Metal-Insulator-Semiconductor) 構造を有する薄膜トランジスタTFTが形成されており、そのゲート電極GTはゲート信号線GLに接続され、ドレイン電極DTはドレイン信号線DLに接続されている。また、各画素領域には一対の画素電極PX及び対向電極CTが形成されており、画素電極PXは薄膜トランジスタTFTのソース電極STに接続され、対向電極CTはコモン信号線CLに接続されている。

20

【0018】

以上の回路構成において、各画素の対向電極CTにコモン信号線CLを介して基準電圧を印加し、ゲート信号線GLにゲート電圧を印加することにより、画素行が選択される。また、その選択のタイミングにおいて、各ドレイン信号線DLに映像信号を供給することにより、各画素の画素電極PXに映像信号の電圧が印加される。これにより、画素電極PXと対向電極CTの間に映像信号の電圧に応じた強度の横電界が発生し、この横電界の強度に応じて液晶分子の配向が決まるようになっている。

30

【0019】

ここで、図2に示すように、ゲート信号線GLに接続されたゲート電極GTの上側に、絶縁膜ESが形成されて、さらにドレイン電極DT及びソース電極STとが絶縁膜ESの一部に重なるように形成されている。

【0020】

図3は、図2に示すIII-IIIの断面を示す図であり、ドレイン信号線DLが延伸する方向に対して垂直な断面である。同図に示すように、TFT基板SUB上の薄膜トランジスタTFTでは、ゲート電極GTの上側にゲート絶縁膜GI1を介して半導体膜Sが形成される。半導体膜Sの上側には絶縁膜ESが半導体膜Sと接して形成され、絶縁膜ESの両側にドレイン電極DTとソース電極STとが形成される。また、半導体膜Sの両端に不純物が打ち込まれてドレイン領域DR及びソース領域SR (以下、2つの不純物領域) が形成される。この2つの不純物領域は、不純物がドーブされつつ非晶質シリコンが成膜された不純物シリコン層DS (以下、オーミックコンタクト層DS) を介して、ドレイン電極DT及びソース電極STとオーミックコンタクトをとって接続する。なお、オーミックコンタクトとは、配線層と半導体層等の電氣的接触部において、電圧-電流特性が直線性を示すコンタクトのことをいう。

40

【0021】

50

ここで、半導体膜 S は、非晶質シリコンが C V D 法等により成膜されて、レーザーアニール等によって、微結晶シリコン ( $\mu\text{c-Si}$ ) や多結晶シリコン等の結晶性シリコンへと結晶化される。一般に、半導体膜 S におけるシリコンの結晶性が向上するにつれて、結晶サイズが大きくなるために電子移動度が向上するが、要求されるプロセス温度が高温になるためにプロセスコストが増大することとなる。

【 0 0 2 2 】

本実施形態における半導体膜 S は、微結晶シリコンまたは多結晶シリコンを含んで形成される。

【 0 0 2 3 】

なお、微結晶シリコンは、結晶粒径が 1 0 n m 以上 1 0 0 n m 程度以下の範囲にあり、半導体膜 S における結晶粒径は、反射電子線回折やラマン分光法等によって確認することができる。

【 0 0 2 4 】

そして、半導体膜 S の両端には、絶縁膜 E S をマスクとして、リン ( P ) 等の N 型の不純物が打ち込まれて 2 つの不純物領域が形成される。半導体膜 S における絶縁膜 E S の下側の領域は、2 つの不純物領域に挟まれて、ゲート電極 G T が発生させる電界によりドレイン電極 D T 及びソース電極 S T 間の電流を制御するチャネル領域となる。

【 0 0 2 5 】

また、オーミックコンタクト層 D S は、ドレイン電極 D T 及びソース電極 S T と、2 つの不純物領域とをオーミックコンタクトさせるために、2 つの領域に分かれて形成される。オーミックコンタクト層 D S は、ドレイン電極 D T 及びソース電極 S T が形成されている材料に従った材料によって、2 つの不純物領域を覆うように形成される。ドレイン電極 D T 及びソース電極 S T が主にアルミニウムで形成されることから、本実施形態におけるオーミックコンタクト層 D S は、リン等の不純物が添加された非晶質シリコンで形成されている。図 3 で示されるように、この 2 つのオーミックコンタクト層 D S は、絶縁膜 E S の一部と、ドレイン領域 D R 又はソース領域 S R にわたって延在するように設けられる。なお、リン等の不純物は、2 つの不純物領域にも注入されているが、オーミックコンタクト層 D S は、これらの領域よりも不純物の濃度が高く、2 つの不純物領域とは違って非晶質シリコンで形成されている。

【 0 0 2 6 】

絶縁膜 E S は、C V D 法によって、例えば二酸化シリコン ( $\text{SiO}_2$  等) で形成される。後述するように、この絶縁膜 E S は、2 つの不純物領域に不純物を打ち込む際のマスクとしての役割と、ドレイン電極 D T 等をマスクとしてオーミックコンタクト層 D S をエッチングして形成する際に半導体膜 S にエッチングが及ばないようにする役割を担う。

【 0 0 2 7 】

ドレイン電極 D T 及びソース電極 S T は、主にアルミニウム等の金属で形成されて、2 つのオーミックコンタクト層 D S を覆うようにそれぞれ形成されている。これにより、ドレイン電極 D T 及びドレイン領域 D R の間、ソース電極 S T 及びソース領域 S R の間には、不純物シリコン層 D S が介在することとなる。

【 0 0 2 8 】

以上により、2 つの不純物領域が 2 つのオーミックコンタクト層 D S を介してドレイン電極 D T 及びソース電極 S T と接続する面積が広がるために、接触抵抗が減少してオン電流が確保される。そして、2 つの不純物領域は、チャネル領域として機能する絶縁膜 E S の下側の半導体膜 S の部分と、P N 接合を形成する。これにより、ゲート電圧が印加されていない場合に、2 つの不純物領域とチャネル領域の境界には空乏層が形成されて、ドレイン電極 D T 及びソース電極 S T とで、より高い電圧がかかる場合であってもリーク電流が防止されることとなる ( 図 9 B ) 。

【 0 0 2 9 】

以上では、本実施形態における T F T 基板 S U B 上の薄膜トランジスタ T F T について説明した。以下では、かかる薄膜トランジスタ T F T を製造する方法について、図 4 A ~

10

20

30

40

50

図4 J、及び図5 A～図5 Cを用いて説明する。

【0030】

まず、ガラス基板等の透明基板GAに汚染防止膜GNが成膜されて、ゲート電極GTが形成される(図4 A)。汚染防止膜GNは、例えばCVD法により窒化シリコン(SiN)が成膜される。また、ゲート電極GTは、例えばモリブデン等の導電性の金属で形成されて、公知のリソグラフィ工程とエッチング工程を経てその形状が同図に示すように加工される。

【0031】

次に、ゲート電極GTを被覆するようにゲート絶縁膜GI1が形成されるとともに、半導体膜Sがゲート絶縁膜GI1上に形成される(図4 B)。ゲート絶縁膜GI1は、例えば二酸化シリコンであり、CVD法によって成膜される。半導体膜Sは、まず、非晶質シリコンがCVD法によって成膜されて、レーザアニーリング、もしくはRTA(Rapid Thermal Anneal)法を用いて多結晶シリコンへと結晶化される。このとき、非晶質シリコンを熱処理することにより、微結晶シリコンへと結晶化させてもよい。

【0032】

次に、結晶化された半導体膜Sの上側に、CVD法により二酸化シリコンを成膜して、絶縁膜ESを積層する(図4 C)。

【0033】

そして、絶縁膜ES上に、公知のリソグラフィ工程を経て、レジストパターンRPを形成する(図4 D)。この公知のリソグラフィ工程では、まず、フォトレジストを上記の絶縁膜ES上に塗布し、該フォトレジスト上に、所定のパターンが形成されたフォトマスクを介して紫外線等を照射する。フォトマスク上のパターンに対応するパターンがフォトレジスト上に転写されると、紫外線等が照射される部分と照射されない部分が生じて、照射される部分のフォトレジストに化学反応が生じる。そして、現像プロセスにより、フォトレジストにける化学反応が生じた部分、或いは、化学反応が生じなかった部分が除去されて、レジストパターンRPが形成されることとなる。このレジストパターンRPの形状は、半導体膜Sを加工する形状で形成されている。

【0034】

そして特に、このレジストパターンRPをマスクにして、フッ酸系でウェットエッチングを行い、積層されている絶縁膜ESを加工する(図4 E)。このとき、絶縁膜ESをサイドエッチングして、レジストパターンRPの内側に絶縁膜ESが形成されるようにする。ウェットエッチングによって絶縁膜ESを加工した後、このレジストパターンRPに従って、ドライエッチングをすることにより、半導体膜SをレジストパターンRPと同様の形状に加工する(図4 F)。絶縁膜ESは、レジストパターンRPの外延部からその内側に略均等に侵食されることにより形成される。一方、半導体膜Sは、レジストパターンRPの形状と略同じ形状に形成される。従って、絶縁膜ESは、半導体膜Sの上側に接して、半導体膜Sの略中心となる位置を中心とする領域に形成されることとなる。

【0035】

そしてこの後、レジストパターンRPが酸素プラズマ等を用いるアッシングにより除去されて、例えばリン(P)等のN型の不純物が半導体膜Sに打ち込まれる(図4 G)。この不純物は、イオン注入機によりイオン化されることにより電界加速されて、加工する対象となるTFT基板の面内に均一に、TFT基板に対して略垂直方向から打ち込まれる。特に本実施形態では、図4 Fで示すようにウェットエッチングで形成された絶縁膜ESがマスクとなって、半導体膜Sにおいて絶縁膜ESが形成されない部分の領域NRに不純物が打ち込まれることとなる。また、絶縁膜ESの下側の領域は、不純物が打ち込まれず、多結晶シリコン又は微結晶シリコンで形成されることとなる。ここで図5 Aは、図4 Gにおける各層が加工された様子を示す上面図である。図5 Aに示すように、半導体膜Sに不純物が打ち込まれて形成される領域NRは、絶縁膜ESの周囲を囲むように形成されている。

【0036】

半導体膜 S に不純物が打ち込まれた後に、オーミックコンタクト層 D S と、ドレイン電極 D T 及びソース電極 S T を形成する金属膜が成膜される (図 4 H)。まずオーミックコンタクト層 D S は、例えばリン等の不純物とともに非晶質シリコンを P E C V D 法により成膜することで形成される。本実施形態におけるオーミックコンタクト層 D S は、不純物の濃度が上記の半導体膜 S に形成された領域 N R よりも高くなるように形成される。ドレイン電極 D T 及びソース電極 S T は、スパッタリング法により、バリアメタル層 M B、主配線層 M M、キャップメタル層 M C がそれぞれ形成される。このとき、バリアメタル層 M B およびキャップメタル層 M C は、例えば、チタン、タングステン、クロムやモリブデン等の高融点の金属による導電性の金属薄膜により形成される。主配線層 M M は、アルミニウム又はアルミニウムを含む合金で形成される。なお、アルミニウム又はアルミニウム系の合金は、不純物とともに成膜された非晶質のシリコンと良質なオーミックコンタクトをとる。

10

## 【 0 0 3 7 】

そして、キャップメタル層 M C、主配線層 M M、バリアメタル層 M B、及び、オーミックコンタクト層 D S は、公知のリソグラフィ工程およびエッチング工程によって、ドレイン電極 D T およびソース電極 S T の形状に加工される (図 4 I)。本実施形態におけるドレイン電極 D T 及びソース電極 S T は、キャップメタル層 M C、主配線層 M M、バリアメタル層 M B の 3 層からなる。ここで、図 5 B 及び図 5 C は、図 4 I における各層が加工された様子を示す上面図である。まず、キャップメタル層 M C 上にドレイン電極 D T 及びソース電極 S T を形成するためのレジストパターンを形成し、該レジストパターンに従って、キャップメタル層 M C、主配線層 M M、バリアメタル層 M B がウェットエッチングされて、ドレイン電極 D T およびソース電極 S T が形成される (図 5 B)。次に、形成されたドレイン電極 D T 及びソース電極 S T をマスクとして、オーミックコンタクト層 D S をドライエッチングして、ドレイン電極 D T 及びソース電極 S T と同様の形状に加工する。これにより、オーミックコンタクト層 D S は、ドレイン電極 D T 等に上側から覆われるように形成されることとなる (図 5 B)。

20

## 【 0 0 3 8 】

そして、オーミックコンタクト層 D S を加工するドライエッチングをそのまま継続して、半導体膜 S における不純物が打ち込まれた領域 N R を加工し、2つの不純物領域 (ドレイン領域 D R 及びソース領域 S R) を形成する (図 5 C)。オーミックコンタクト層 D S をドライエッチングすることで、領域 N R の一部が露出する。本実施形態では、領域 N R とオーミックコンタクト層 D S は、ともにリンが添加されたシリコンで形成されているため、同じドライエッチングのプロセスで加工が可能となる。このとき絶縁膜 E S は、半導体膜 S にドライエッチングが及ばないようにさせるエッチングストッパーの役割を果たす。図 5 C に示すように、ドレイン電極 D T 及びソース電極 S T の形状に従って、領域 N R が加工されて、2つの不純物領域の形状の一部となる側面が形成されることとなる。ドレイン電極 D T 及びソース電極 S T と、2つの不純物領域とのそれぞれの間には、2つのオーミックコンタクト層 D S がそれぞれ介在している。2つの不純物領域は、2つのオーミックコンタクト層 D S にそれぞれ覆われるように形成される。さらに、2つのオーミックコンタクト層 D S の上側には、2つのオーミックコンタクト層 D S と同様の形状となるドレイン電極 D T 及びソース電極 S T が、2つのオーミックコンタクト層を覆うように形成される。このとき、ドレイン電極 D T 及びソース電極 S T と2つのオーミックコンタクト層 D S は、絶縁膜 E S の一部からドレイン領域 D R 及びソース領域 S R を覆うように延在する。ドレイン領域 D R 及びソース領域 S R は、その上面とひとつの側面がオーミックコンタクト層 D S に覆われて、オーミックコンタクト層 D S と接触している。このようにして、ドレイン領域 D R 及びソース領域 S R の間の領域に存在する半導体膜 S は、上側に絶縁膜 E S が形成されてチャネル領域として機能することとなる。ドレイン領域 D R 及びソース領域 S R は、半導体膜 S の両端に、チャネル領域として機能する領域を挟むように形成される。

30

40

## 【 0 0 3 9 】

50



最後に、上記で構成された構造全体に、パッシベーション膜 P A が、プラズマ C V D 法により窒化シリコンで成膜される（図 4 J）。このパッシベーション膜 P A により、上述のようにして形成された薄膜トランジスタ T F T が保護される。

【 0 0 4 0 】

なお、本発明の実施形態に係る液晶表示装置において、上記では液晶の駆動方式を I P S 方式として説明しているが、本発明は例えば V A (Vertically Aligned) 方式や T N (Twisted Nematic) 方式等のその他の方式の駆動方式であってもよい。図 1 0 は、V A 方式及び T N 方式の表示装置を構成する T F T 基板 S U B の等価回路を示す図であり、図 1 1 は、これらの方式の表示装置の T F T 基板 S U B の画素領域を示す拡大平面図である。V A 方式及び T N 方式の場合には、T F T 基板 S U B に対向電極 C T 及びコモン信号線 C L が設けられる代わりに、T F T 基板と対向してカラーフィルタが設けられた対向基板に、対向電極 C T が設けられている。

10

【 0 0 4 1 】

なお、本発明の実施形態を上記では液晶表示装置として説明しているが、これに限定されることはなく、たとえば有機 E L (Electro Luminescence) 素子等の他の表示装置にも適用できることはいまでもない。

【図面の簡単な説明】

【 0 0 4 2 】

【図 1】I P S 方式の液晶表示装置を構成する T F T 基板の等価回路図である。

【図 2】本実施形態に係る T F T 基板の画素領域を示す拡大平面図である。

20

【図 3】図 2 の I I I - I I I 切断面における断面図である。

【図 4 A】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 B】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 C】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 D】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 E】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

30

【図 4 F】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 G】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 H】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 I】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【図 4 J】本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

40

【図 5 A】薄膜トランジスタ T F T を製造する様子を示す上面図である。

【図 5 B】薄膜トランジスタ T F T を製造する様子を示す上面図である。

【図 5 C】薄膜トランジスタ T F T を製造する様子を示す上面図である。

【図 6】特許文献 1 で記載されているものと同様のボトムゲート構造による薄膜トランジスタを示す図である。

【図 7】図 6 における薄膜トランジスタの構造に対して本願発明者らが検討した構造を示す図である。

【図 8】図 7 における薄膜トランジスタの構造に対して本願発明者らが検討した構造を示す図である。

50

【図 9 A】図 8 の薄膜トランジスタにおけるゲート電圧とドレイン電流の特性を示すグラフである。

【図 9 B】図 3 の薄膜トランジスタにおけるゲート電圧とドレイン電流の特性を示すグラフである。

【図 10】VA 方式及び TN 方式の表示装置を構成する TFT 基板の等価回路図の一例を示す図である。

【図 11】VA 方式及び TN 方式の TFT 基板の画素領域の一例を示す拡大平面図である。

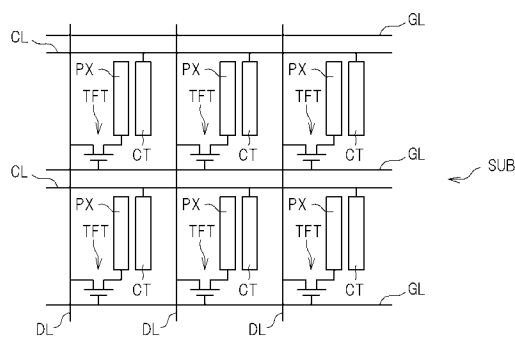
【符号の説明】

【0043】

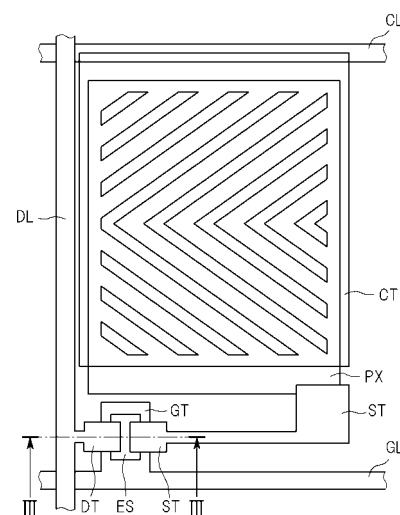
SUB TFT 基板、GL ゲート信号線、DL ドレイン信号線、CL コモン信号線、PX 画素電極、CT 対向電極、TFT 薄膜トランジスタ、DT ドレイン電極、ST ソース電極、GT ゲート電極、ES 絶縁膜、DS 不純物シリコン層（オーミックコンタクト層）、S 半導体膜、GA 透明基板、GN 汚染防止膜、GI1 ゲート絶縁膜、DR ドレイン領域、SR ソース領域、MB バリアメタル層、MM 主配線層、MC キャップメタル層、RP レジストパターン、NR 領域、PA パシベーション膜、SA 非晶質シリコン層、SP 多結晶シリコン層。

10

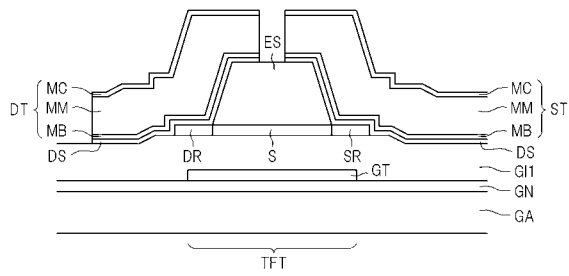
【図 1】



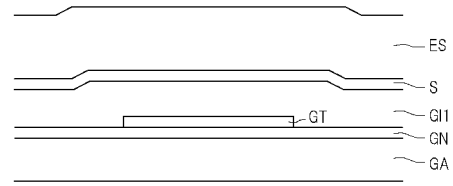
【図 2】



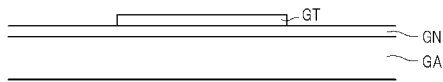
【図 3】



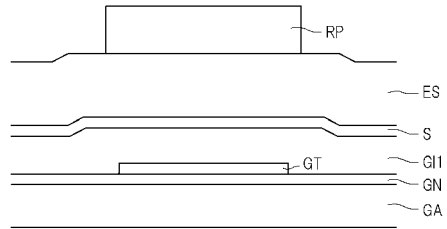
【図 4 C】



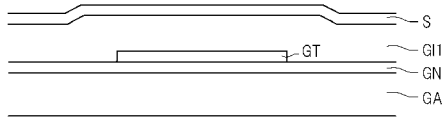
【図 4 A】



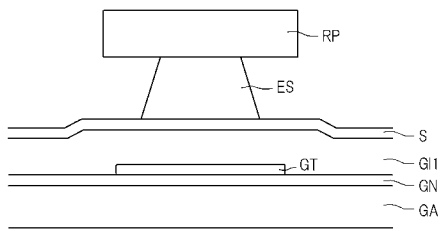
【図 4 D】



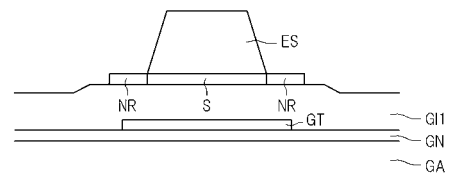
【図 4 B】



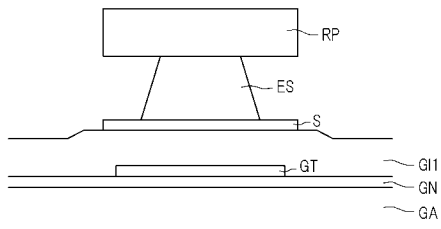
【図 4 E】



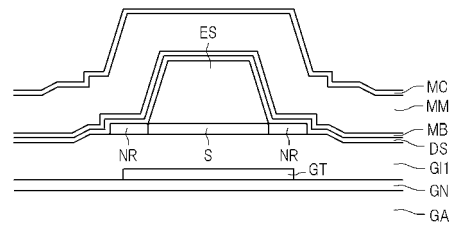
【図 4 G】



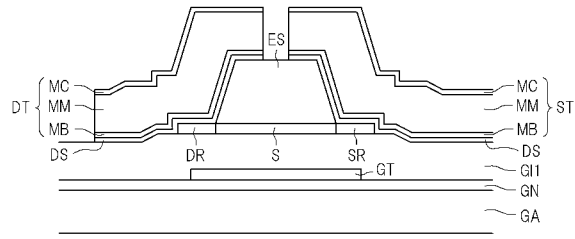
【図 4 F】



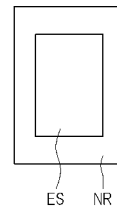
【図 4 H】



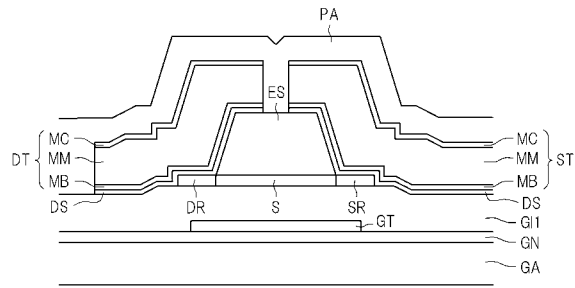
【図 4 I】



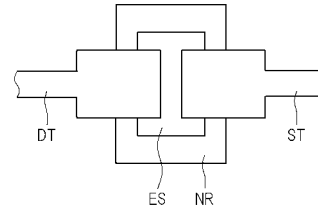
【図 5 A】



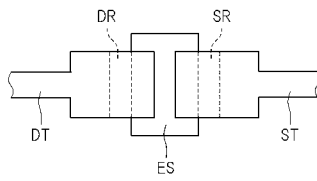
【図 4 J】



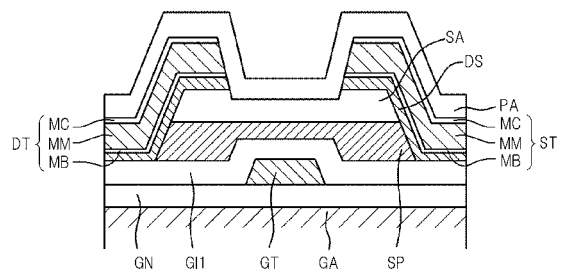
【図 5 B】



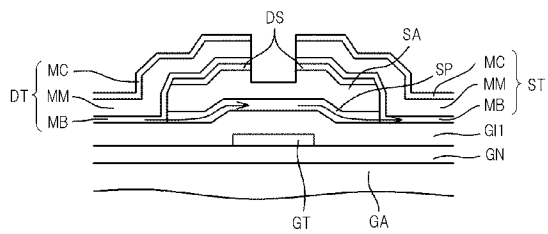
【図 5 C】



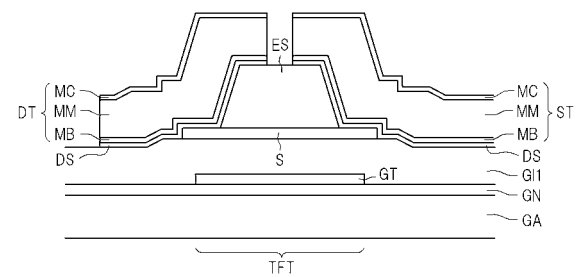
【図 7】



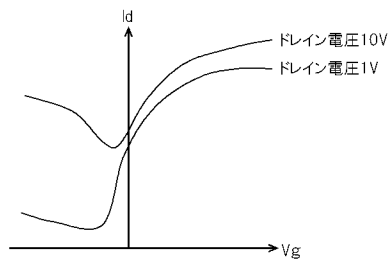
【図 6】



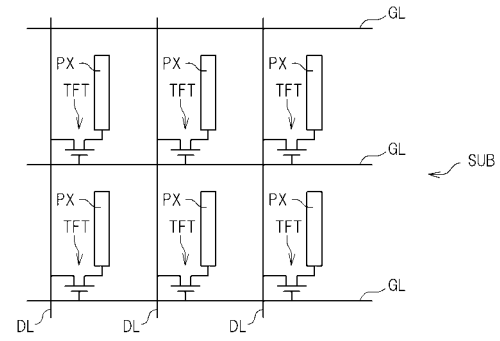
【図 8】



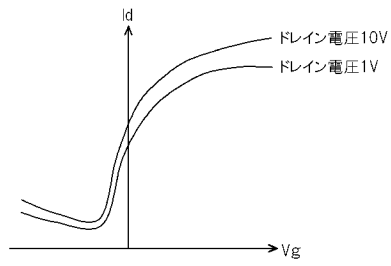
【図 9 A】



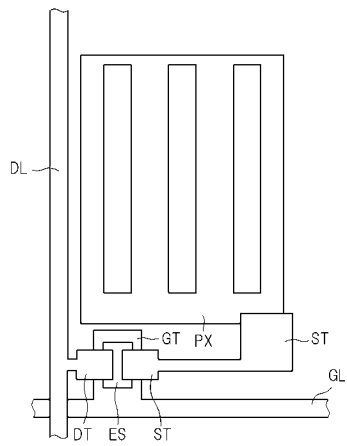
【図 10】



【図 9 B】



【図 11】



---

フロントページの続き

(72)発明者 境 武志

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 大橋 達也

(56)参考文献 特開 2 0 0 3 - 1 5 8 1 3 3 ( J P , A )

特開平 0 6 - 1 1 8 4 4 5 ( J P , A )

特開平 0 9 - 2 0 3 9 0 8 ( J P , A )

特開 2 0 0 6 - 0 8 0 5 7 3 ( J P , A )

特開 2 0 0 2 - 1 4 1 5 1 3 ( J P , A )

特開平 0 8 - 0 1 8 0 5 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 4 1 7