



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I830751 B

(45)公告日：中華民國 113 (2024) 年 02 月 01 日

(21)申請案號：108124688

(22)申請日：中華民國 108 (2019) 年 07 月 12 日

(51)Int. Cl. : H01J37/32 (2006.01)

H01L21/3065(2006.01)

H01L21/027 (2006.01)

H01L21/67 (2006.01)

C23C16/455 (2006.01)

(30)優先權：2018/07/19 美國

62/700,482

(71)申請人：美商應用材料股份有限公司(美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：凡卡塔蘇巴拉馬尼恩 艾斯華倫納德 VENKATASUBRAMANIAN, ESWARANAND

(IN)；戈坦姆 薩莫爾 E GOTTHEIM, SAMUEL E. (US)；曼納 帕拉米特

MANNA, PRAMIT (IN)；馬禮克 亞伯希吉特巴蘇 MALLICK, ABHIJIT BASU (IN)

(74)代理人：李世章；彭國洋

(56)參考文獻：

TW I259850B

TW 201700766A

US 5661093A

US 7611758B2

US 2005/0112509A1

US 2018/0136369A1

審查人員：曾宏仁

申請專利範圍項數：20 項 圖式數：4 共 46 頁

(54)名稱

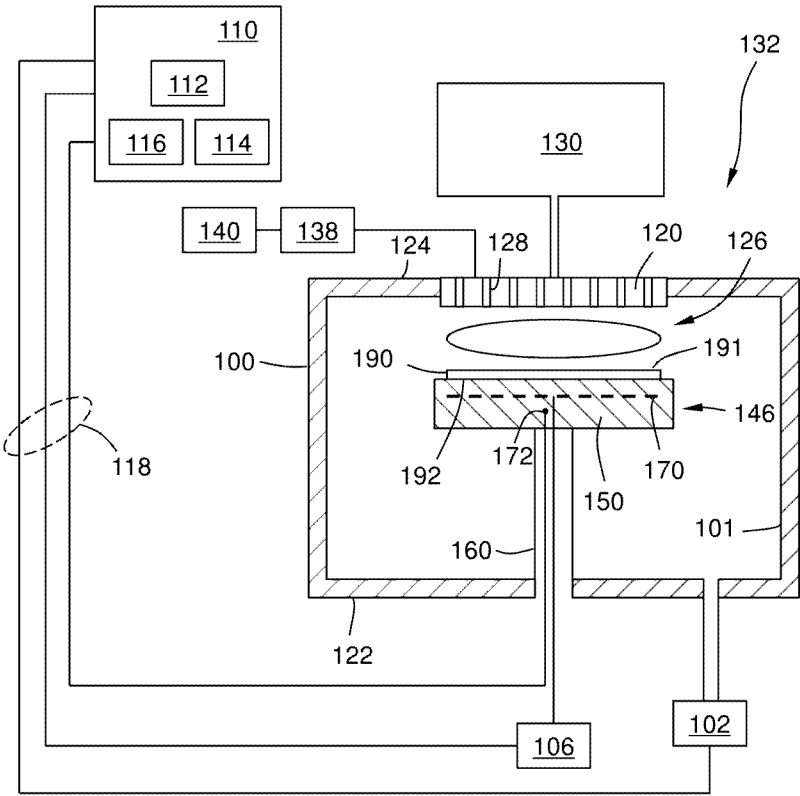
低溫高品質的介電膜及其形成方法

(57)摘要

描述了沉積高密度介電膜來用於圖案化應用的技術。更特定而言，提供了處理基板的方法。該方法包括將含有前驅物的氣體混合物流動到處理腔室的處理容積中，該處理腔室具有在靜電夾盤上定位的基板。將基板維持在約 0.1mTorr 與約 10Torr 之間的壓力下。藉由將第一 RF 偏壓施加到靜電夾盤以在基板位準處產生電漿，而在基板上沉積介電膜。介電膜具有在約 1.5 至約 3 的範圍中的折射率。

Techniques for deposition of high-density dielectric films for patterning applications are described. More particularly, a method of processing a substrate is provided. The method includes flowing a precursor-containing gas mixture into a processing volume of a processing chamber having a substrate positioned on an electrostatic chuck. The substrate is maintained at a pressure between about 0.1 mTorr and about 10 Torr. A plasma is generated at the substrate level by applying a first RF bias to the electrostatic chuck to deposit a dielectric film on the substrate. The dielectric film has a refractive index in a range of about 1.5 to about 3.

指定代表圖：



第1A圖

符號簡單說明：

- 100:處理腔室
- 101:側壁
- 102:真空泵
- 106:加熱器電源
- 110:控制器
- 112:中央處理單元 (CPU)
- 114:支援電路
- 116:記憶體
- 118:訊號匯流排
- 120:氣體分配組件
- 122:底壁
- 124:頂壁
- 126:處理容積
- 128:孔
- 130:氣體面板
- 132:基板處理系統
- 138:可選的匹配網路
- 140:RF 電源
- 146:基板支撐組件
- 150:靜電夾盤
- 160:桿
- 170:加熱器元件
- 172:溫度感測器
- 190:基板
- 191:表面
- 192:上表面



I830751

【發明摘要】

【中文發明名稱】低溫高品質的介電膜及其形成方法

【英文發明名稱】LOW TEMPERATURE HIGH-QUALITY DIELECTRIC FILMS
AND METHOD OF FORMING THE SAME

【中文】

描述了沉積高密度介電膜來用於圖案化應用的技術。更特定而言，提供了處理基板的方法。該方法包括將含有前驅物的氣體混合物流動到處理腔室的處理容積中，該處理腔室具有在靜電夾盤上定位的基板。將基板維持在約 0.1 mTorr 與約 10 Torr 之間的壓力下。藉由將第一 RF 偏壓施加到靜電夾盤以在基板位準處產生電漿，而在基板上沉積介電膜。介電膜具有在約 1.5 至約 3 的範圍中的折射率。

【英文】

Techniques for deposition of high-density dielectric films for patterning applications are described. More particularly, a method of processing a substrate is provided. The method includes flowing a precursor-containing gas mixture into a processing volume of a processing chamber having a substrate positioned on an electrostatic chuck. The substrate is maintained at a pressure between about 0.1 mTorr and about 10 Torr. A plasma is generated at the substrate level by applying a first RF bias to the electrostatic chuck to deposit a dielectric film on the substrate. The dielectric film has a refractive index in a range of about 1.5 to about 3.

【指定代表圖】第 (1A) 圖。

【代表圖之符號簡單說明】

1 0 0 ... 處 理 腔 室

1 0 1 ... 側 壁

1 0 2 ... 真 空 泵

1 0 6 ... 加 熱 器 電 源

1 1 0 ... 控 制 器

1 1 2 ... 中 央 處 理 單 元 (C P U)

1 1 4 ... 支 援 電 路

1 1 6 ... 記 憶 體

1 1 8 ... 訊 號 匯 流 排

1 2 0 ... 氣 體 分 配 組 件

1 2 2 ... 底 壁

1 2 4 ... 頂 壁

1 2 6 ... 處 理 容 積

1 2 8 ... 孔

1 3 0 ... 氣 體 面 板

1 3 2 ... 基 板 處 理 系 統

1 3 8 ... 可 選 的 匹 配 網 路

1 4 0 ... R F 電 源

1 4 6 ... 基 板 支 撐 組 件

1 5 0 ... 靜 電 夾 盤

1 6 0 ... 桿

1 7 0 ... 加 熱 器 元 件

1 7 2 ... 溫 度 感 測 器

1 9 0 ... 基 板

1 9 1 ... 表 面

1 9 2 ... 上 表 面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】低溫高品質的介電膜及其形成方法

【英文發明名稱】LOW TEMPERATURE HIGH-QUALITY DIELECTRIC FILMS AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本揭示的實施例係關於電子元件製造領域，並且特定而言，係關於積體電路(IC)製造。更特定而言，本揭示的實施例提供了沉積介電膜的方法，該等方法可以用於圖案化應用。

【先前技術】

【0002】 積體電路已發展到複雜元件，該等元件可以包括在單個晶片上的數百萬電晶體、電容器、及電阻器。晶片設計的發展持續要求更快的電路系統及更大的電路密度。對具有更大電路密度的更快電路的需求對用於製造此種積體電路的材料提出對應需求。特定而言，由於積體電路部件的尺寸減小，必須使用低電阻率導電材料以及低介電常數絕緣材料來從此種部件獲得適宜的電氣效能。

【0003】 對較大積體電路密度的需求亦對在製造積體電路部件時使用的製程序列提出需求。例如，在使用習知光微影技術的製程序列中，在基板上設置的材料層堆疊上方形成能量敏感抗蝕劑層。將能量敏感抗蝕劑層暴露至圖案影像以形成光阻遮罩。其後，使用蝕刻製程將遮罩圖案轉移到堆疊的一或多個材料層。在蝕刻製程中使用的化學蝕刻劑經選擇為與能量敏感抗蝕劑的遮罩相比對堆疊的

材料層具有較大蝕刻選擇性。亦即，化學蝕刻劑以遠快於能量敏感抗蝕劑的速率蝕刻材料堆疊的一或多層。相對抗蝕劑對堆疊的一或多個材料層的蝕刻選擇性防止在完成圖案轉移之前消耗能量敏感抗蝕劑。

【0004】 由於圖案尺寸減小，能量敏感抗蝕劑的厚度必須對應地減小，以便控制圖案解析度。工業中的眾多新應用具有非常低的熱預算，低於400℃（例如，交叉點記憶體流）。因此，需要沉積高品質介電膜來用於圖案化以及滿足此嚴格熱預算而不犧牲膜品質的其他應用。

【發明內容】

【0005】 描述了用於製造積體電路的設備及方法。在一或多個實施例中，描述了一種在基板上形成膜的方法。在一個實施例中，藉由將含有前驅物的氣體混物流動到處理腔室的處理容積而在基板上形成膜，該處理腔室具有在靜電夾盤上定位的基板。將基板維持在約0.1 mTorr與約10 Torr的範圍中的壓力以及在約-50℃至約150℃的範圍中的溫度下。藉由將第一RF偏壓施加到靜電夾盤以在基板位準處產生電漿，而在基板上沉積介電膜，介電膜具有在約1.5至約3的範圍中的折射率。

【0006】 在一或多個實施例中，描述了一種在基板上形成膜的方法。在一個實施例中，藉由將含有前驅物的氣體混物流動到處理腔室的處理容積中而在基板上形成膜，該處理腔室具有在靜電夾盤上定位的基板，其中含有前驅物的氣體混合物包含選自下列的一或多種前驅物：矽

烷(SiH_4)、三乙氧基矽烷($\text{SiH}(\text{OEt})_3$)、四乙氧基矽烷(正矽酸四乙酯; $\text{Si}(\text{OEt})_4$ 或TEOS)、二矽烷(Si_2H_6)、 $\text{SiH}(\text{CH}_3)_3$ 、二甲基矽烷($\text{SiH}_2(\text{CH}_3)_2$)、甲基矽烷(SiH_3CH_3)、二氯矽烷(SiH_2Cl_2)、四氯化矽(SiCl_4)、四氟化矽(SiF_4)、三氯矽烷(HSiCl_3)、甲基矽烷(CH_3SiH_3)、三甲基矽烷($\text{C}_3\text{H}_{10}\text{Si}$)、1,1,3,3-四甲基二矽氧烷(TMDZ)、1,3,5-三矽雜戊烷(TSP)、(雙(第三丁基胺基)矽烷(BTBAS))、(雙(二乙基胺基)矽烷(BDEAS))、三(二甲基胺基)矽烷(TDMAS)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{OEt})_2$ (Si-TBES)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{H})\text{NH}_2$ (Si-TBAS)、鍺烷(GeH_4)、四氯化鍺(GeCl_4)、四氟化鍺(GeF_4)、第三丁基鍺烷($\text{GeH}(\text{CH}_3)_3$)、 N_2O 、 O_2 、 NH_3 、 N_2 、 H_2 、 C_2H_2 、或 C_3H_6 。將基板維持在約0.1 mTorr至約10 Torr的範圍中的壓力下。藉由將第一RF偏壓及第二RF偏壓施加到靜電夾盤來在基板位準處產生電漿，用在基板上沉積介電膜，介電膜具有在約1.5至約3的範圍中的折射率。

【0007】 在一或多個實施例中，描述了一種在基板上形成膜的方法。在一個實施例中，藉由將含有前驅物的氣體混合物流動到處理腔室的處理容積中，在基板上形成膜，該處理腔室具有在靜電夾盤上定位的基板。將處理容積維持在約0.1 mTorr至約10 Torr的範圍中的壓力下。藉由將第一RF偏壓及第二RF偏壓施加到靜電夾盤來在基

板位準處產生電漿，用以在基板上沉積介電膜，介電膜具有在約1.5至約3的範圍中的折射率。圖案化的光阻層在介電膜上方形成。在與圖案化的光阻層對應的圖案中蝕刻介電膜。將圖案蝕刻到基板中。將材料沉積到介電膜的經蝕刻部分中。

【圖式簡單說明】

【0008】 為了能夠詳細理解本揭示的上述特徵所用方式，可參考實施例進行對上文簡要概述的本揭示的更特定描述，一些實施例在附圖中示出。然而，應注意，附圖僅示出本揭示的典型實施例，並且由此不被認為限制其範疇，因為本揭示可允許其他等同有效的實施例。如本文描述的實施例藉由實例的方式示出並且不限於附圖的圖式，其中相同參考指示類似元件。

【0009】 第1A圖示出了可以用於實踐本文描述的實施例的沉積系統的示意性橫截面圖；

【0010】 第1B圖描繪了可以用於實踐本文描述的實施例的另一沉積系統的示意性橫截面圖；

【0011】 第2圖描繪了可用於第1A圖及第1B圖的設備中來實踐本文描述的實施例的靜電夾盤的示意性橫截面圖；

【0012】 第3圖描繪了根據一或多個實施例的用於在基板上形成介電膜的方法的流程圖；以及

【0013】 第4A圖至第4B圖描繪了根據一或多個實施例的用於在基板上形成的膜堆疊上形成介電膜的序列的一個實施例。

【實施方式】

【0014】 在描述本揭示的若干示例性實施例之前，將理解，本揭示不限於在以下描述中闡述的構造或製程步驟的細節。本揭示能夠具有其他實施例並且以各種方式實踐或進行。

【0015】 在諸圖中圖示的眾多細節、尺寸、角度及其他特徵僅說明特定實施例。由此，其他實施例可以具有其他細節、部件、尺寸、角度及特徵，而不脫離本揭示的精神或範疇。此外，本揭示的其他實施例可以在沒有下文描述的若干細節的情況下實踐。

【0016】 如本文所使用的「基板」、「基板表面」或類似者指其上執行處理的基板上形成的任何基板或材料表面。例如，取決於應用，其上可以執行處理的基板表面包括但不限於諸如矽、氧化矽、應變矽、絕緣體上矽(SOI)、碳摻雜的氧化矽、氮化矽、摻雜矽、鍺、砷化鎵、玻璃、藍寶石的材料及任何其他材料，諸如金屬、金屬氮化物、金屬合金、及其他導電材料。基板包括但不限於半導體晶圓。基板可暴露至預處理製程，以拋光、蝕刻、還原、氧化、羥基化(或以其他方式產生或接枝目標化學部分以賦予化學官能度)、退火及/或烘焙基板表面。除了直接在基板本身的表面上處理之外，在本揭示中，如下文更詳細

揭示，所揭示的任何膜處理步驟亦可在基板上形成的下層上執行，並且術語「基板表面」意欲包括如上下文指出的此種下層。因此，例如，在膜/層或部分膜/層已經沉積到基板表面上的情況下，新沉積的膜/層的暴露表面變為基板表面。給定基板表面所包含的材料將取決於待沉積的材料、以及所使用的特定化學物質。

【0017】 如在本說明書及隨附申請專利範圍中使用，術語「反應性化合物」、「反應性氣體」、「反應性物質」、「前驅物」、「處理氣體」及類似者可互換使用以意謂具有在表面反應（例如，化學吸附、氧化、還原）中能夠與基板表面或基板表面上的材料反應的物種的物質。例如，第一「反應性氣體」可簡單地吸附到基板表面上並且可用於與第二反應性氣體的進一步化學反應。

【0018】 如在本說明書及隨附申請專利範圍中使用，術語「前驅物」、「反應物」、「反應性氣體」及類似者可互換使用以指可以與基板表面反應的任何氣體物種。

【0019】 如本文使用，「化學氣相沉積」指同時或實質上同時將基板表面暴露至前驅物及/或共反應物的製程。如本文使用，「實質上同時」指共流或針對前驅物的大部分暴露存在重疊的情況。

【0020】 歸因於成本效率及膜品質通用性，電漿增強化學氣相沉積(PECVD)廣泛地用於沉積膜。在PECVD製程中，將已經在載氣中攜帶的烴源（諸如氣相烴或液相烴的蒸氣）引入PECVD腔室中。亦將電漿引發的氣體（通

常氮氣)引入腔室中。電漿隨後在腔室中引發以產生激發的CH自由基。激發的CH自由基化學鍵接到在腔室中定位的基板表面，從而在其上形成期望的非晶碳膜。本文參考PECVD製程描述的實施例可以使用任何適宜的薄膜沉積系統執行。本文描述的任何設備描述係說明性的並且不應當理解或解釋為限制本文描述的實施例的範疇。

【0021】在半導體工業中的眾多應用具有小於400℃，甚至在一些情況下小於300℃的非常低的熱預算。通常，在PECVD製程中，膜品質在低溫下大幅度受損。本文描述的實施例有利地提供了用於沉積高品質介電膜的方法來用於圖案化以及滿足此嚴格熱預算而不犧牲膜品質的其他應用。

【0022】本文描述的實施例包括改進的製造介電膜的方法，該等介電膜具有高密度(例如， $> 1.8 \text{ g/cc}$)、高折射率(例如， > 1.5)及低應力(例如， $< -500 \text{ MPa}$)。在一或多個實施例中，密度及應力取決於所製造的特定膜，但一或多個實施例的膜當與在非常高的溫度下製造的膜相比時具有類似或改進的密度及應力。根據本文描述的實施例製造的介電膜係非晶性質並且與現有的圖案化膜相比具有較高蝕刻選擇性，以及非常大的密度(例如， $> 1.8 \text{ g/cc}$)連同較低應力($< -500 \text{ MPa}$)。大體上，本文描述的沉積製程亦完全與用於硬遮罩應用的現有整合方案相容。

【0023】 在一些實施例中，本文描述的介電膜可藉由使用含有前驅物的氣體混合物的化學氣相沉積（電漿增強及/或熱）製程形成，該等含有前驅物的氣體混合物包括選自下列的一或多種前驅物：矽烷（ SiH_4 ）、三乙氧基矽烷（ $\text{SiH}(\text{OEt})_3$ ）、四乙氧基矽烷（正矽酸四乙酯； $\text{Si}(\text{OEt})_4$ 或TEOS）、二矽烷（ Si_2H_6 ）、 $\text{SiH}(\text{CH}_3)_3$ 、二甲基矽烷（ $\text{SiH}_2(\text{CH}_3)_2$ ）、甲基矽烷（ SiH_3CH_3 ）、二氯矽烷（ SiH_2Cl_2 ）、四氯化矽（ SiCl_4 ）、四氟化矽（ SiF_4 ）、三氯矽烷（ HSiCl_3 ）、甲基矽烷（ CH_3SiH_3 ）、三甲基矽烷（ $\text{C}_3\text{H}_{10}\text{Si}$ ）、1,1,3,3-四甲基二矽氧烷（TMDZ）、1,3,5-三矽雜戊烷（TSP）、（雙（第三丁基胺基）矽烷（BTBAS）、（雙（二乙基胺基）矽烷（BDEAS）、三（二甲基胺基）矽烷（TDMAS）、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{OEt})_2$ （Si-TBES）、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{H})\text{NH}_2$ （Si-TBAS）、鍺烷（ GeH_4 ）、四氯化鍺（ GeCl_4 ）、四氟化鍺（ GeF_4 ）、第三丁基鍺烷（ $\text{GeH}(\text{CH}_3)_3$ ）、 N_2O 、 O_2 、 NH_3 、 N_2 、 H_2 、 C_2H_2 、或 C_3H_6 。

【0024】 沉積製程可在從約 -50°C 至約 150°C 變化的溫度下執行，包括約 -50°C 、約 -45°C 、約 -40°C 、約 -35°C 、約 -30°C 、約 -25°C 、約 -20°C 、約 -15°C 、約 -10°C 、約 -5°C 、約 0°C 、約 5°C 、約 10°C 、約 15°C 、約 20°C 、約 25°C 、約 30°C 、約 35°C 、約 40°C 、約 45°C 、約 50°C 、約 55°C 、約 60°C 、約 65°C 、約 70°C 、約 75°C 、約 80°C 、

約 85 °C、約 90 °C、約 95 °C、約 100 °C、約 105 °C、約 110 °C、約 115 °C、約 120 °C、約 125 °C、約 130 °C、約 135 °C、約 140 °C、約 145 °C、及約 150 °C。

【0025】 沉積製程可在從 0.1 mTorr 至 10 Torr 變化的壓力下在處理容積中執行，該等壓力包括約 0.1 mTorr、約 1 mTorr、約 10 mTorr、約 100 mTorr、約 500 mTorr、約 1 Torr、約 2 Torr、約 3 Torr、約 4 Torr、約 5 Torr、約 6 Torr、約 7 Torr、約 8 Torr、約 9 Torr、及約 10 Torr 的壓力。

【0026】 含有前驅物的氣體混合物可進一步包括選自下列的稀釋氣體的一或多種：氦氣 (He)、氬氣 (Ar)、氙氣 (Xe)、氮氣 (N₂)、或氫氣 (H₂)。一些實施例的稀釋氣體包含化合物，該化合物係相對於反應物及基板材料的惰性氣體。

【0027】 含有前驅物的氣體混合物可進一步包括用於改進膜品質的蝕刻劑氣體，諸如 Cl₂、CF₄ 或 NF₃。

【0028】 電漿（例如，電容耦合電漿）可從頂部及底部電極或側電極形成。電極可由在 CVD 系統中交替或同時使用的單功率電極、雙功率電極或具有多個頻率（諸如但不限於 350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz 及 100 MHz）的更多電極形成，該 CVD 系統具有本文列出的任何或所有反應物氣體以沉積介電質的薄膜。在一些實施例中，電漿係電容耦合電漿

(CCP)。在一些實施例中，電漿係感應耦合電漿(ICP)。在一些實施例中，電漿係微波電漿。

【0029】 在一些實施例中，介電膜在具有維持於 10°C 的基板基座以及維持於 2 mTorr 的壓力的腔室中沉積，其中電漿藉由將 2500 瓦(13.56 MHz)的偏壓施加到靜電夾盤而在晶圓位準處產生(亦即，直接電漿)。在一些實施例中，亦將在 2 MHz 下的 1000 瓦的額外RF功率遞送到靜電夾盤，從而產生晶圓位準處的雙偏壓電漿。

【0030】 第1A圖描繪了根據本文描述的實施例的可以用於執行介電膜沉積的基板處理系統132的示意性圖解。基板處理系統132包括耦接到氣體面板130的處理腔室100及控制器110。處理腔室100大體包括界定處理容積126的頂壁124、側壁101及底壁122。在處理腔室100的處理容積126中提供基板支撐組件146。基板支撐組件146大體包括由桿160支撐的靜電夾盤150。靜電夾盤150可通常由鋁、陶瓷、或其他適宜材料製造。靜電夾盤150可使用移位機制(未圖示)在處理腔室100內部在垂直方向上移動。

【0031】 真空泵102耦接到處理腔室100的底部中形成的埠。真空泵102用於在處理腔室100中維持期望的氣壓。真空泵102亦從處理腔室100抽空處理後氣體及製程副產物。

【0032】 基板處理系統132可進一步包括用於控制腔室壓力的額外設備，例如，在處理腔室100與真空泵102之間定位的閥（例如，節流閥及隔離閥）以控制腔室壓力。

【0033】 具有複數個孔128的氣體分配組件120在靜電夾盤150之上的處理腔室100頂部上設置。氣體分配組件120的孔128用於將處理氣體引入處理腔室100中。孔128可具有不同大小、數量、分配、形狀、設計、及直徑以促進各種處理氣體的流動來用於不同製程需要。氣體分配組件120連接到氣體面板130，該氣體面板130允許在處理期間將各種氣體供應到處理容積126。電漿由離開氣體分配組件120的處理氣體混合物形成以增強處理氣體的熱分解，從而導致材料在基板190的表面191上沉積。

【0034】 氣體分配組件120及靜電夾盤150可在處理容積126中形成一對間隔開的電極。一或多個RF電源140將偏壓電位經由可選的匹配網路138提供到氣體分配組件120以在氣體分配組件120與靜電夾盤150之間促進產生電漿。或者，RF電源140及可選的匹配網路138可耦接到氣體分配組件120、靜電夾盤150、或耦接到氣體分配組件120及靜電夾盤150二者、或耦接到在處理腔室100外部設置的天線（未圖示）。在一些實施例中，RF電源140可產生在350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz的頻率下的功率。在一個實施例中，在約50 kHz至約13.56 MHz的頻率下可提供在約100瓦與約3,000瓦之間的RF電源

140。在另一實施例中，可在約50 kHz至約13.56 MHz的頻率下提供在約500瓦與約1,800瓦之間的RF電源140。

【0035】 控制器110包括用於控制製程序列並且調節來自氣體面板130的氣體流的中央處理單元(CPU)112、記憶體116、及支援電路114。中央處理單元(CPU)112可係可在工業環境中使用的任何形式的通用電腦處理器。軟體常式可以儲存在記憶體116中，諸如隨機存取記憶體、唯讀記憶體、軟碟、或硬碟驅動、或其他形式的數位儲存器。支援電路114習知地耦接到中央處理單元(CPU)112並且可包括快取記憶體、時鐘電路、輸入/輸出系統、電源供應器、及類似者。在控制器110與基板處理系統132的各個部件之間的雙向通訊經由數個訊號纜線處理，該等訊號纜線共同稱為訊號匯流排118，其中一些在第1A圖中示出。

【0036】 第1B圖描繪了可以用於實踐本文描述的實施例的另一基板處理系統180的示意性橫截面圖。基板處理系統180類似於第1A圖的基板處理系統132，不同之處在於基板處理系統180經構造為使來自氣體面板130的處理氣體經由側壁101跨基板190的表面191流動。此外，在第1A圖中描繪的氣體分配組件120用電極182替代。電極182可經構造為用於次級電子產生。在一個實施例中，電極182係含矽電極。

【0037】 第2圖描繪了可以用於實踐本文描述的實施例的在第1A圖及第1B圖中的處理系統中使用的基板支撐組件146的示意性橫截面圖。參見第2圖，靜電夾盤150可包括適用於控制在靜電夾盤150的上表面192上支撐的基板190的溫度的嵌入式加熱器元件170。靜電夾盤150可藉由將電流從加熱器電源106施加到加熱器元件170來電阻式加熱。加熱器電源106可經由RF濾波器216耦接。RF濾波器216可用於保護加熱器電源106而不受RF能量影響。加熱器元件170可由在鎳鐵鉻合金（例如，INCOLOY[®]）鞘管中封裝的鎳鉻線製成。從加熱器電源106供應的電流由控制器110調節以控制由加熱器元件170產生的熱，從而在膜沉積期間將基板190及靜電夾盤150維持在實質上恆定的溫度下。所供應的電流可經調節以將靜電夾盤150的溫度選擇性地控制在約-50℃至約150℃之間。

【0038】 參見第1A圖及第1B圖，溫度感測器172（諸如熱電偶）可嵌入靜電夾盤150中來以習知方式監控靜電夾盤150的溫度。量測溫度由控制器110用於控制供應到加熱器元件170的功率以將基板維持在期望溫度下。

【0039】 參見第2圖，靜電夾盤150包括夾持電極210，該夾持電極可係導電材料的網格。夾持電極210可嵌入靜電夾盤150中。夾持電極210耦接到夾持電源212，當供能時，該夾持電源將基板190靜電夾持到靜電夾盤150的上表面192。

【0040】夾持電極210可經構造為單極或雙極電極，或具有另一適宜佈置。夾持電極210可經由RF濾波器214耦接到夾持電源212，該夾持電源提供直流(DC)功率以將基板190靜電固定到靜電夾盤150的上表面192。RF濾波器214防止用於在處理腔室100內形成電漿的RF功率破壞電氣設備或在腔室外部呈現電氣危害。靜電夾盤150可由陶瓷材料製造，諸如AlN或Al₂O₃。或者，靜電夾盤150可由聚合物製造，諸如聚醯亞胺、聚醚醚酮(PEEK)、聚芳基醚酮(PAEK)、及類似者。

【0041】功率施加系統220耦接到基板支撐組件146。功率施加系統220可包括加熱器電源106、夾持電源212、第一射頻(RF)電源230、及第二RF電源240。功率施加系統220的實施例可額外包括控制器110、以及與控制器110及第一射頻(RF)電源230及第二RF電源240二者通訊的感測器裝置250。

【0042】控制器110亦可用於藉由從第一射頻(RF)電源230及第二RF電源240施加RF功率以控制來自處理氣體的電漿，以便在基板190上沉積材料層。

【0043】如上文描述，靜電夾盤150包括夾持電極210，該夾持電極在一個態樣中可用於夾持基板190，同時亦用作第一RF電極。靜電夾盤150亦可包括第二RF電極260，並且連同夾持電極210一起，可施加RF功率以調諧電漿。第一射頻(RF)電源230可耦接到第二RF電極260，而第二RF電源240可耦接到夾持電極210。可提供

分別用於第一射頻(RF)電源230及第二RF電源240的第一匹配網路及第二匹配網路。第二RF電極260可係如圖所示的導電材料的實體金屬板。或者，第二RF電極260可係導電材料的網格。

【0044】 第一射頻(RF)電源230及第二RF電源240可以相同頻率或不同頻率產生功率。在一些實施例中，第一射頻(RF)電源230及第二RF電源240的一個或兩個可獨立地產生功率，該功率在從約350 KHz至約100 MHz的範圍中的頻率下，包括但不限於350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz。在一些實施例中，第一射頻(RF)電源230可產生在13.56 MHz的頻率下的功率，並且第二RF電源240可產生在2 MHz的頻率下的功率，或反之亦然。可改變來自第一射頻(RF)電源230及第二RF電源240的一個或兩個的RF功率以便調諧電漿。例如，感測器裝置250可用於監控來自第一射頻(RF)電源230及第二RF電源230的一個或兩個的RF能量。來自感測器裝置250的資料可通訊到控制器110，並且控制器110可用於改變由第一射頻(RF)電源230及第二RF電源240施加的功率。

【0045】 大體上，以下示例性沉積製程參數可用於形成剛沉積的介電膜。晶圓溫度可從約-50℃至約150℃變化，包括但不限於從約10℃至約100℃、或從約10℃至約50℃。腔室壓力可從在約0.1 mTorr至約10 Torr的

範圍中的腔室壓力變化，包括但不限於從約 2 mTorr 至約 50 mTorr、或從約 2 mTorr 至約 10 mTorr。含有前驅物的氣體混合物的流動速率可在從約 10 sccm 至約 1,000 sccm 的範圍中，包括但不限於從約 100 sccm 至約 200 sccm、或從約 150 sccm 至約 200 sccm。稀釋氣體的流動速率可獨立地從 50 sccm 至約 50,000 sccm 變化，包括但不限於從約 50 sccm 至約 1000 sccm、或從約 50 sccm 至約 100 sccm。

【0046】 介電膜可沉積到在約 5 Å 至約 60,000 Å 的範圍中的厚度，包括約 300 Å 至約 10,000 Å 的範圍、約 2000 Å 至約 3000 Å 的範圍、或約 5 Å 至約 200 Å 的範圍。

【0047】 所沉積的介電膜可具有大於約 1.5 的折射率或 n 值（ n （於 633 nm）），例如，約 1.6 至約 3.0，包括約 1.5、約 1.6、約 1.7、約 1.8、約 1.9、約 2.0、約 2.1、約 2.2、約 2.3、約 2.4、約 2.5、約 2.6、約 2.7、約 2.8、約 2.9、或約 3.0。在一或多個實施例中，膜係氧化矽，並且折射率係約 1.5。在又一實施例中，膜係氮化矽，並且折射率係約 1.9 至約 2.0。一或多個實施例的方法有利地實現製造高品質膜及低溫，其具有與由高溫 CVD 或高溫 PECVD 製備的膜類似的性質或經改進而優於該等膜。所沉積的介電膜可具有大於 0.1 的消光係數或 k 值（ k （處於 633 nm）），例如，約 0.2 至約 0.3，包括約 0.2、約 0.21、約 0.22、約 0.23、約 0.24、約 0.25、

約 0.26、約 0.27、約 0.28、約 0.29、約 0.30。所沉積的介電膜可具有小於約 -300 MPa 的應力 (MPa)，例如，從約 -600 MPa 至約 -300 MPa、從約 -600 MPa 至約 -500 MPa，包括約 -600 MPa、約 -575 MPa、約 -550 MPa、約 -525 MPa、約 -500 MPa、約 -475 MPa、約 -450 MPa、約 -425 MPa、約 -400 MPa、約 -375 MPa、約 -350 MPa、約 -325 MPa、或約 -300 MPa。

【0048】 在一或多個實施例中，介電膜的密度大於 1.8 g/cc，包括大於 1.9 g/cc，並且包括大於 2.0 g/cc。在一或多個實施例中，介電膜的密度係約 2.1 g/cc。在一或多個實施例中，介電膜的密度係在約大於 1.8 g/cc 至約 2.2 g/cc 的範圍中。在一或多個實施例中，介電膜的密度係大於約 2.2 g/cc。

【0049】 一或多個實施例的方法的另一優點係較低溫度製程可用於產生具有期望密度及透明度的介電膜。一般而言，在沉積期間的較高基板溫度係用於促進形成較高密度膜的製程參數。當一起使用一或多個實施例的前驅物及方法時，令人驚訝地基板溫度可在沉積期間降低，例如，低達約小於 -40 °C，並且小於約 0 °C、小於約 10 °C、小於約室溫、或小於約 22 °C 至約 26 °C，並且仍產生期望密度的膜，亦即，具有大於約 1.8 g/cc、包括大於約 1.9 g/cc、並且包括大於約 2.0 g/cc 的密度的介電膜。因此，一或多個實施例的方法可產生相對高密度膜，特定地高密度碳膜，其中吸收係數低達約 0.04。

【0050】 第3圖描繪了根據本揭示的一個實施例的用於在基板上設置的膜堆疊上形成介電膜的方法300的流程圖。例如，在膜堆疊上形成的介電膜可用作膜堆疊中的絕緣層。

【0051】 第4A圖至第4B圖係示出根據方法300的用於在基板上設置的膜堆疊上形成介電膜的序列的示意性橫截面圖。儘管下文參考可在膜堆疊上形成的介電層描述方法300，該方法用於在膜堆疊中製造類樓梯結構來用於三維半導體元件，但方法300亦可用於在其他元件製造應用中獲得優勢。另外，亦應當理解，在第3圖中描繪的操作可同時執行及/或以與第3圖中描繪的次序不同的次序執行。

【0052】 方法300開始於操作310：將基板（諸如在第4A圖中描繪的基板400）定位到處理腔室中，諸如在第1A圖或第1B圖中描繪的處理腔室100。基板400可係在第1A圖、第1B圖、及第2圖中描繪的基板190。基板400可在靜電夾盤（例如，靜電夾盤150的上表面192）上定位。基板400可係基於矽的材料或所需要的任何適宜絕緣材料或導電材料，該材料具有在基板400上設置的膜堆疊404，該基板可用於在膜堆疊404中形成結構402，諸如類樓梯結構。

【0053】 如在第4A圖中描繪的示例性實施例中圖示，基板400可具有實質上平坦表面、不均勻表面、或其上形成有結構的實質上平坦表面。膜堆疊404在基板400上形

成。在一個實施例中，膜堆疊404可用於在前端或後端製程中形成閘極結構、接觸結構或互連結構。方法300可在膜堆疊404上執行以在其中形成在記憶體結構（諸如NAND結構）中使用的類樓梯結構。在一個實施例中，基板400可為諸如結晶矽（例如，Si(100)或Si(111)）、氧化矽、應變矽、鍺矽、摻雜或未摻雜的多晶矽、摻雜或未摻雜的矽基板以及圖案化或未圖案化的基板絕緣體上矽(SOI)、碳摻雜的氧化矽、氮化矽、摻雜矽、鍺、砷化鎵、玻璃、藍寶石的材料。基板400可具有各種尺寸，諸如200 mm、300 mm、及450 mm，或其他直徑基板，以及矩形或方形面板。除非另外提及，否則本文描述的實施例及實例在具有200 mm直徑、300 mm直徑的基板、或450 mm直徑基板上執行。在其中SOI結構用於基板400的實施例中，基板400可包括在矽結晶基板上設置的埋入介電層。在本文描繪的實施例中，基板400可係結晶矽基板。

【0054】 在一個實施例中，在基板400上設置的膜堆疊404可具有數個垂直堆疊的層。膜堆疊404可包含對，該等對包括在膜堆疊404中重複地形成的第一層（圖示為 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} ）及第二層（圖示為 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} ）。該等對包括重複地形成直至達到預定數量對的第一層及第二層的交替的第一層（圖示為 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} ）及第二層（圖示為 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} ）。

【0055】 膜堆疊404可係半導體晶片(諸如三維記憶體晶片)的部分。儘管在第4A圖至第4B圖中圖示第一層(圖示為 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an})及第二層(圖示為 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn})的三個重複層,但注意到可按需要利用任何期望數量的重複對的第一層及第二層。

【0056】 在一個實施例中,膜堆疊404可用於形成三維記憶體晶片的多個閘極結構。在膜堆疊404中形成的第一層 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} 可係根據一或多個實施例的第一介電層,並且第二層 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} 可係根據一或多個實施例的第二介電層。根據一或多個實施例的適宜介電膜可用於形成第一層 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} 及/或第二層 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} ,包括但不限於下列中的一或多種:矽、氮化矽、碳化矽、氧化矽、碳氧化矽、氮碳氧化矽、氮氧化矽、氮化鈦、或氧化物及氮化物的複合物(至少一或多個氧化物層夾在氮化物層之間)、及其組合等等。

【0057】 在一些實施例中,介電層可係具有大於4的介電常數的高介電常數材料。高介電常數材料的適宜實例包括但不限於氧化鈺(HfO_2)、氧化鋯(ZrO_2)、氧化鈺矽($HfSiO_2$)、氧化鈺鋁($HfAlO$)、氧化鋯矽($ZrSiO_2$)、二氧化鈮(TaO_2)、氧化鋁、鋁摻雜的二氧化鈺、鈹鋁鈦(BST)、及鉻鋯鈦(PZT)等等。

【0058】 在一個特定實例中，第一層 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} 係氧化矽層，並且第二層 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} 係在第一層 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} 上設置的氮化矽層或多晶矽層。在一個實施例中，第一層 408_{a1} 、 408_{a2} 、 408_{a3} 、 $\dots$ 、 408_{an} 的厚度可控制在約 $50\text{ \AA}$ 與約 $1000\text{ \AA}$ 之間，諸如約 $500\text{ \AA}$ ，並且每個第二層 408_{b1} 、 408_{b2} 、 408_{b3} 、 $\dots$ 、 408_{bn} 的厚度可控制在約 $50\text{ \AA}$ 與約 $1000\text{ \AA}$ 之間，諸如約 $500\text{ \AA}$ 。膜堆疊404可具有在約 $100\text{ \AA}$ 與約 $2000\text{ \AA}$ 之間的總厚度。在一個實施例中，膜堆疊404的總厚度係約3微米至約10微米，並且將隨著技術進展而改變。

【0059】 在基板400上存在或不存在膜堆疊404的情況下，一或多個實施例的介電膜可在基板400的任何表面或任何部分上形成。

【0060】 於操作320，將夾持電壓施加到靜電夾盤以將基板400夾持到靜電夾盤。在其中基板400在靜電夾盤150的上表面192上定位的一些實施例中，上表面192在處理期間提供支撐並且夾持基板400。靜電夾盤150更緊密地抵靠上表面192來使基板400變平坦，從而防止背側沉積。經由夾持電極210將電偏壓提供到基板400。夾持電極210可與夾持電源212電子通訊，該夾持電源將偏置電壓供應到夾持電極210。在一個實施例中，夾持電壓係在約10伏與約3000伏之間。在一個實施例中，夾持電壓

係在約100伏與約2000伏之間。在一個實施例中，夾持電壓係在約200伏與約1000伏之間。

【0061】 在操作320期間，可調節若干製程參數。在適用於處理300 mm基板的一個實施例中，在處理容積中的處理壓力可維持在約0.1 mTorr至約10 Torr下，包括約2 mTorr至約50 mTorr，或約5 mTorr至約20 mTorr。在適用於處理300 mm基板的一個實施例中，處理溫度及/或基板溫度可維持在約-50℃至約250℃下，包括約0℃至約50℃；或約10℃至約20℃。

【0062】 在一個實施例中，將恆定夾持電壓施加到基板400。在一個實施例中，可將夾持電壓脈衝到靜電夾盤150。在一些實施例中，可將背側氣體施加到基板400，同時施加夾持電壓以控制基板溫度。背側氣體可包括但不限於氦氣(He)、氬氣(Ar)、或類似者。

【0063】 於操作330，藉由將第一RF偏壓施加到靜電夾盤，在基板位準處產生電漿。在基板位準處產生的電漿可在基板與靜電夾盤之間的電漿區域中產生。在從約350 KHz至約100 MHz的範圍中（包括但不限於350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz）的頻率下，第一RF偏壓可係從約10瓦與約3000瓦。在一個實施例中，在約13.56 MHz的頻率下，在約2500瓦與約3000瓦之間的功率下提供第一RF偏壓。在一個實施例中，經由第二RF電極260將第一RF偏壓提供到靜電夾盤150。第二RF電極260可與第一射

頻(RF)電源230電子通訊，該第一RF電源將偏置電壓供應到第二RF電極260。在一個實施例中，偏壓功率係在約10瓦與約3000瓦之間。在一個實施例中，偏壓功率係在約2000瓦與約3000瓦之間。在一個實施例中，偏壓功率係在約2500瓦與約3000瓦之間。第一射頻(RF)電源230可產生在從約350 KHz至約100 MHz的範圍中(包括但不限於350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz)的頻率下的功率。

【0064】 在一些實施例中，操作330進一步包含將第二RF偏壓施加到靜電夾盤。在從約350 KHz至約100 MHz的範圍中(包括但不限於350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz)的頻率下，第二RF偏壓可係從約10瓦與約3000瓦。在一個實施例中，在約2 MHz的頻率下，在約800瓦與約1200瓦之間的功率下提供第二RF偏壓。在一個實施例中，經由夾持電極210將第二RF偏壓提供到基板400。夾持電極210可與第二RF電源240電子通訊，該第二RF電源將偏置電壓供應到夾持電極210。在一個實施例中，偏壓功率係在約10瓦與約3000瓦之間。在一個實施例中，偏壓功率係在約500瓦與約1500瓦之間。在一個實施例中，偏壓功率係在約800瓦與約1200瓦之間。第二RF電源240可產生在從約350 KHz至約100 MHz的範圍中(包括但不限於350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、或100 MHz)的頻率

下的功率。在一個實施例中，在操作 330 期間維持在操作 320 中供應的夾持電壓。

【0065】 在一些實施例中，在操作 330 期間，經由夾持電極 210 將第一 RF 偏壓提供到基板 400，並且可經由第二 RF 電極 260 將第二 RF 偏壓提供到基板 400。在一個實施例中，第一 RF 偏壓係約 2500 瓦（13.56 MHz），並且第二 RF 偏壓係約 1000 瓦（2 MHz）。

【0066】 在操作 340 期間，含有前驅物的氣體混合物流動到處理容積 126 中，以在膜堆疊上形成介電膜。含有前驅物的氣體混合物可穿過氣體分配組件 120 或經由側壁 101 從氣體面板 130 流動到處理容積 126 中。含有前驅物的氣體混合物可包括如本文描述的一或多種前驅物。含有前驅物的氣體混合物可進一步包括惰性氣體、稀釋氣體、含氮氣體、蝕刻劑氣體、或其組合。前驅物可以係液體或氣體，儘管較佳的前驅物在室溫下將係蒸氣以簡化材料計量、控制及遞送到腔室所需的硬體。在一些實施例中，在操作 340 期間維持在操作 320 期間供應的夾持電壓。在一些實施例中，在操作 340 期間維持在操作 320 期間建立的處理條件及在操作 330 期間形成的電漿。

【0067】 在一些實施例中，含有前驅物的氣體混合物進一步包含一或多種稀釋氣體。若期望，可將適宜的稀釋氣體（諸如氦氣（He）、氬氣（Ar）、氙氣（Xe）、氫氣（H₂）、氮氣（N₂）、氨氣（NH₃）、或其組合等等）添加到氣體混合物。氬氣（Ar）、氦氣（He）及氮氣（N₂）用於控制介電膜

的密度及沉積速率。在一些情況下，如下文論述， N_2 及/或 NH_3 的添加可以用於控制介電膜的氫比。或者，在沉積期間可能不使用稀釋氣體。

【0068】 在一些實施例中，含有前驅物的氣體混合物進一步包含一或多種含氮氣體。例如，適宜的含氮化合物包括吡啶、脂肪胺、胺、腈、氮及類似化合物。

【0069】 在一些實施例中，含有前驅物的氣體混合物進一步包含惰性氣體。在一些實施例中，惰性氣體（諸如氬氣（Ar）及/或氦氣（He））可與含有前驅物的氣體混合物一起供應到處理容積126中。其他惰性氣體（諸如氮氣（ N_2 ）及一氧化氮（NO））亦可用於控制介電膜的密度及沉積速率。此外，可將各種其他處理氣體添加到含有前驅物的氣體混合物以修改介電膜材料的性質。在一個實施例中，其他處理氣體可係反應性氣體，諸如氫氣（ H_2 ）、氮氣（ NH_3 ）、氫氣（ H_2 ）與氮氣（ N_2 ）的混合物、或其組合。添加 H_2 及/或 NH_3 可用於控制所沉積介電膜的氫比。在介電膜中存在的氫比提供了對層性質（諸如反射率）的控制。

【0070】 在一些實施例中，含有前驅物的氣體混合物進一步包含蝕刻劑氣體。適宜的蝕刻劑氣體包括氯氣（ Cl_2 ）、四氟化碳（ CF_4 ）、三氟化氮（ NF_3 ）、或其組合。

【0071】 在一些實施例中，在操作340期間在基板上形成介電膜412之後，將介電膜412暴露至氫自由基。在一些實施例中，在操作340的沉積製程期間，將介電膜412

暴露至氫自由基。在一些實施例中，氫自由基在 R P S 中形成並且遞送到處理區域。

【0072】 於操作 350，在基板上形成介電膜 412 之後，解夾持基板。在操作 350 期間，關閉夾持電壓。反應性氣體關閉並且可選地從處理腔室沖洗。在一個實施例中，在操作 350 期間，R F 功率減小（例如， $\sim 200\text{ W}$ ）。可選地，控制器 110 監控阻抗變化來決定靜電電荷是否經由 R F 路徑耗散到接地。一旦基板從靜電夾盤解夾持，從處理腔室沖洗剩餘氣體。泵吸處理腔室，並且基板在升舉銷上向上移動且轉移出腔室。

【0073】 在基板上形成介電膜 412 之後，介電膜 412 可在蝕刻製程中用作圖案化遮罩以形成三維結構，諸如類樓梯結構。介電膜 412 可使用標準光阻圖案化技術來圖案化。圖案化的光阻劑（未圖示）可在介電膜 412 上方形成。介電膜 412 可在與圖案化的光阻層對應的圖案中蝕刻，接著將該圖案蝕刻到基板 400 中。材料可沉積到介電膜 412 的蝕刻部分中。介電膜 412 可使用包含過氧化氫及硫酸的溶液移除。一種包含過氧化氫及硫酸的示例性溶液已知為 Piranha 溶液或 Piranha 蝕刻液。介電膜 412 亦可使用含有氧及鹵素（包括但不限於氯（Cl）、氟（F）、碘（I）、溴（Br）、及砒（At））的蝕刻化學物質移除。例如，介電膜 412 可使用含有 Cl_2/O_2 、 CF_4/O_2 、或 $\text{Cl}_2/\text{O}_2/\text{CF}_4$ 的蝕刻化學物質移除。介電膜 412 可藉由化學機械拋光（CMP）製程移除。

【0074】製程可大體在記憶體中儲存為軟體常式，當由處理器執行時，該軟體常式導致處理腔室執行本揭示的製程。軟體常式亦可由第二處理器（未圖示）儲存及/或執行，該第二處理器位於由處理器控制的硬體遠端。本揭示的一些或所有方法亦可在硬體中執行。因此，製程可在軟體中實施並且在硬體中使用電腦系統執行，作為例如特殊應用積體電路或其他類型的硬體實施方式，或作為軟體及硬體的組合。當由處理器執行時，軟體常式將通用電腦轉換為專用電腦（控制器），該專用電腦控制腔室操作，使得製程得以執行。

【0075】本揭示現在參考以下實例描述。在描述本揭示的若干示例性實施例之前，將理解，本揭示不限於在以下描述中闡述的構造或製程步驟的細節。本揭示能夠具有其他實施例並且以各種方式實踐或進行。

【0076】實例

【0077】實例1

【0078】低溫、高品質氮化矽介電膜藉由以下步驟製造：在 100°C 的溫度、 400 mTorr 的壓力下流動 30 sccm SiH_4 、 100 sccm NH_3 、及 N_2 作為處理氣體，在具有 Ar(g) 及 He(g) 作為稀釋氣體的CVD反應器中穿過基板基座（靜電夾盤）施加 $200\text{ 瓦 RF (13.56 MHz)}$ 功率。所得的介電膜具有 1.82 的折射率(RI) (633 nm)，這遠高於在相同溫度下由PECVD形成的介電膜。藉由調節功率（更高）及電壓（更低）來改進RI。主要及次級RF

可以係 350 KHz、2 MHz、13.56 MHz、27 MHz、40 MHz、60 MHz、100 MHz 的任何組合。

【0079】 除非本文另外指出或由上下文明確地反駁，在描述本文論述的材料及方法的上下文中（尤其是在以下申請專利範圍的上下文中）使用術語「一(a)」及「一(an)」及「該(the)」以及類似參考將理解為涵蓋單數及複數。除非本文另外指出，本文的值範圍的敘述僅意欲用作獨立地涉及落入此範圍中的每個單獨值的簡略方法，並且每個單獨值併入本說明書中，如同在本文中獨立地記載。除非本文另外指出或由上下文另外明確地反駁，本文描述的所有方法可以任何適宜次序執行。使用本文提供的任何及所有實例、或示例性語言（例如，「諸如」）意欲僅較好地闡明材料及方法，並且除非另外主張，不提出對範疇的限制。在本說明書中沒有語言應當被理解為指示任何未主張的元件對實踐所揭示的材料及方法而言係重要的。

【0080】 在整個此說明書中提及「一個實施例」、「某些實施例」、「一或多個實施例」或「一實施例」意味著結合實施例描述的特定特徵、結構、材料、或特性包括在本揭示的至少一個實施例中。因此，在整個此說明書的各個位置中出現片語諸如「在一或多個實施例中」、「在某些實施例中」、「在一個實施例中」或「在一實施例中」不必指本揭示的相同實施例。此外，特定特徵、結構、材料或特性可以任何適宜方式結合在一或多個實施例中。

【0081】 儘管本文的揭示已經參考特定實施例進行描述，將理解，此等實施例僅說明本揭示的原理及應用。本領域技藝人士將瞭解，可以對本揭示的方法及設備進行各種修改及變化，而不脫離本揭示的精神及範疇。因此，本揭示意欲包括在隨附申請專利範圍及其等效的範疇內的修改及改變。

【符號說明】

【0082】

100 ... 處理腔室

101 ... 側壁

102 ... 真空泵

106 ... 加熱器電源

110 ... 控制器

112 ... 中央處理單元 (CPU)

114 ... 支援電路

116 ... 記憶體

118 ... 訊號匯流排

120 ... 氣體分配組件

122 ... 底壁

124 ... 頂壁

126 ... 處理容積

128 ... 孔

130 ... 氣體面板

132 ... 基板處理系統

1 3 8 ... 可 選 的 匹 配 網 路

1 4 0 ... R F 電 源

1 4 6 ... 基 板 支 撐 組 件

1 5 0 ... 靜 電 夾 盤

1 6 0 ... 桿

1 7 0 ... 加 熱 器 元 件

1 7 2 ... 溫 度 感 測 器

1 8 0 ... 基 板 處 理 系 統

1 8 2 ... 電 極

1 9 0 ... 基 板

1 9 1 ... 表 面

1 9 2 ... 上 表 面

2 1 0 ... 夾 持 電 極

2 1 2 ... 夾 持 電 源

2 1 4 ... R F 濾 波 器

2 1 6 ... R F 濾 波 器

2 2 0 ... 功 率 施 加 系 統

2 3 0 ... 第 一 射 頻 (R F) 電 源

2 4 0 ... 第 二 R F 電 源

2 5 0 ... 感 測 器 裝 置

2 6 0 ... 第 二 R F 電 極

3 0 0 ... 方 法

3 1 0 ... 操 作

3 2 0 ... 操 作

3 3 0 ... 操 作

3 4 0 ... 操 作

3 5 0 ... 操 作

4 0 0 ... 基 板

4 0 2 ... 結 構

4 0 4 ... 膜 堆 疊

4 0 8 _{a 1} ... 第 一 層

4 0 8 _{a 2} ... 第 一 層

4 0 8 _{a 3} ... 第 一 層

4 0 8 _{a n} ... 第 一 層

4 0 8 _{b 1} ... 第 二 層

4 0 8 _{b 2} ... 第 二 層

4 0 8 _{b 3} ... 第 二 層

4 0 8 _{b n} ... 第 二 層

4 1 2 ... 介 電 膜

【生物材料寄存】

【 0 0 8 3 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 8 4 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【第1項】 一種在一基板上形成一介電膜的方法，該方法包含：

將一含有前驅物的氣體混合物流動到一處理腔室的一處理容積中，該處理腔室具有在一靜電夾盤上定位的一基板；

將該基板維持在約 0.1 mTorr 與約 10 Torr 的一範圍中的一壓力以及在約 -50°C 至約 150°C 的一範圍中的一溫度下；以及

藉由將一第一 RF 偏壓施加到該靜電夾盤以在一基板位準處產生一電漿，而在該基板上沉積一介電膜，該介電膜於 633 nm 具有在約 1.5 至約 3 的一範圍中的一折射率。

【第2項】 如請求項 1 所述之方法，進一步包含：將一第二 RF 偏壓施加到該靜電夾盤以在該基板位準處產生該電漿。

【第3項】 如請求項 2 所述之方法，其中該第二 RF 偏壓在約 10 瓦至約 3000 瓦的一範圍中的一功率下以及在約 350 KHz 至約 100 MHz 的一範圍中的一頻率下提供。

【第4項】 如請求項 3 所述之方法，其中該第二 RF 偏壓在約 2 MHz 的一頻率下在約 800 瓦至約 1200 瓦的

一範圍中的一功率下提供。

【第5項】如請求項1所述之方法，其中該第一RF偏壓在約10瓦至約3000瓦的一範圍中的一功率下以及在約350 KHz至約100 MHz的一範圍中的一頻率下提供。

【第6項】如請求項5所述之方法，其中該第一RF偏壓在約13.56 MHz的一頻率下在約2500瓦至約3000瓦的一範圍中的一功率下提供。

【第7項】如請求項1所述之方法，進一步包含：將一夾持電壓施加到在該靜電夾盤上定位的該基板。

【第8項】如請求項1所述之方法，其中該含有前驅物的氣體混合物包含選自下列的一或多種前驅物：矽烷(SiH_4)、三乙氧基矽烷($\text{SiH}(\text{OEt})_3$)、四乙氧基矽烷(正矽酸四乙酯； $\text{Si}(\text{OEt})_4$ 或TEOS)、二矽烷(Si_2H_6)、 $\text{SiH}(\text{CH}_3)_3$ 、二甲基矽烷($\text{SiH}_2(\text{CH}_3)_2$)、甲基矽烷(SiH_3CH_3)、二氯矽烷(SiH_2Cl_2)、四氯化矽(SiCl_4)、四氟化矽(SiF_4)、三氯矽烷(HSiCl_3)、甲基矽烷(CH_3SiH_3)、三甲基矽烷($\text{C}_3\text{H}_{10}\text{Si}$)、1,1,3,3-四甲基二矽氧烷(TMDZ)、1,3,5-三矽雜戊烷(TSP)、雙(第三丁基胺基)矽烷(BTBAS)、雙(二乙基胺基)矽烷(BDEAS)、三(二甲基胺基)矽烷(TDMAS)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{OEt})_2$

(Si-TBES)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{H})\text{NH}_2$
(Si-TBAS)、鍺烷(GeH_4)、四氯化鍺(GeCl_4)、四
氟化鍺(GeF_4)、第三丁基鍺烷($\text{GeH}(\text{CH}_3)_3$)、 N_2O 、
 O_2 、 NH_3 、 N_2 、 H_2 、 C_2H_2 、或 C_3H_6 。

【第9項】 如請求項 1 所述之方法，其中該含有前驅物的氣體混合物包含選自下列的一或多種稀釋氣體：氦氣(He)、氬氣(Ar)、氙氣(Xe)、氪氣(Kr)、氮氣(N_2)、或氫氣(H_2)。

【第10項】 如請求項 1 所述之方法，其中該介電膜包含下列的一或多種：矽、氮化矽、碳化矽、氧化矽、碳氧化矽、氮碳氧化矽、氮氧化矽、氮化鈦、或氧化物及氮化物的複合物。

【第11項】 如請求項 1 所述之方法，其中該介電膜具有大於約 1.8 g/cc 的一密度。

【第12項】 一種在一基板上形成一介電膜的方法，該方法包含：

將一含有前驅物的氣體混物流動到一處理腔室的一處理容積中，該處理腔室具有在一靜電夾盤上定位的一基板，其中該含有前驅物的氣體混合物包含選自下列的一或多種前驅物：矽烷(SiH_4)、三乙氧基矽烷($\text{SiH}(\text{OEt})_3$)、四乙氧基矽烷（正矽酸四乙酯； $\text{Si}(\text{OEt})_4$ 或 TEOS）、二矽烷(Si_2H_6)、 $\text{SiH}(\text{CH}_3)_3$ 、

二甲基矽烷($\text{SiH}_2(\text{CH}_3)_2$)、甲基矽烷(SiH_3CH_3)、二氯矽烷(SiH_2Cl_2)、四氯化矽(SiCl_4)、四氟化矽(SiF_4)、三氯矽烷(HSiCl_3)、甲基矽烷(CH_3SiH_3)、三甲基矽烷($\text{C}_3\text{H}_{10}\text{Si}$)、1,1,3,3-四甲基二矽氧烷(TMDZ)、1,3,5-三矽雜戊烷(TSP)、雙(第三丁基胺基)矽烷(BTBAS)、雙(二乙基胺基)矽烷(BDEAS)、三(二甲基胺基)矽烷(TDMAS)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{OEt})_2$ (Si-TBES)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{H})\text{NH}_2$ (Si-TBAS)、鍺烷(GeH_4)、四氯化鍺(GeCl_4)、四氟化鍺(GeF_4)、第三丁基鍺烷($\text{GeH}(\text{CH}_3)_3$)、 N_2O 、 O_2 、 NH_3 、 N_2 、 H_2 、 C_2H_2 、或 C_3H_6 ；

將該基板維持在約 0.1 mTorr 至約 10 Torr 的一範圍中的一壓力下；以及

藉由將一第一 RF 偏壓及一第二 RF 偏壓施加到該靜電夾盤以在一基板位準處產生一電漿，而在該基板上沉積一介電膜，該介電膜於 633 nm 具有在約 1.5 至約 3 的一範圍中的一折射率。

【第13項】 如請求項 12 所述之方法，其中該第一 RF 偏壓在約 13.56 MHz 的一頻率下在約 2500 瓦至約 3000 瓦的一範圍中的一功率下提供。

【第14項】 如請求項 12 所述之方法，其中該第二 RF

偏壓在約 2 MHz 的一頻率下在約 800 瓦至約 1200 的一範圍中的一功率下提供。

【第 15 項】 一種在一基板上形成一介電膜的方法，包含：

將一含有前驅物的氣體混合物流動到一處理腔室的一處理容積中，該處理腔室具有在一靜電夾盤上定位的一基板；

將該處理容積維持在約 0.1 mTorr 至約 10 Torr 的一範圍中的一壓力下；

藉由將一第一 RF 偏壓及一第二 RF 偏壓施加到該靜電夾盤以在一基板位準處產生一電漿，而在該基板上沉積一介電膜，該介電膜於 633 nm 具有在約 1.5 至約 3 的一範圍中的一折射率；

在該介電膜上方形成一圖案化的光阻層；

在與該圖案化的光阻層對應的一圖案中蝕刻該介電膜以提供該介電膜的蝕刻部分；

將該圖案蝕刻到該基板中；以及

將一材料沉積到該介電膜的該等蝕刻部分中。

【第 16 項】 如請求項 15 所述之方法，其中該第一 RF 偏壓在約 350 KHz 至約 100 MHz 的一頻率下在約 10 瓦至約 3000 瓦的一範圍中的一功率下提供。

【第 17 項】 如請求項 15 所述之方法，其中該第二 RF

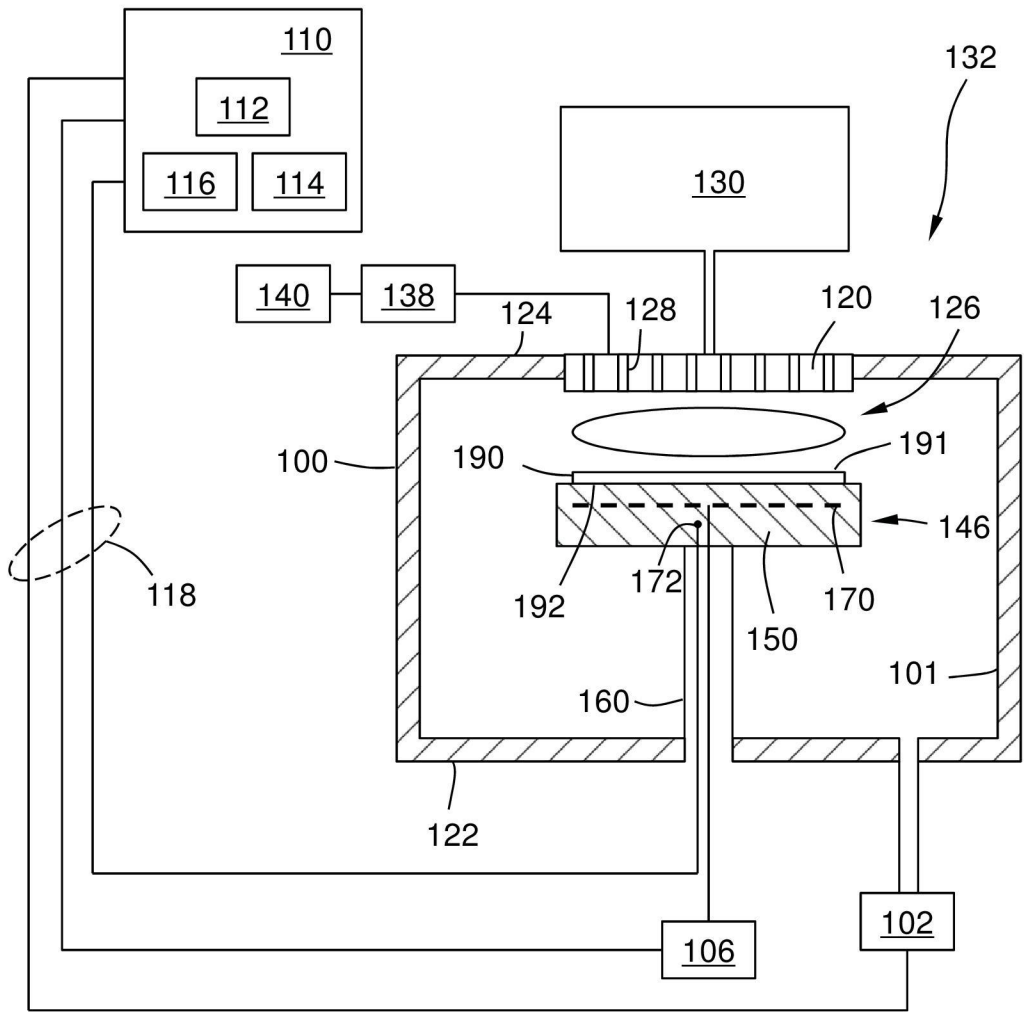
偏壓在約 350 KHz 至約 100 MHz 的一範圍中的一頻率下在約 10 瓦至約 3000 瓦的一範圍中的一功率下提供。

【第18項】 如請求項 15 所述之方法，進一步包含：將一夾持電壓施加到在該靜電夾盤上定位的該基板。

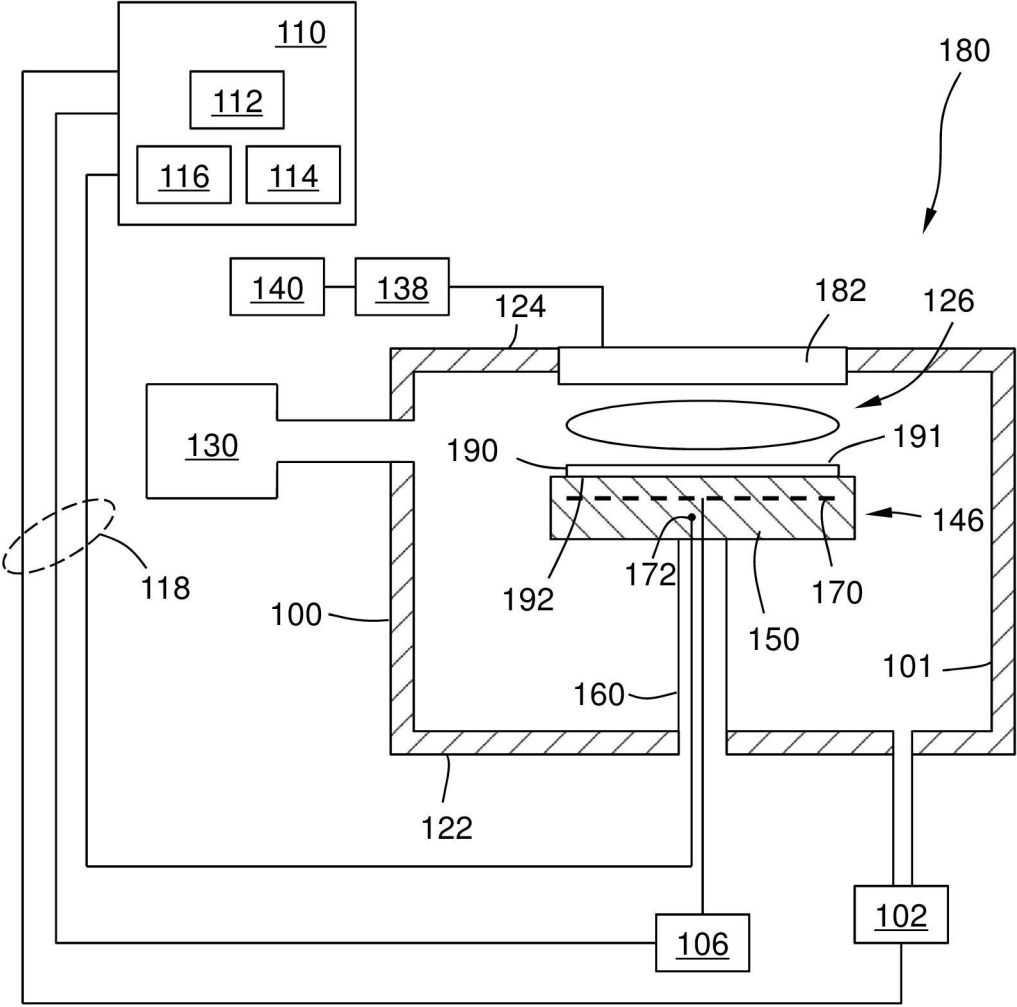
【第19項】 如請求項 15 所述之方法，其中該含有前驅物的氣體混合物包含選自下列的一或多種前驅物：矽烷(SiH_4)、三乙氧基矽烷($\text{SiH}(\text{OEt})_3$)、四乙氧基矽烷(正矽酸四乙酯； $\text{Si}(\text{OEt})_4$ 或 TEOS)、二矽烷(Si_2H_6)、 $\text{SiH}(\text{CH}_3)_3$ 、二甲基矽烷($\text{SiH}_2(\text{CH}_3)_2$)、甲基矽烷(SiH_3CH_3)、二氯矽烷(SiH_2Cl_2)、四氯化矽(SiCl_4)、四氟化矽(SiF_4)、三氯矽烷(HSiCl_3)、甲基矽烷(CH_3SiH_3)、三甲基矽烷($\text{C}_3\text{H}_{10}\text{Si}$)、1,1,3,3-四甲基二矽氧烷(TMDZ)、1,3,5-三矽雜戊烷(TSP)、雙(第三丁基胺基)矽烷(BTBAS)、雙(二乙基胺基)矽烷(BDEAS)、三(二甲基胺基)矽烷(TDMAS)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{OEt})_2$ (Si-TBES)、 $\text{Si}[\text{N}(\text{tBu})\text{CH}=\text{CHN}(\text{tBu})](\text{H})\text{NH}_2$ (Si-TBAS)、鍺烷(GeH_4)、四氯化鍺(GeCl_4)、四氟化鍺(GeF_4)、第三丁基鍺烷($\text{GeH}(\text{CH}_3)_3$)、 N_2O 、 O_2 、 NH_3 、 N_2 、 H_2 、 C_2H_2 、或 C_3H_6 。

【第20項】 如請求項15所述之方法，其中該含有前驅物的氣體混合物包含選自下列的一或多種稀釋氣體：
氦氣(He)、氬氣(Ar)、氙氣(Xe)、氪氣(Kr)、氮氣(N₂)、
或氫氣(H₂)。

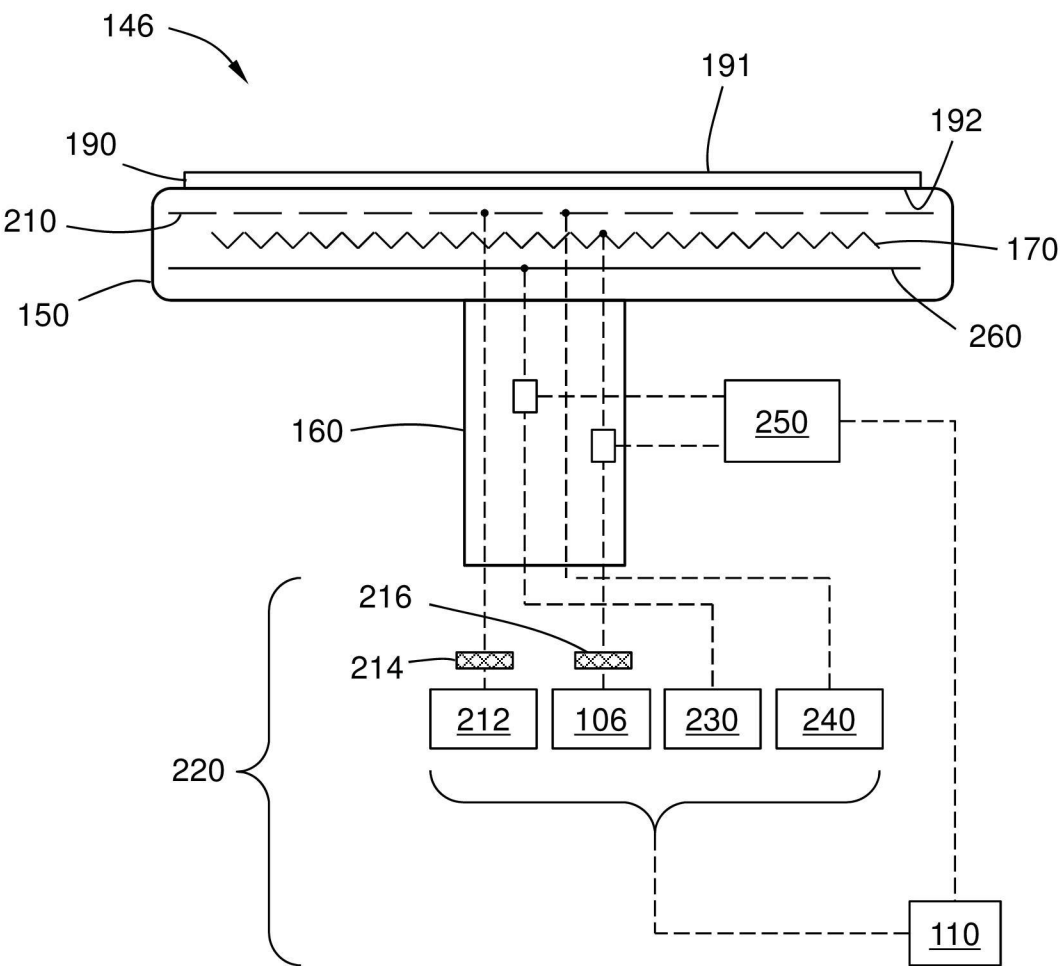
【發明圖式】



第1A圖

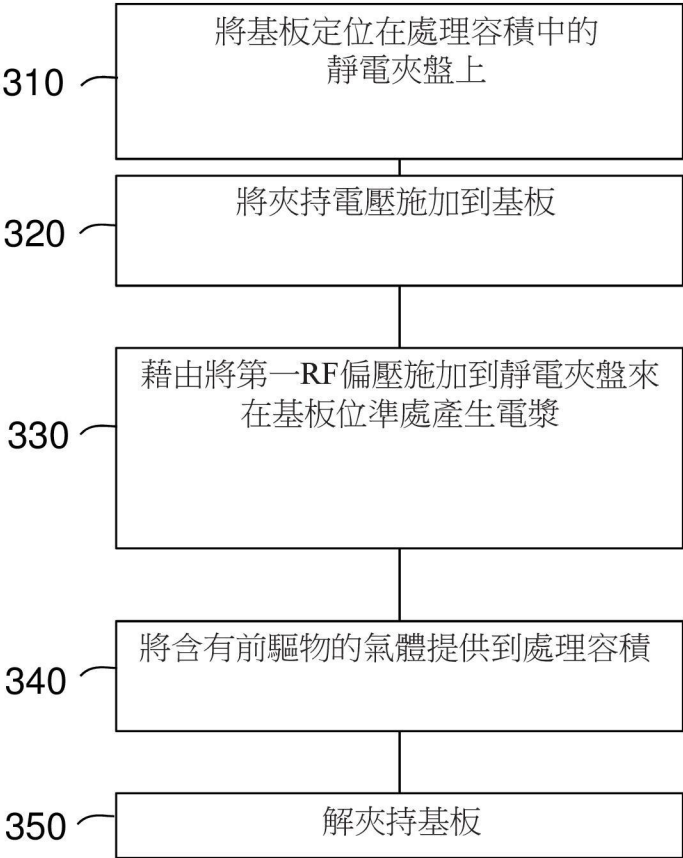


第1B圖

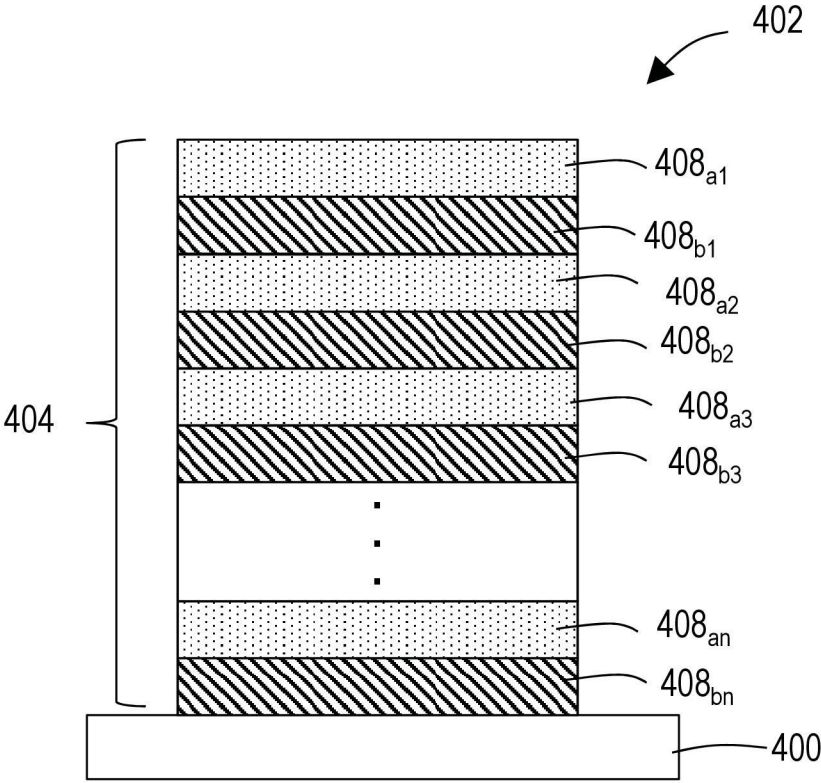


第2圖

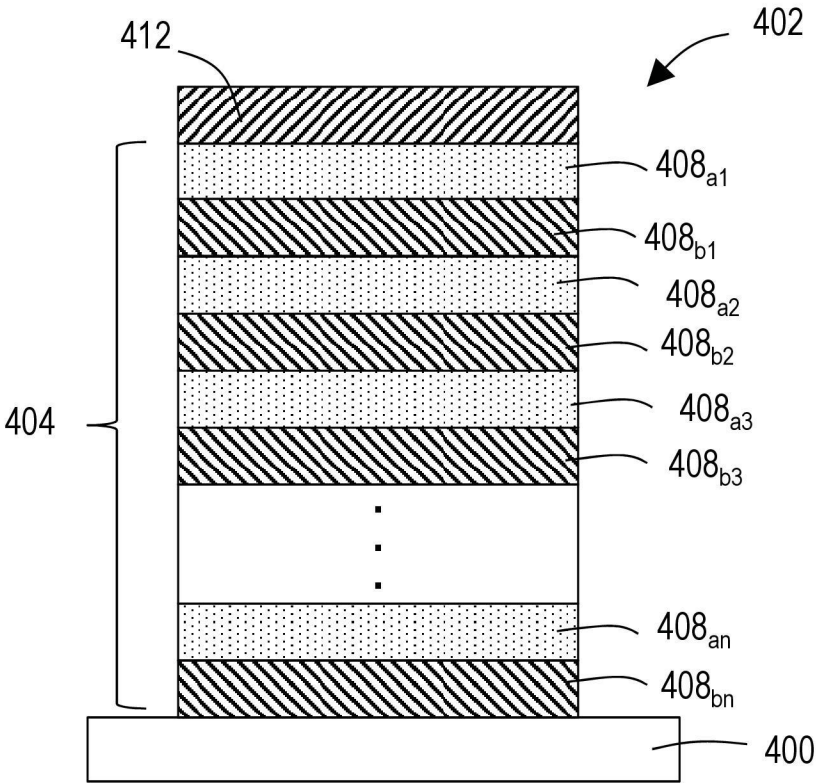
300



第3圖



第4A圖



第4B圖