

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-102472  
(P2017-102472A)

(43) 公開日 平成29年6月8日(2017.6.8)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/34 (2006.01)</b>	G09G 3/34 C	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	
	G09G 3/20 621M	
	G09G 3/20 641G	
	G09G 3/20 680H	
審査請求 有 請求項の数 3 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2017-8775 (P2017-8775)  
 (22) 出願日 平成29年1月20日 (2017.1.20)  
 (62) 分割の表示 特願2015-214296 (P2015-214296)  
 の分割  
 原出願日 平成13年9月7日 (2001.9.7)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 5C080 AA13 BB05 DD26 FF11 JJ02  
 JJ03 JJ04 JJ06 KK02 KK07  
 KK43 KK47

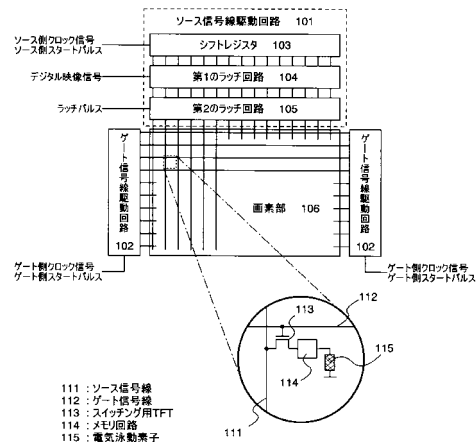
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】電気泳動表示装置で、書き込み回数のさらに少ないアクティブマトリクス型の電気泳動表示装置を提供することを課題とする。

【解決手段】複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記画素電極への映像信号の再書き込み動作を、画素に表示する映像が変化する場合に行うことにより、書き込み回数を低減する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素を有する画素部とを有し、

前記画素部は、前記基板上の中央部に位置し、

前記ソース信号線駆動回路及び前記ゲート信号線駆動回路は、前記基板上の前記中央部とは異なる位置に設けられ、

前記画素は、複数のサブ画素を有し、

前記サブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、

前記メモリ回路は、第 1 のインバータと、第 2 のインバータとを有し、

映像信号は、前記スイッチング用トランジスタを介して、前記メモリ回路に書き込まれ、

前記メモリ回路に書き込まれたデータに応じて、前記画素電極の電位が制御され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのゲートは、同一のゲート信号線に電氣的に接続され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのソース又はドレインの一方は、互いに異なるソース信号線に電氣的に接続されることを特徴とする表示装置。

## 【請求項 2】

基板上に、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素を有する画素部とを有し、

前記画素部は、前記基板上の中央部に位置し、

前記ソース信号線駆動回路及び前記ゲート信号線駆動回路は、前記基板上の前記中央部とは異なる位置に設けられ、

前記画素は、複数のサブ画素を有し、

前記サブ画素は、各々、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、

前記メモリ回路は、第 1 のインバータと、第 2 のインバータとを有し、

映像信号は、前記スイッチング用トランジスタを介して、前記メモリ回路に書き込まれ、

前記メモリ回路に書き込まれたデータに応じて、前記画素電極の電位が制御され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのソース又はドレインの一方は、同一の前記ソース信号線に電氣的に接続され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのゲートは、互いに異なるゲート信号線に電氣的に接続されることを特徴とする表示装置。

## 【請求項 3】

請求項 1 又は請求項 2 において、

複数の前記サブ画素同士の面積は異なることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体表示装置(以下、表示装置と表記する)に関し、特に、絶縁体上に作製される薄膜トランジスタ(以下、TFTと表記する)を有し、画素に電気泳動素子を用いたアクティブマトリクス型表示装置に関する。

## 【背景技術】

## 【0002】

2001年6月にサンノゼで行われたSID01において、EINK社が電気泳動表示装置を発表し、脚光をあびた。EINK社が発表した電気泳動表示装置とは、材料として、電子インクを用い、それを印刷することによって、表示装置を構成している。

10

20

30

40

50

## 【0003】

図9に示すように、電子インクとは直径80[ $\mu\text{m}$ ]程度のマイクロカプセル906を作り、その中に透明な液体と、プラスに帯電した白い微粒子901とマイナスに帯電した黒い微粒子902とを封入している。マイクロカプセル906に電界をかけると、白い微粒子901と、黒い微粒子902が逆の方向に移動する。図9に示すように対向電極(透明電極)903と画素電極904、905の間にプラスまたはマイナスの電界をかけると表面に白または黒の微粒子が現れ、白または黒を表示する。この電子インクおよび対向電極(透明電極)は、印刷法によって成膜が可能であり、回路基板上に電子インクを印刷したものが電気泳動表示装置である。

## 【0004】

電子インクを用いた電気泳動表示装置は液晶表示装置にくらべて消費電力が小さいというメリットがある。それはまず、反射率が30[%]前後有り、反射型液晶の数倍の反射率を持っていることである。反射型液晶は反射率が低いため、太陽光下など光の強い場所では有利であるが、光の弱い場所ではフロントライトなどの補助照明が必要になるが、電子インクを用いた電気泳動表示装置では反射率が高いためフロントライトは不要である。フロントライトでは数100[mW]の電力を必要とするが、この電力は不要となる。また、液晶は有機材料を用いているため、直流駆動を継続すると劣化現象を起こしてしまう。従って、交流反転駆動が必要であるが、反転周波数が低いとフリッカが視認され、使用者に不快感を与えるため、通常60~100[Hz]で交流反転駆動をおこなっている。電気泳動表示装置では液晶のように交流反転駆動をする必要がないので、60[Hz]で毎回書き込みをする必要もない。以上の2点によって、低消費電力化が可能になる。

## 【0005】

EINK社はSID01 DIGEST p152~155において、アモルファスシリコン(a-SiTFT)を用いた電気泳動表示装置を発表している。

## 【0006】

a-SiTFTを用いた表示装置は、画素部1100の周辺に、IC等のパッケージにて供給される外付けのソース信号線駆動回路1101、1102と、ゲート信号線駆動回路1103とを有する。それぞれの画素は、ソース信号線1104、ゲート信号線1105、画素TFT1106、画素電極1107、保持容量1108等によって構成される。

## 【0007】

図10は、電子インクとなるマイクロカプセル1004および対向電極1001を形成した後の画素の断面図であり、画素電極1005の電位によって、マイクロカプセル1004中の微粒子の動作が制御され、白または黒の表示を行う。

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

上述したように、従来の電気泳動ディスプレイにおいては、駆動回路を外付けで実装しているため、コスト、額縁の大きさ、端子接続の信頼性などに問題があった。

## 【0009】

また、アモルファス用のTFT基板を用いて、電気泳動ディスプレイを構成する場合に、画素電極にかかる電位を保持するのに、画素の保持容量と、画素TFTのオフ電流で決定する時定数相当の書き込みをする必要がある。これは、フリッカ対策のように60[Hz]での書き込みをする必要はないが、ある程度の周期でのリフレッシュ書き込みは必要となる。よって、更なる消費電力低減のため、映像を変えない限り書き込みの必要のない、電気泳動表示装置が求められている。

## 【0010】

そこで、本発明は電気泳動表示装置で、書き込み回数のさらに少ないアクティブマトリクス型の電気泳動表示装置を提供することを課題とする。

## 【課題を解決するための手段】

## 【0011】

10

20

30

40

50

本発明の電気泳動表示装置では、ドライバ回路を内蔵することによって、コストや消費電力および端子部の信頼性改善をはかり、かつ、画素部に保持性の高いメモリ回路を内蔵することによって、書き込み回数を削減し、消費電力の少ない表示装置を提供される。

【0012】

以下に、本発明の電気泳動表示装置の構成について記載する。なお、本明細書において、回路の接続について述べる際には、TFTのソース領域とドレイン領域のうち、いずれか一方を入力電極、残る一方を出力電極と表記する。これは、TFTの構造上、ソース領域とドレイン領域とを明確に区別することが困難であることを理由とする。

【0013】

本発明では、複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記表示装置は前記画素と同一基板上にソース信号線またはゲート信号線を駆動する駆動回路を形成したことを特徴とする表示装置が提供される。

10

【0014】

本発明では、複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記画素電極はそれぞれ1つずつのメモリ回路に接続され、メモリ回路の記憶データによって、前記画素電極の電位が変化することを特徴とした表示装置が提供される。

20

【0015】

本発明では、画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示する表示装置において、基板上に複数の画素電極を有し、前記画素電極は複数のサブ画素電極によって構成され、それ前記サブ画素電極はそれぞれ1つずつのメモリ回路に接続され、メモリ回路の記憶データによって、前記サブ画素電極の電位が変化することを特徴とした表示装置が提供される。

【0016】

本発明では、ソース信号線駆動回路と、ゲート信号線駆動回路と、 $x \times y$ 個の画素がマトリクス状に配置された画素部とを有し、 $n$ ビットのデジタル映像信号を入力して映像の表示を行う表示装置において、前記 $x \times y$ 個の画素はそれぞれ、 $n$ 本のソース信号線と、ゲート信号線と、 $n$ 個のサブ画素とを有し、前記 $n$ 個のサブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、前記スイッチング用トランジスタのゲート電極はそれぞれ、前記ゲート信号線と電氣的に接続され、入力電極は前記 $n$ 本のソース信号線のうちそれぞれ異なるいずれか1本と電氣的に接続され、出力電極は、前記メモリ回路を介して画素電極と電氣的に接続され、前記ソース信号線駆動回路は、クロック信号とスタートパルスにしたがって、順次サンプリングパルスを出力する手段と、前記サンプリングパルスにしたがって、 $n$ ビットのデジタル映像信号を保持する手段と、前記保持された $n$ ビットのデジタル映像信号を転送する手段と、前記転送された $n$ ビットのデジタル映像信号を、 $n \times x$ 本のソース信号線に並列に出力する手段とを有し、前記ゲート信号線駆動回路は、クロック信号とスタートパルスにしたがって、 $y$ 本のゲート信号線を順次選択するゲート信号線選択パルスを出力する手段を少なくとも有することを特徴とする表示装置が提供される。

30

40

【0017】

本発明では、ソース信号線駆動回路と、ゲート信号線駆動回路と、 $x \times y$ 個の画素がマトリクス状に配置された画素部とを有し、 $n$ ビットのデジタル映像信号を入力して映像の表示を行う表示装置において、前記 $x \times y$ 個の画素はそれぞれ、ソース信号線と、 $n$ 本のゲート信号線と、 $n$ 個のサブ画素とを有し、前記 $n$ 個のサブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、前記スイッチング用トランジスタのゲート電極はそれぞれ、前記 $n$ 本のゲート信号線のうちそれぞれ異なるいずれ

50

か1本と電氣的に接続され、入力電極は前記ソース信号線と電氣的に接続され、出力電極は、前記メモリ回路を介して画素電極と電氣的に接続され、前記ソース信号線駆動回路は、クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力する手段と、前記サンプリングパルスにしたがって、 $n$ ビットのデジタル映像信号を保持する手段と、前記保持された $n$ ビットのデジタル映像信号を転送する手段と、前記転送された $n$ ビットのデジタル映像信号を、1ビット毎に順次選択して、前記ソース信号線に出力する手段とを有し、前記ゲート信号線駆動回路は、クロック信号とスタートパルスと、マルチプレクス信号とにしたがって、 $n \times y$ 本のゲート信号線を順次選択するゲート信号線選択パルスを出力する手段を少なくとも有することを特徴とする表示装置が提供される。

10

【0018】

なお、上述した表示装置の画素部に配置されるメモリ回路については、SRAMを用いても良い。

【0019】

また、本発明では上述した表示装置を用いた電子機器が提供される。

【発明の効果】

【0020】

従来の電気泳動表示装置では、ドライバ回路が外付けであり、コスト、信頼性などで問題があった。また、液晶と同様の保持容量とスイッチTFTの組み合わせで画素を構成していたので、定期的なリフレッシュが必要であり、消費電力を大きくしていた。

20

【0021】

本発明では、前述したように画素とドライバを一体形成することによって、コスト、信頼性の向上をはかり、かつ画素にメモリ回路を内蔵することによって、書き込み回数を低減し、消費電力を下げるのが可能になった。

【図面の簡単な説明】

【0022】

【図1】本発明の電気泳動表示装置の構成例を示す図。

【図2】ソース信号線駆動回路の構成例を示す図。

【図3】本発明の画素の構成例を示す図。

【図4】本発明を利用した3ビット階調対応の画素の構成例を示す図。

30

【図5】3ビット階調表示対応の画素を有する電気泳動表示装置の駆動タイミングを示す図。

【図6】メモリ回路にSRAMを用いた画素の構成例を示す図。

【図7】メモリ回路にSRAMを用いた画素の基板上的レイアウト例を示す図。

【図8】メモリ回路にSRAMを用いた画素の断面図を示す図。

【図9】電気泳動素子の構成を示す図。

【図10】従来のアモルファスTFTを用いた電気泳動表示装置の画素の断面図。

【図11】従来のアモルファスTFTを用いた表示装置を示す図。

【図12】本発明の工程を説明する断面図。

【図13】本発明の工程を説明する断面図。

40

【図14】本発明の表示装置の応用機器を示す図。

【図15】本発明の表示装置の応用機器を示す図。

【図16】ゲート信号線駆動回路の構成例を示す図。

【図17】ソース信号線駆動回路の構成例を示す図。

【図18】ソース信号線駆動回路の構成例を示す図。

【図19】ゲート信号線駆動回路の構成例を示す図。

【図20】本発明の画素の構成例を示す図。

【図21】3ビット階調表示対応の画素を有する電気泳動表示装置の駆動タイミングを示す図。

【発明を実施するための形態】

50

## 【 0 0 2 3 】

## [実施の形態 1]

本発明の電気泳動表示装置の構成について以下に説明する。本発明の電気泳動表示装置は、絶縁基板上に、ソース信号線駆動回路またはゲート信号線駆動回路もしくはその両方を有し、画素領域にスイッチング用薄膜トランジスタとメモリ回路を有している。

## 【 0 0 2 4 】

図 1 は本発明の表示装置の実施の一形態を表している。以下その動作について説明を行う。

## 【 0 0 2 5 】

中央に画素部 1 0 6 が配置されている。画素部の上側には、ソース信号線に入力する信号を制御するための、ソース信号線駆動回路 1 0 1 が配置されている。

ソース信号線駆動回路 1 0 1 は、第 1 のラッチ回路 1 0 4、第 2 のラッチ回路 1 0 5 等を有する。画素部の左右には、ゲート信号線に入力する信号を制御するための、ゲート信号線駆動回路 1 0 2 が配置されている。なお、図 1 においては、ゲート信号線駆動回路 1 0 2 は、画素部の左右両側に配置されているが、片側に配置されていても構わない。ただし、画素部の両側に配置した方が、駆動効率、駆動信頼性の面から見て望ましい。

## 【 0 0 2 6 】

ソース信号線駆動回路 1 0 1 は、図 2 に示すような構成を有している。図 2 に例として示すソース信号線駆動回路は、水平方向に x 個の画素を持ち、1 ビットのデジタル映像信号を入力して 2 階調の表示を行う表示装置に対応したソース信号線駆動回路であり、フリップフロップ(F F) 2 0 1 を複数段用いてなるシフトレジスタ 2 0 2、N A N D 2 0 3、第 1 のラッチ回路(L A T 1) 2 0 4、第 2 のラッチ回路(L A T 2) 2 0 5 等を有する。ここで、N A N D 2 0 3 に関しては、特に設けなくとも良い。また、図 2 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

## 【 0 0 2 7 】

図 2 を用いて動作について簡単に説明する。まず、シフトレジスタ 2 0 2 にソース側クロック信号、ソース側クロック反転信号、およびソース側スタートパルスが入力され、それにしたがってシフトレジスタ 2 0 2 から順次サンプリングパルスが出力される。図 2 においては、サンプリングパルスは、N A N D 2 0 3 によって、隣接段でのパルスの重複が生じないようにしているが、特にこの手順は設けなくとも良い。その後、N A N D 2 0 3 より出力されたサンプリングパルスは、第 1 のラッチ回路 2 0 4 に入力され、そのタイミングに従って、同じく第 1 のラッチ回路 2 0 4 に入力されたデジタル映像信号をそれぞれ保持していく。

## 【 0 0 2 8 】

第 1 のラッチ回路 2 0 4 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中にラッチラッチパルスが入力され、第 1 のラッチ回路 2 0 4 で保持されているデジタル映像信号は、一斉に第 2 のラッチ回路 2 0 5 へと転送される。

## 【 0 0 2 9 】

その後、再びシフトレジスタ回路 2 0 2 が動作してサンプリングパルスが出力され、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第 2 のラッチ回路 2 0 5 で保持されているデジタル映像信号は、ソース信号線(図 2 中、S 1、S 2、・・・、S x と表記)に入力され各画素に書き込まれる。

## 【 0 0 3 0 】

ゲート信号線駆動回路 1 0 2 は、図 1 6 に示すような構成を有している。図 1 6 に例として示すゲート信号線駆動回路は、垂直方向に y 個の画素を有し、フリップフロップ(F F) 1 6 0 1 を複数段用いてなるシフトレジスタ 1 6 0 2、N A N D 1 6 0 3、バッファ 1 6 0 4 等を有している。ここで、N A N D 1 6 0 3 に関しては、特に設けなくとも良い。また、図 1 6 では図示していないが、必要に応じてレベルシフタ回路等を配置しても良い。

## 【 0 0 3 1 】

10

20

30

40

50

図16を用いて動作について簡単に説明する。まず、シフトレジスタ1602にゲート側クロック信号、ゲート側クロック反転信号、およびゲート側スタートパルスが入力され、それにしたがってシフトレジスタ1602から順次パルスが出力される。図16においては、NAND1603を用いて、隣接段のパルスの出力タイミングが重複しないようにしている。その後、バッファ1604を通り、ゲート信号線を順次選択していく。あるゲート信号線が選択されている期間が、1水平期間である。

【0032】

図3に、本発明の電気泳動表示装置の画素部の構成を示す。図3(A)において、点線枠300で囲まれた部分が1画素であり、その構成を図3(B)に示す。

【0033】

それぞれの画素は、ソース信号線301、ゲート信号線302、スイッチング用TF T 303、メモリ回路304、電気泳動素子305を有する。スイッチング用TF T 303のゲート電極は、ゲート信号線G1~Gyのいずれか1本に接続され、スイッチング用TF T 303のソース領域とドレイン領域のうち、一方はソース信号線S1~Sxのいずれか1本に接続され、もう一方はメモリ回路304に接続されている。

10

【0034】

ソース信号線S1~Sxに入力された信号は、ゲート信号線G1~Gyに入力された信号によって導通状態となったスイッチング用TF T 307~309のドレイン・ソース間を介して、メモリ回路310~312に入力される。このメモリ回路の出力の電位に応じて、電気泳動素子313~315が移動し、各画素の輝度が表現される。

20

【0035】

[実施の形態2]

図4に3ビット(8階調)の場合の画素の構成例を示す。図4に示す画素は、1画素あたり3ビットのデジタル映像信号が入力され、 $2^3 = 8$ 階調の表示を行う。それぞれの画素は、スイッチング用TF T 407~409、メモリ回路410~412、および電気泳動素子413~415を有する。スイッチング用TF T 407~409のゲート電極はそれぞれ、ゲート信号線G1~Gyのいずれか一本に接続され、スイッチング用TF T 1002のソース領域とドレイン領域とは、一方は、ソース信号線S1~Sxのいずれか一本に接続され、もう一方は、メモリ回路310~312のいずれか1つに接続されている。

30

【0036】

それぞれの画素において、電気泳動素子を、面積の異なる3つの領域に分けそれぞれの面積比を1:2:4に設定し、それぞれを制御することによって、8階調が実現できる。カラーの場合には $(2^3)^3 = 512$ 色が実現できる。次にこの場合の画素の動作について説明する。

【0037】

3ビットのデジタル映像信号に対応したソース信号線駆動回路の構成例を図17に示す。図17に例として示すソース信号線駆動回路は、水平方向にx個の画素を持ち、1個の画素あたり3本のソース信号線を有し、3ビットのデジタル映像信号を入力して $2^3 = 8$ 階調の表示を行う表示装置に対応したソース信号線駆動回路であり、フリップフロップ(F F) 1701を複数段用いてなるシフトレジスタ1702、NAND 1703、第1のラッチ回路(L A T 1) 1704、第2のラッチ回路(L A T 2) 1705等を有する。第1および第2のラッチ回路は、3ビット分が並列に配置され、3ビットデジタル映像信号(D 1~D 3)の保持を行う。ここで、NAND 1703に関しては、特に設けなくとも良い。また、図2では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

40

【0038】

ゲート信号線駆動回路に関しては、図16に示したものと同様で良い。1つのゲート信号線選択パルスは、1つの画素内のスイッチング用TF T 407~409のゲート電極に同時に入力される。

【0039】

50

図5に示すタイミングチャートは、ソース側クロック信号(C K)、ソース側クロック反転信号(C K b)、ソース側スタートパルス(S P)、シフトレジスタ出力(S R 1 ~ S R 2)、サンプリングパルス(S a m p 1 ~ S a m p X)、ラッチパルス(L a t c h)、およびデジタル映像信号(D 1 ~ D 3)について示されている。

タイミングチャートに基づいて、動作を説明する。

【0040】

ある水平期間501に対し、次の水平期間を502で示す。それぞれの水平期間は、ドットサンプリング期間503、505および、水平帰線期間504、506を有している。すなわち、水平期間とは、1段目のサンプリングパルスが出力されてから、再び1段目のサンプリングパルスが出力されるまでの期間であり、ドットサンプリング期間とは、1

10

【0041】

ある水平期間501に注目する。ドットサンプリング期間においては、サンプリングパルスの出力にしたがって、デジタル映像信号が第1のラッチ回路に保持される。保持のタイミングは、図5の例ではサンプリングパルスのダウンエッジに従っており、3ビット分、すなわち1画素に入力されるデジタル映像信号が同時に保持される。この操作は、1段目から順に行われ、最終段まで続く。

【0042】

最終段の第1のラッチ回路における保持動作が終了すると、水平帰線期間に入る。水平帰線期間において、ラッチパルスが入力される(521)と、第1のラッチ回路に保持されているデジタル映像信号は、一斉に第2のラッチ回路へと転送される。

20

【0043】

その後、水平帰線期間が終了し、次の水平期間502に入る。第1のラッチ回路においては、同様にデジタル映像信号の保持が行われる。一方、第2のラッチ回路に保持されているデジタル映像信号は、ドットサンプリング期間505の間、正確には次にラッチパルスが入力されるまでの間に、画素部のメモリ回路へと書き込まれる。メモリ回路への書き込み動作は、3ビット分同時に行われる。

【0044】

以下に本発明の実施例について説明する。

30

【実施例1】

【0045】

図6(A)は画素にSRAMを使用した例である。SRAMはインバータを二つ組み合わせて保持機能をもたせたもので、DRAMのようにリフレッシュ動作を必要とせず、一度保持をおこなったら電源を切らない限り、内容が消えないため、映像が変わらない場合は再書き込みが不要である。よって、電気泳動表示装置との組み合わせにおいて、消費電力の低減に大きな効果を発揮する。

【実施例2】

【0046】

第二の実施例を図6(B)に示す。図6(B)の画素は、実施例1にて示した、メモリ回路にSRAMを用いたもので、3ビットの階調表現を行う場合の画素構成例である。画素を面積の異なる3つの領域に分けそれぞれの面積比を1:2:4に設定し、白、黒の領域を面積比で変化させることによって、8階調が実現できる。カラーの場合には、 $(2^3)^3 = 512$ 色が実現できる。

40

【0047】

駆動回路の構成は図1および図17で示したものと同一である。また、動作に関しては実施形態にて図5を用いて説明したものと同一であるので、ここでは説明を省略する。

【0048】

図7は、図6(B)に示した構成で、実際に画素部をレイアウトした例を示している。1画素中、1ビットSRAMを3つ有し、それぞれがスイッチング用TF Tと接続され、さ

50

らに電気泳動素子と接続されている。図中に付してある番号は、図6(B)に対応している。電気泳動素子620～622は、その画素電極の面積を、1:2:4としている。スイッチング用TFT617～619に接続されているゲート信号線には、同じゲート信号線選択パルスが入力される。よって、スイッチング用TFT617～619は、同時にON・OFFする。

【0049】

図7において、A-A'、B-B'、C-C'で示される断面を、図8に示す。本実施例では、スイッチング用TFTやSRAM等は、トップゲート型のポリシリコンTFTによって構成されている。図中に付してある番号は、図6(B)に対応している。

【実施例3】

【0050】

実施例1および実施例2においては、3ビット分のデジタル映像信号はそれぞれ別のソース信号線より、並列して画素に書き込まれていたが、ソース信号線を共有して、各ビットを切り替えて順に書き込むことも出来る。

【0051】

このような書き込みを行う場合のソース信号線駆動回路の構成例を図18に示す。シフトレジスタ1802～第2のラッチ回路1805の構成に関しては、図17に示したものと同様である。

【0052】

ここでは、1本のソース信号線を介して、3ビットのデジタル映像信号を画素内のメモリ回路に書き込むため、第2のラッチ回路1805の出力と、ソース信号線との間に、選択スイッチ1806を設ける。第2のラッチ回路1805までは、3ビットのデジタル映像信号は、各ビットが並列に処理されてきているが、選択スイッチによって、ソース信号線への入力が順番に行われる。その順序は実施者が適宜設定して構わない。

【0053】

図19は、本実施例にて用いるゲート信号線駆動回路の構成例を示している。シフトレジスタ1902～バッファ1904の構成に関しては、図16に示したものと同様で良い。

【0054】

図16におけるバッファ1604と、図19におけるバッファ1904とは、その段数が異なっているが、バッファ出力をHレベルで得るか、Lレベルで得るかの違いで段数を設定すれば良く、ここではその段数等については問わない。

【0055】

実施例1および実施例2においては、1つのゲート信号線選択パルスが、1画素内の3つのスイッチング用TFTを同時に駆動し、それによって3ビット分のデジタル映像信号が同時に書き込まれていたが、本実施例においては、バッファ1904の出力の後、マルチプレクサ1905を用いて、1水平期間を複数のサブ期間分割する。この分割数は、デジタル映像信号のビット数に等しく、本実施例では3分割した。ソース信号線駆動回路に設けられた選択スイッチの切り替えタイミングと、マルチプレクサによる水平期間の分割タイミングが同期しており、各サブ期間で、各ビットのデジタル映像信号の書き込みを行う。

【0056】

図21にタイミングチャートを示す。デジタル映像信号のサンプリングおよびラッチ動作は、実施例1および実施例2と同様である。ある水平期間2101においてサンプリング、保持されたデジタル映像信号は、帰線期間中に第2のラッチ回路へと転送される。その後、次の水平期間2102において、次の行のデジタル映像信号のサンプリング動作が行われている間、第2のラッチ回路からソース信号線にデジタル映像信号が出力され、画素内のメモリ回路に書き込まれる。

このとき、マルチプレクス信号(MPX1～3)によって、画素への書き込み期間が分割され、各ビットのデジタル映像信号が順次画素内のメモリ回路に書き込まれる。なお、ソー

10

20

30

40

50

ス信号線駆動回路における選択スイッチが、ソース信号線を選択するタイミングも、マルチプレクス信号に同期する。

【実施例 4】

【0057】

本実施例では、本発明の電気泳動表示装置の画素部とその周辺に設けられる駆動回路部の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【0058】

また、画素部に関しては、ソース信号線と、スイッチング用 T F T と、画素電極の接続部のみを示す。メモリ回路に関しては、S R A M を用いる場合、駆動回路部の C M O S 回路と同様の構成であるので、特に図示しない。

【0059】

まず、図 1 2 ( A ) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。

例えば、プラズマ C V D 法で  $S i H_4$ 、 $N H_3$ 、 $N_2 O$  から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成し、同様に  $S i H_4$ 、 $N_2 O$  から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0060】

島状半導体層 5 0 0 3 ~ 5 0 0 5 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 5 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (S i G e) 合金などで形成すると良い。

【0061】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、C W レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [ $mJ/cm^2$ ] (代表的には 2 0 0 ~ 3 0 0 [ $mJ/cm^2$ ]) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [ $mJ/cm^2$ ] (代表的には 3 5 0 ~ 5 0 0 [ $mJ/cm^2$ ]) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [ $\mu m$ ]、例えば 4 0 0 [ $\mu m$ ] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を 8 0 ~ 9 8 [%] として行う。

【0062】

次いで、島状半導体層 5 0 0 3 ~ 5 0 0 5 を覆うゲート絶縁膜 5 0 0 6 を形成する。ゲート絶縁膜 5 0 0 6 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S (Tetraethyl Orthosilicate) と  $O_2$  とを混合し、反応圧力 4 0 [Pa]、基板温度 3 0 0 ~ 4 0 0 [ ] とし、高周波 (1 3 . 5 6 [MHz])、電力密度 0 . 5 ~ 0 . 8 [ $W/cm^2$ ] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 4 0 0 ~ 5 0 0 [ ] の熱アニ

10

20

30

40

50

ールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0063】

そして、ゲート絶縁膜5006上にゲート電極を形成するための第1の導電膜5007と第2の導電膜5008とを形成する。本実施例では、第1の導電膜5007をTaで50~100[nm]の厚さに形成し、第2の導電膜5008をWで100~300[nm]の厚さに形成する。

【0064】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20[ $\mu$ cm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180[ $\mu$ cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることが出来る。

【0065】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[ $\mu$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[ $\mu$ cm]を実現することが出来る。

【0066】

なお、本実施例では、第1の導電膜5007をTa、第2の導電膜5008をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜5007を窒化タンタル(TaN)で形成し、第2の導電膜5008をWとする組み合わせ、第1の導電膜5007を窒化タンタル(TaN)で形成し、第2の導電膜5008をAlとする組み合わせ、第1の導電膜5007を窒化タンタル(TaN)で形成し、第2の導電膜5008をCuとする組み合わせ等が挙げられる。

【0067】

また、LDD領域(Lightly Doped Drain:低濃度不純物ドレイン領域)を小さくして済むような場合は、W単層などの構成にしても良いし、構成は同じでも、テーパ角を立てることによって、LDDの長さを小さくすることができる。

【0068】

次に、レジストによるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0069】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割

10

20

30

40

50

合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5010～5013(第1の導電層5010a～5013aと第2の導電層5010b～5013b)を形成する。このとき、ゲート絶縁膜5006においては、第1の形状の導電層5010～5013で覆われない領域は20～50[nm]程度エッチングされ薄くなった領域が形成される。

#### 【0070】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm<sup>2</sup>]とし、加速電圧を60～100[keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5010～5013がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5014～5016が形成される。第1の不純物領域5014～5016には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm<sup>3</sup>]の濃度範囲でn型を付与する不純物元素を添加する(図12(B))。

#### 【0071】

次に、図12(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5017～5020(第1の導電層5017a～5020aと第2の導電層5017b～5020b)を形成する。このとき、ゲート絶縁膜5006においては、第2の形状の導電層5017～5020で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

#### 【0072】

W膜やTa膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWCl<sub>5</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

#### 【0073】

続いて、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13}$ [atoms/cm<sup>2</sup>]のドーズ量で行い、図12(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5017～5020を不純物元素に対するマスクとして用い、第1の導電層5017a～5020aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5021～5023が形成される。この第2の不純物領域5021～5023に添加されたリン(P)の濃度は、第1の導電層5017a～5020aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。具体的には、第1の導電層5017a～5020aのテーパー部と重なる半

10

20

30

40

50

導体層において、第1の導電層5017a～5020aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である(図12(C))。

【0074】

続いて、図12(D)に示すように第3のエッチング処理を行う。エッチングガスに $\text{CHF}_6$ を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5017a～5020aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。

第3のエッチング処理によって、第3の形状の導電層5024～5027(第1の導電層5024a～5027aと第2の導電層5024b～5027b)を形成する。このとき、ゲート絶縁膜5006においては、第3の形状の導電層5024～5027で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

10

【0075】

第3のエッチング処理によって、第2の不純物領域5021～5023の一部、つまり、第1の導電層5024a～5027aと重ならない領域に、第3の不純物領域5028～5030が形成される(図12(D))。

【0076】

そして、図13(A)に示すように、新たにレジストマスク5031を形成し、Pチャネル型TFETを形成する島状半導体層5003に、第1の導電型とは逆の導電型の第4の不純物領域5032を形成する。第1導電層5025bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、不純物領域5032においては、一部にそれぞれ異なる濃度でリンが添加されているが、ジボラン( $\text{B}_2\text{H}_6$ )のドーズ量をリンのドーズ量よりも十分に高くすることにより、P型を付与することが出来る。なお、不純物領域5032においては、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

20

【0077】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5024、5025、5027がゲート電極として機能する。また、5026はソース信号線として機能する。

【0078】

レジストマスク5031を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[ ]、代表的には500～600[ ]で行うものであり、本実施例では500[ ]で4時間の熱処理を行う。ただし、第3の形状の導電層5024～5027に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

30

【0079】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[ ]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

40

【0080】

次いで、図13(B)に示すように、第1の層間絶縁膜5033は酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5034を形成する。第2の層間絶縁膜については、基板表面を十分に平坦化する目的もある。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0081】

50

その後、配線 5035 ~ 5039、およびゲート信号線 5040 を形成する。

【0082】

なお、本実施例では、書き込み用 T F T は、ダブルゲート構造で示したが、シングルゲート構造やトリプルゲート構造でも構わないし、マルチゲート構造でも構わない。

【0083】

以上のようにして、Nチャネル型 T F T、Pチャネル型 T F T を有する駆動回路部と、書き込み用 T F T、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0084】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を 5 枚 (島状半導体層パターン、第 1 配線パターン (ソース信号線、容量配線)、Pチャネル領域のマスクパターン、コンタクトホールパターン、第 2 配線パターン) とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0085】

続いて、第 3 の層間絶縁膜 5041 を形成した後、コンタクトホールを形成する。その後、画素部に画素電極をパターニングによって形成する。

【0086】

次いで、画素電極上に、透明液体と帯電粒子とを封入したマイクロカプセル 5043 を塗布する。マイクロカプセル 5043 は、前述の通り一般的には 80 [μm] 前後であるので、印刷法等による塗布が可能であり、画素部の所望の位置にのみマイクロカプセルを塗布すれば良い。

【0087】

その後、透明導電膜でなる対向電極 5044 を形成する。透明導電膜の材料としては、代表的には酸化インジウム・スズ (Indium Tin Oxide : I T O) 等を用いれば良い。

【0088】

最後に、表面を保護するための保護膜 5045 を形成し、図 13 (C) に示すようなアクティブマトリクス型電気泳動表示装置が完成する。なお、保護膜は、図 13 (C) においては、基板全面に形成しているが、画素部のみに形成されていても良いし、F P C 上を除く全面に形成されていても良い。

【0089】

なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置における T F T はトップゲート構造をとっているが、ボトムゲート構造の T F T やデュアルゲート構造その他の構造の T F T に対しても本実施例は容易に適用され得る。

【0090】

また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。特に、弾性に富む基板を用いることによって、表示装置自体にフレキシブル性を持たせることも出来る。

【0091】

本実施例は、実施例 1 乃至実施例 3 と自由に組み合わせて実施することが可能である。

【実施例 5】

【0092】

本発明の電気泳動表示装置には様々な用途がある。本実施例では、本発明の電気泳動表示装置を電子機器に適用した例について述べる。

【0093】

液晶表示装置を組み込んだ半導体装置には、携帯情報端末 (電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 14 および図 15 に示す。

【0094】

10

20

30

40

50

図14(A)は携帯電話であり、本体3001、音声出力部3002、音声入力部3003、表示部3004、操作スイッチ3005、アンテナ3006から構成されている。本発明は表示部3004に適用することができる。

【0095】

図14(B)はビデオカメラであり、本体3011、表示部3012、音声入力部3013、操作スイッチ3014、バッテリー3015、受像部3016から成っている。本発明は表示部3012に適用することができる。

【0096】

図14(C)はパーソナルコンピュータであり、本体3021、表示部3022、キーボード3023等で構成される。本発明は表示部3022に適用することができる。

10

【0097】

図14(D)は携帯情報端末であり、本体3031、スタイラスペン3032、表示部3033、操作ボタン3034、外部インターフェイス3035で構成されている。本発明は表示部3033に適用することができる。

【0098】

図15(A)はデジタルカメラであり、本体3101、表示部(A)3102、接眼部3103、操作スイッチ3104、表示部(B)3105、受像部(図示しない)、バッテリー3106等で構成される。本発明は表示部(A)3102および表示部(B)3105に適用することができる。

【0099】

20

図15(B)は携帯書籍であり、本体3111、表示部3112、記憶媒体3113、操作スイッチ3114等から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、受信したデータを表示するものである。本発明は表示部3112に適用することができる。

【0100】

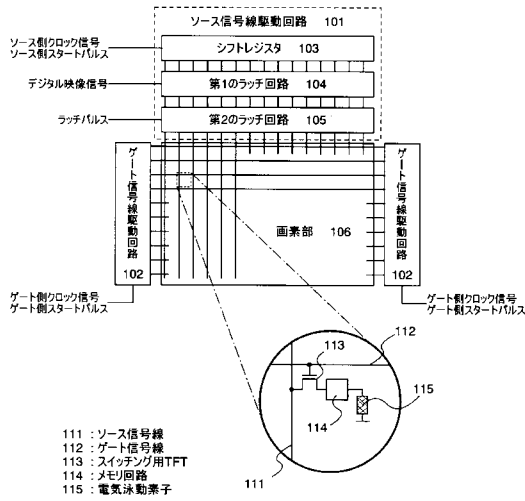
図15(C)はテレビであり、本体3121、スピーカー3122、表示部3123、受信装置3124、増幅装置3125等で構成される。本発明は表示部3123に適用することができる。

【0101】

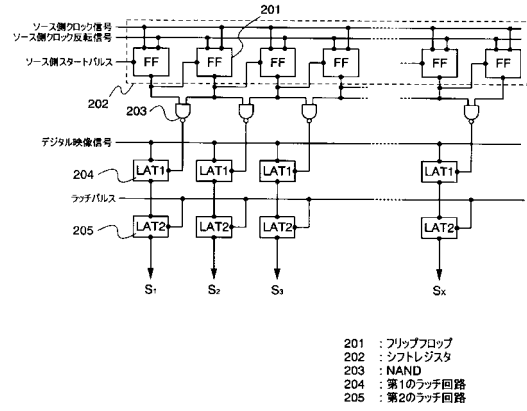
図15(D)はプログラムを記録した記録媒体を用いるプレーヤーであり、本体3131、表示部3132、スピーカー部3133、記録媒体3134、操作スイッチ3135で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部3132に適用することができる。

30

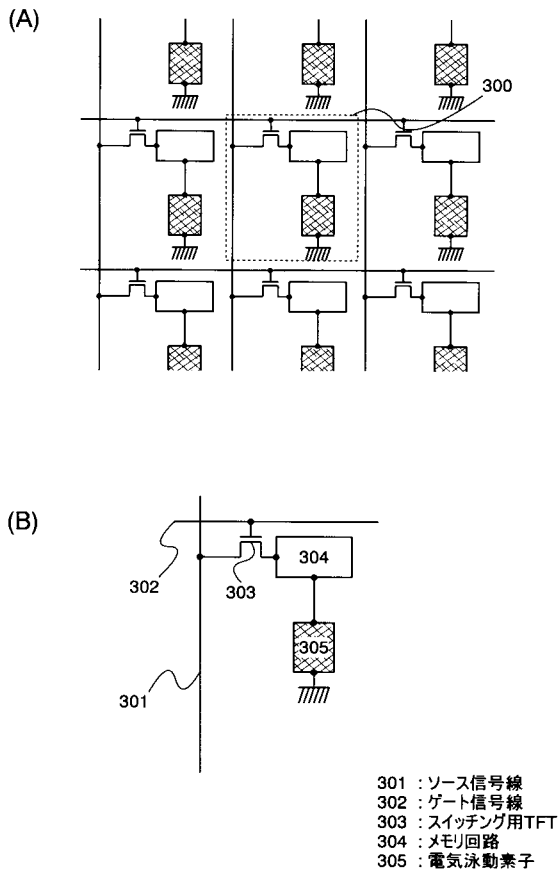
【 図 1 】



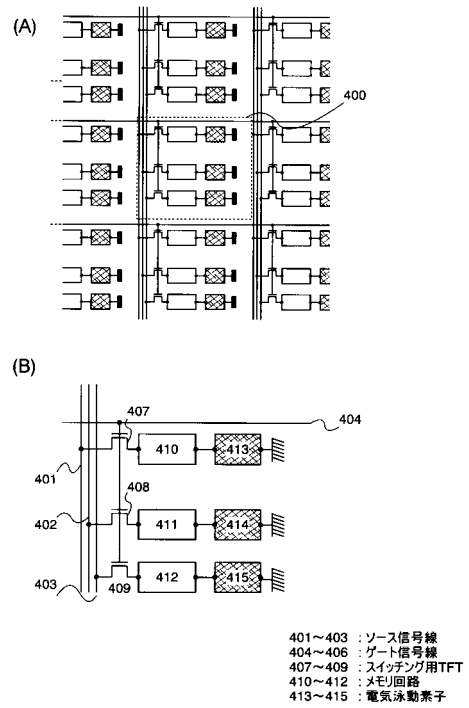
【 図 2 】



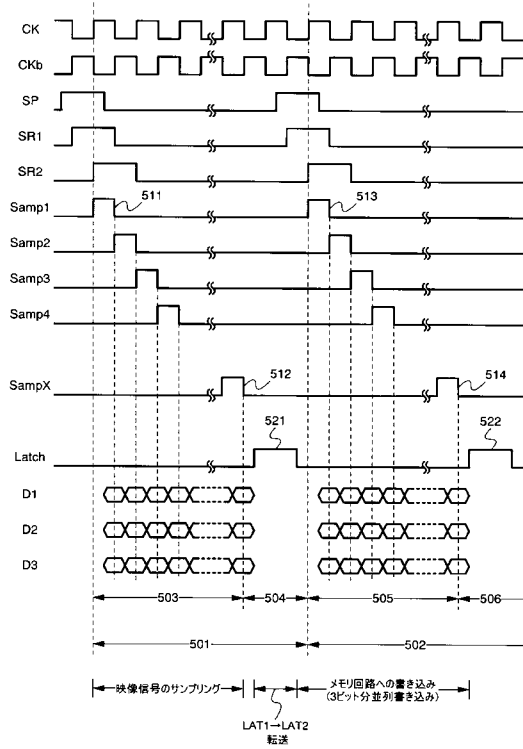
【 図 3 】



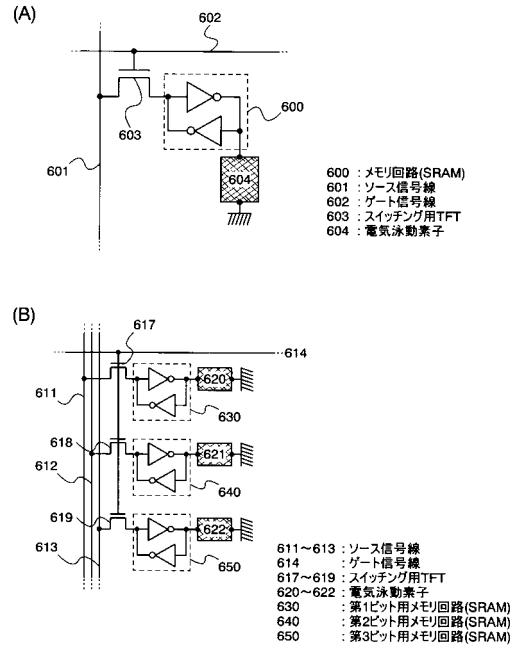
【 図 4 】



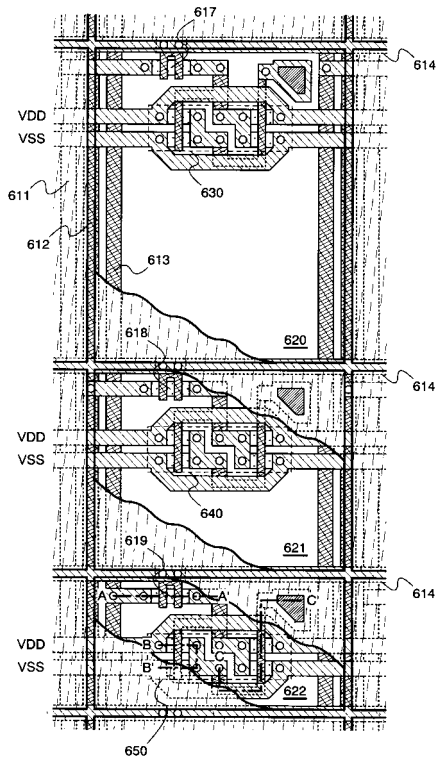
【図5】



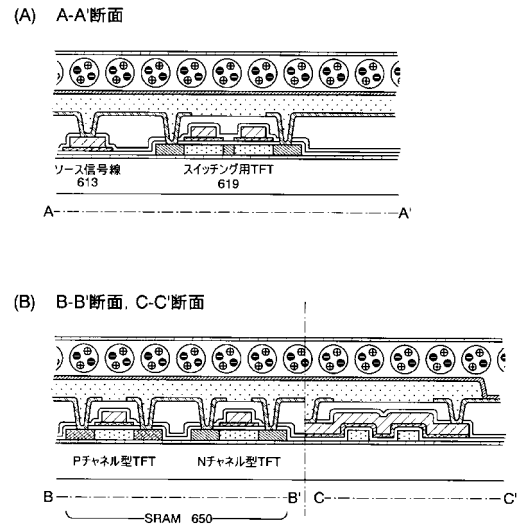
【図6】



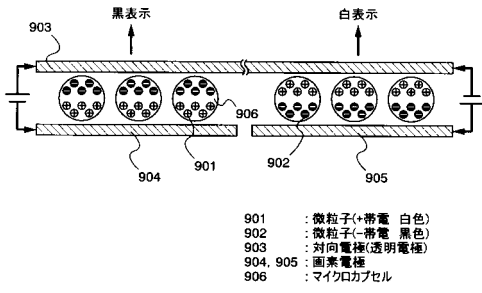
【図7】



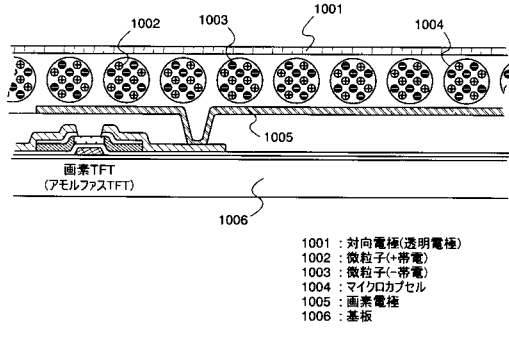
【図8】



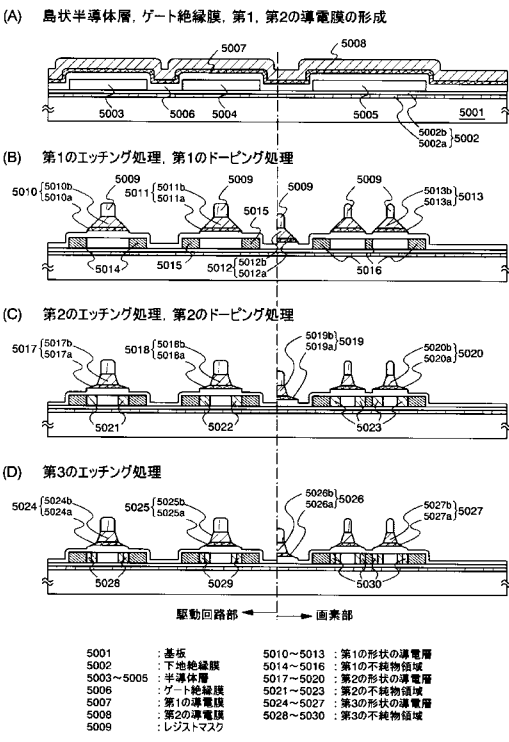
【図9】



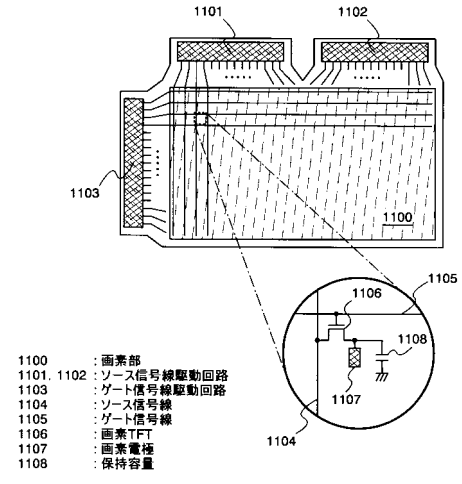
【図10】



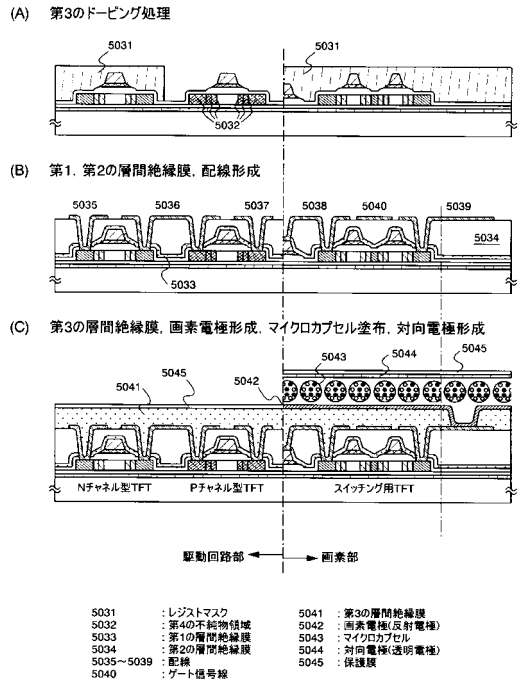
【図12】



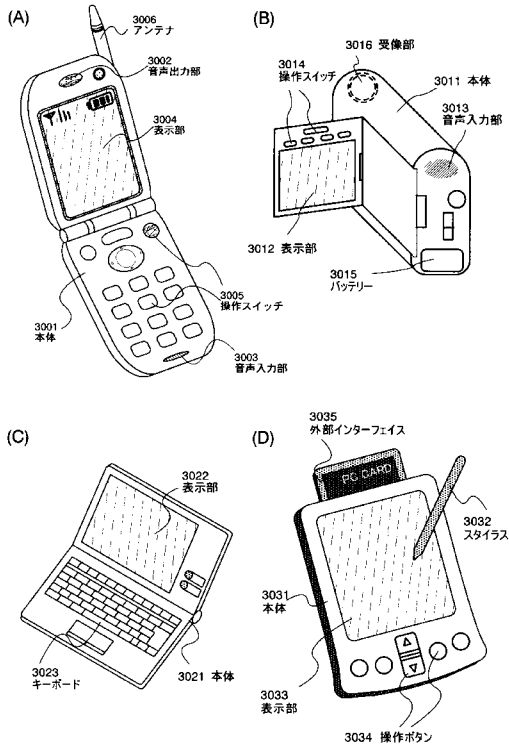
【図11】



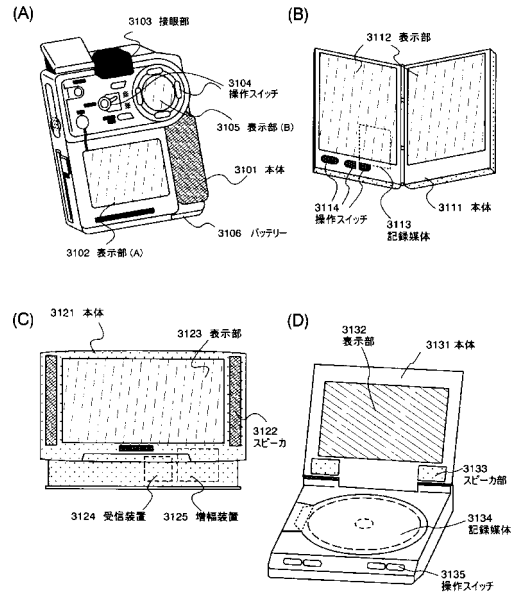
【図13】



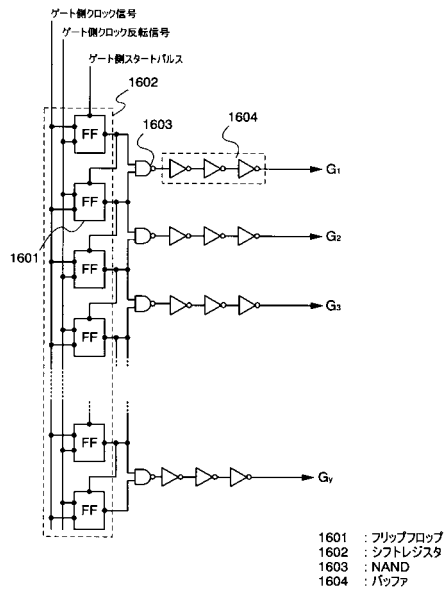
【図14】



【図15】

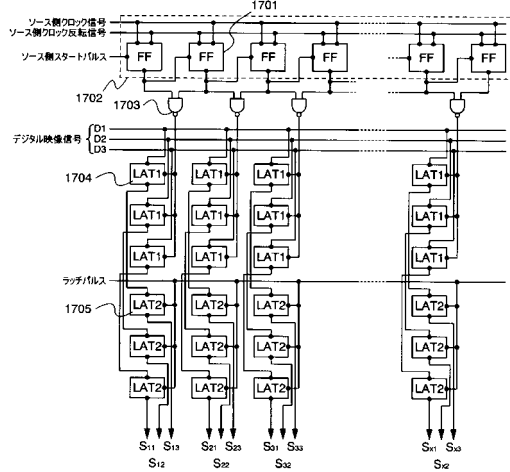


【図16】



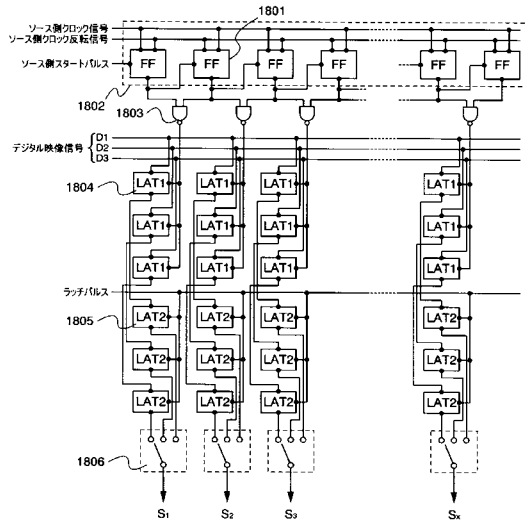
1601 : フリップフロップ  
 1602 : シフトレジスタ  
 1603 : NAND  
 1604 : バッファ

【図17】



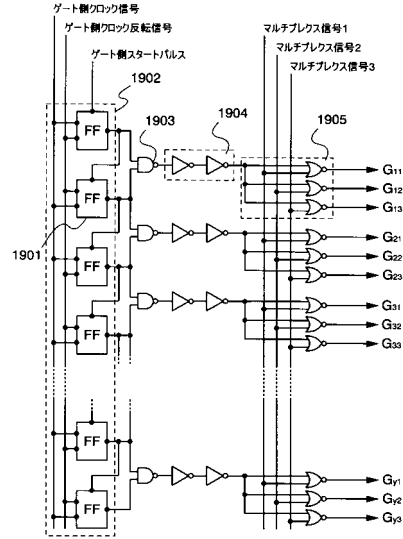
1701 : フリップフロップ  
 1702 : シフトレジスタ  
 1703 : NAND  
 1704 : 第1のラッチ回路  
 1705 : 第2のラッチ回路

【図18】



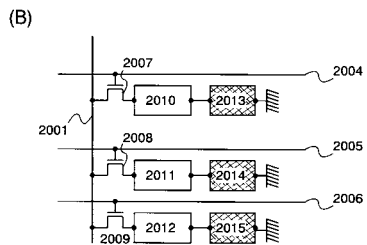
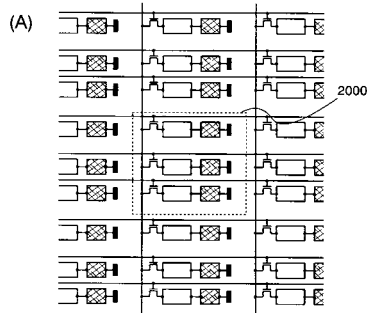
1801 : フリップフロップ  
 1802 : シフトレジスタ  
 1803 : NAND  
 1804 : 第1のラッチ回路  
 1805 : 第2のラッチ回路  
 1806 : 選択スイッチ

【図19】



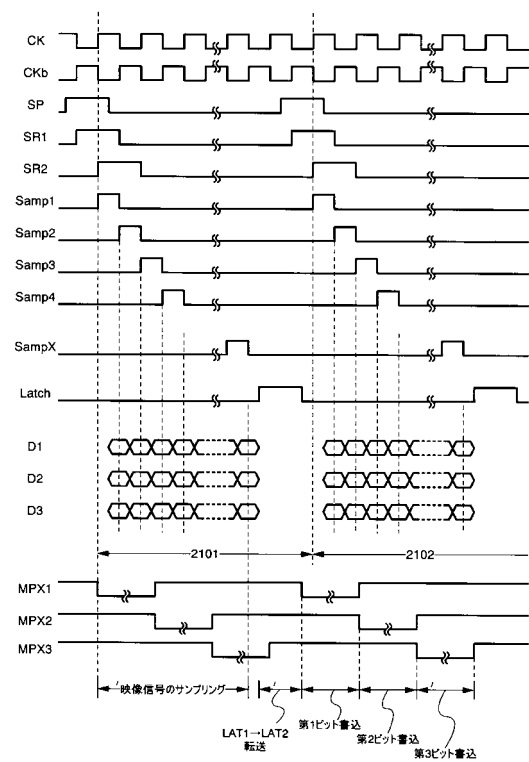
1901 : フリップフロップ  
 1902 : シフトレジスタ  
 1903 : NAND  
 1904 : バッファ  
 1905 : マルチプレクサ

【図20】



2001 : ソース信号線  
 2004~2006 : ゲート信号線  
 2007~2009 : スイッチング用TFT  
 2010~2012 : メモリ回路  
 2013~2015 : 電気泳動素子

【図21】



## 【手続補正書】

【提出日】平成29年1月23日(2017.1.23)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素を有する画素部とを有し、

前記画素部は、前記基板上の中央部に位置し、

前記ソース信号線駆動回路及び前記ゲート信号線駆動回路は、前記基板上の前記中央部とは異なる位置に設けられ、

前記画素は、複数のサブ画素を有し、

前記サブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、

前記メモリ回路は、第1のインバータと、第2のインバータとを有し、

映像信号は、前記スイッチング用トランジスタを介して、前記メモリ回路に書き込まれ、

前記メモリ回路に書き込まれたデータに応じて、前記画素電極の電位が制御され、複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのゲートは、同一のゲート信号線に電氣的に接続され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのソース又はドレインの一方は、互いに異なるソース信号線に電氣的に接続されることを特徴とする表示装置。

【請求項2】

基板上に、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素を有する画素部とを有し、

前記画素部は、前記基板上の中央部に位置し、

前記ソース信号線駆動回路及び前記ゲート信号線駆動回路は、前記基板上の前記中央部とは異なる位置に設けられ、

前記画素は、複数のサブ画素を有し、

前記サブ画素は、各々、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、

前記メモリ回路は、第1のインバータと、第2のインバータとを有し、

映像信号は、前記スイッチング用トランジスタを介して、前記メモリ回路に書き込まれ、

前記メモリ回路に書き込まれたデータに応じて、前記画素電極の電位が制御され、複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのソース又はドレインの一方は、同一のソース信号線に電氣的に接続され、

複数の前記サブ画素において、それぞれの前記スイッチング用トランジスタのゲートは、互いに異なるゲート信号線に電氣的に接続されることを特徴とする表示装置。

【請求項3】

請求項1又は請求項2において、

複数の前記サブ画素同士の面積は異なることを特徴とする表示装置。

---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 1 G