(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월22일
(11) 등록번호 10-2102585
(24) 등록일자 2020년04월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *C01G 15/00* (2006.01)
G09F 9/30 (2006.01) *H01L 21/318* (2006.01)
H01L 21/336 (2006.01) *H01L 21/363* (2006.01)
(21) 출원번호 10-2014-7020191
(22) 출원일자(국제) 2012년12월12일
심사청구일자 2017년12월06일
(85) 번역문제출일자 2014년07월18일
(65) 공개번호 10-2014-0107529
(43) 공개일자 2014년09월04일
(86) 국제출원번호 PCT/JP2012/082857
(87) 국제공개번호 WO 2013/094621
국제공개일자 2013년06월27일
(30) 우선권주장
JP-P-2011-278889 2011년12월20일 일본(JP)
(56) 선행기술조사문헌
JP2002185005 A*
JP2007150158 A*
JP2009147125 A*
JP2011139050 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
사사끼 토시나리
일본 141-0001 도쿄도 시나가와구 기타시나가와 5-8-15-405 토미타 내
요코야마 슈헤이
일본 421-0206 시즈오카켄 야이즈시 카미신덴 851
(뒷면에 계속)
(74) 대리인
장훈

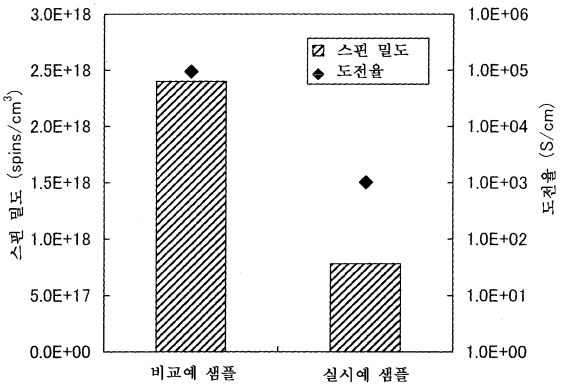
전체 청구항 수 : 총 13 항 심사관 : 나영준

(54) 발명의 명칭 **반도체 장치 및 반도체 장치 제작 방법**

(57) 요 약

산화물 반도체를 포함하는 트랜지스터를 포함하는 고 신뢰성의 반도체 장치가 제공된다. 산화물 반도체막을 포함하는 보텀-게이트 트랜지스터를 포함하는 반도체 장치에서 상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이고, 바람직하게 1×10^{17} spins/㎤ 이하이고, 더 바람직하게 1×10^{16} spins/㎤ 이하이다. 상기 산화물 반도체막의 도전율은 1×10^{3} S/cm 이하이고, 바람직하게 1×10^{2} S/cm 이하이고, 더 바람직하게, 1×10^{1} S/cm 이하이다.

대 표 도 - 도10



(72) 발명자

하모치 다카시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

게이트 전극층;

상기 게이트 전극층 위의 제 1 절연막;

상기 제 1 절연막 위의 제 2 절연막;

상기 제 2 절연막 위에 있고 상기 제 2 절연막과 접하는 산화물 반도체막;

상기 산화물 반도체막에 전기적으로 접속된 소스 및 드레인 전극층들;

상기 산화물 반도체막 및 상기 소스 및 드레인 전극층들 위에 있고 상기 산화물 반도체막 및 상기 소스 및 드레인 전극층들과 접하는 제 3 절연막; 및

상기 제 3 절연막 위의 제 4 절연막을 포함하고,

상기 제 2 절연막 및 상기 제 3 절연막은 채널 길이 방향에서 상기 산화물 반도체막을 둘러싸도록 서로 접하는 영역들을 갖고,

상기 제 1 절연막 및 상기 제 4 절연막의 각각은 산화 알루미늄막이고,

상기 제 2 절연막 및 상기 제 3 절연막의 각각은 화학량론적 조성보다도 많은 산소를 함유하는 산화질화 실리콘막이고,

상기 산화질화 실리콘막의 질소 농도는 0.5원자% 이상 15원자% 이하의 범위인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이고,

상기 산화물 반도체막의 도전율은 1×10^{3} S/㎝ 이하인, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 영역들은 상기 소스 및 드레인 전극층들의 단부들 근방에서 서로 접하는, 반도체 장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 산화 알루미늄막은 질소를 더 함유하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 산화물 반도체막은 인듐, 갈륨, 아연, 및 이들의 조합으로부터 선택된 재료를 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 산화물 반도체막은 c-축 배향된 결정성 산화물 반도체인, 반도체 장치.

청구항 8

반도체 장치 제작 방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 있고 상기 제 2 절연막과 접하는 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막에 전기적으로 접속된 소스 및 드레인 전극층들을 형성하는 단계;

상기 산화물 반도체막 및 상기 소스 및 드레인 전극층들 위에 있고 상기 산화물 반도체막 및 상기 소스 및 드레인 전극층들과 접하는 제 3 절연막을 형성하는 단계; 및

상기 제 3 절연막 위에 제 4 절연막을 형성하는 단계를 포함하고,

상기 제 2 절연막 및 상기 제 3 절연막은 채널 길이 방향에서 상기 산화물 반도체막을 둘러싸도록 서로 접하는 영역들을 갖고,

상기 제 1 절연막 및 상기 제 4 절연막의 각각은 산화 알루미늄막이고,

상기 제 2 절연막 및 상기 제 3 절연막의 각각은 화학량론적 조성보다도 많은 산소를 함유하는 산화질화 실리콘막이고,

상기 산화질화 실리콘막의 질소 농도는 0.5원자% 이상 15원자% 이하의 범위인, 반도체 장치 제작 방법.

청구항 9

제 8 항에 있어서,

상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이고,

상기 산화물 반도체막의 도전율은 1×10^{3} S/㎝ 이하인, 반도체 장치 제작 방법.

청구항 10

제 8 항에 있어서,

상기 영역들은 상기 소스 및 드레인 전극층들의 단부들 근방에서 서로 접하는, 반도체 장치 제작 방법.

청구항 11

삭제

청구항 12

제 8 항에 있어서,

상기 산화 알루미늄막은 질소를 더 함유하는, 반도체 장치 제작 방법.

청구항 13

제 8 항에 있어서,

상기 산화물 반도체막은 인듐, 갈륨, 아연, 및 이들의 조합으로부터 선택된 재료를 포함하는, 반도체 장치 제작 방법.

청구항 14

제 8 항에 있어서,

상기 산화물 반도체막은 c-축 배향된 결정성 산화물 반도체인, 반도체 장치 제작 방법.

청구항 15

제 8 항에 있어서,

상기 산화물 반도체막을 형성하는 단계는 상기 기판을 가열하면서 인듐, 갈륨, 및 아연을 포함하는 산화물 타깃을 사용하는 스퍼터링법에 의해 수행되는, 반도체 장치 제작 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치 및 상기 반도체 장치를 제작하는 방법에 관한 것이다.

[0002] 본 명세서 등에서, 반도체 장치는 반도체 특성들을 활용함으로써 기능할 수 있는 모든 유형의 장치들을 의미하고, 전자-광학 장치, 반도체 회로, 및 전자기기는 모두 반도체 장치들이다.

배 경 기 술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막(박막 트랜지스터(TFT)라고도 함)을 사용하여 트랜지스터가 형성되는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(표시 장치)와 같은 광범위한 전자기기들에 적용된다. 실리콘계 반도체 재료는 상기 트랜지스터에 적용가능한 반도체 박막의 재료로서 널리 알려져 있다. 다른 재료로서, 산화물 반도체가 주목받고 있다.

[0004] 예를 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유하는 비정질 산화물(In-Ga-Zn-O-계 비정질 산화물)을 포함하는 반도체층이 기판 위에 형성된 트랜지스터가 개시된다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개 2011-181801호 공보

발명의 내용

해결하려는 과제

[0006] 산화물 반도체를 포함하는 트랜지스터들을 포함하는 반도체 장치들의 신뢰성 향상은 상기 반도체 장치들의 상업화에 중요하다.

[0007] 특히, 상기 반도체 장치의 전기적 특성들의 변동 및 감소는 신뢰성을 감소시킬 수 있다.

[0008] 상기 문제의 관점에서, 산화물 반도체를 포함하는 트랜지스터를 포함하는 고 신뢰성의 반도체 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 산화물 반도체막을 포함하는 보텀-게이트 트랜지스터를 포함하는 반도체 장치에서 상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이고, 바람직하게 1×10^{17} spins/㎤ 이하이고, 더 바람직하게 1×10^{16} spins/㎤ 이하이다. 상기 산화물 반도체막의 도전율은 1×10^{3} S/cm 이하이고, 바람직하게 1×10^{2} S/cm 이하이고, 더 바람직하게, 1×10^{1} S/cm 이하이다.

[0010] 산소 결함으로 대표되는 상기 산화물 반도체막의 결함이 저감되는 것이 바람직하다. 산소 결함으로 대표되는 결함은 상기 산화물 반도체막의 전기 전도도를 변경할 수 있는, 상기 산화물 반도체막의 캐리어 공급원으로서 기능한다. 따라서, 이러한 결함이 저감된 상기 산화물 반도체막은 안정한 전기 전도도를 갖고, 가시광, 자외광 등의 조사에 대해 전기적으로 더 안정하다.

[0011] 상기 산화물 반도체막에서의 고립 전자 수는 전자 스핀 공명법(ESR: electron spin resonance)에 의해 상기 산화물 반도체막의 스핀 밀도로 측정될 수 있고, 이에 의해 산소 결함의 수가 추정될 수 있다.

[0012] 질소를 함유하는 산화물 절연막은 소스 전극층 및 드레인 전극층 위에 제공되고 상기 산화물 반도체막과 접하는 절연막으로 사용될 수 있다.

[0013] 상기 질소를 함유하는 산화물 절연막은 질소를 함유하는 산화 실리콘막, 질소를 함유하는 산화 알루미늄막 등일 수 있다. 상기 산화물 절연막의 질소 농도는 0.01atoms% 이상, 바람직하게 0.1atoms% 이상 50atoms% 이하, 더 바람직하게 0.5atoms% 이상 15atoms% 이하이다. 상기 농도로 질소를 함유하는 산화 실리콘막은 일부 경우들에서 산화질화 실리콘막으로 참조된다. 적절한 양의 질소를 함유함으로써, 산소 절연막은 화학량론적 조성에 비해 더 많은 산소를 함유할 수 있다.

[0014] 상기 산화질화 실리콘막은 성막 가스를 사용한 형성 방법, 예를 들어, 화학 기상 성장(CVD)법에 의해 형성될 수 있다.

[0015] 본 명세서에 개시된 본 발명의 일 실시형태는 절연 표면을 갖는 기판 위에 게이트 전극층; 상기 게이트 전극층 위에 순서대로 적층된 게이트 절연막, 산화물 반도체막, 및 소스 및 드레인 전극층들; 및 상기 소스 및 드레인 전극층들 위에, 상기 산화물 반도체막과 접하고 질소를 함유하는 산화물 절연막을 포함하는 반도체 장치이다. 상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이다.

[0016] 본 명세서에 개시된 본 발명의 다른 실시형태는 게이트 전극층을 형성하는 단계; 상기 게이트 전극층 위에 게이트 절연막을 형성하는 단계; 상기 게이트 전극층과 중첩하는 영역의 상기 게이트 절연막 위에 산화물 반도체막을 형성하는 단계; 상기 산화물 반도체막에 전기적으로 접속된 소스 및 드레인 전극층들을 형성하는 단계; 및 상기 산화물 반도체막과 접하도록 상기 산화물 반도체막 및 상기 소스 및 드레인 전극층들 위에 질소를 함유하는 산화물 절연막을 형성하는 단계를 포함하는 반도체 장치 제작 방법이다. 상기 산화물 반도체막의 스핀 밀도는 1×10^{18} spins/㎤ 이하이다.

[0017] 본 발명의 일 실시형태는 트랜지스터를 포함하는 반도체 장치 또는 트랜지스터를 사용하여 형성된 회로를 포함하는 반도체 장치에 관한 것이다. 예를 들어, 본 발명의 일 실시형태는 채널 형성 영역이 산화물 반도체를 사용하여 형성된 트랜지스터를 포함하는 반도체 장치 또는 이러한 트랜지스터를 사용하여 형성된 회로를 포함하는 반도체 장치에 관한 것이다. 예를 들어, 본 발명은 LSI나, CPU나, 전원 회로에 탑재된 파워 디바이스나, 메모리, 사이리스터(thyristor), 컨버터, 이미지 센서 등을 포함하는 반도체 집적 회로나, 액정 표시 패널로 대표되는 전기-광학 장치 또는 발광 소자를 포함하는 발광 표시 장치를 부품으로서 포함하는 전자기기에 관한 것

이다.

발명의 효과

[0018] 산화물 반도체를 포함하는 트랜지스터를 포함하는 고 신뢰성의 반도체 장치가 제공된다.

도면의 간단한 설명

[0019] 도 1은 반도체 장치의 일 실시형태를 도시하는 평면도 및 단면도.

도 2는 반도체 장치를 제작하는 방법의 일 실시형태를 도시하는 단면도들.

도 3은 반도체 장치의 일 실시형태를 도시하는 단면도.

도 4는 반도체 장치의 일 실시형태를 각각 도시하는 평면도들.

도 5는 반도체 장치의 일 실시형태를 도시하는 평면도 및 단면도.

도 6은 반도체 장치의 일 실시형태를 각각 도시하는 단면도들.

도 7은 반도체 장치의 일 실시형태의 회로도 및 단면도.

도 8은 전자기기를 각각 도시하는 도면.

도 9는 전자기기를 도시하는 도면.

도 10은 산화물 반도체막들의 스핀 밀도 및 도전율을 도시하는 도면.

도 11은 실시예 트랜지스터의 전기적 특성들을 도시하는 도면.

도 12는 비교예 트랜지스터의 전기적 특성들을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 실시형태들은 첨부된 도면들을 참조하여 이하에 상세히 설명된다. 그러나, 본 명세서에 개시된 본 발명은 이하의 설명으로 제한되지 않고, 이들의 모드들 및 상세들이 다양하게 변경될 수 있음이 당업자에게 용이하게 이해될 것이다. 따라서, 본 명세서에 개시된 본 발명은 이하의 설명으로 제한되는 것으로 해석되지 않는다. 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편의를 위해 사용된 것이고 공정들의 순서 및 층들의 적층 순서를 표기하는 것이 아니라는 것을 주의한다. 게다가, 본 명세서에서 서수들이 본 발명을 특정하는 특별한 명칭들을 표기하는 것은 아니다.

[0021] [실시형태 1]

[0022] 본 실시형태에서, 반도체 장치 및 상기 반도체 장치를 제작하는 방법의 일 실시형태가 도 1의 (A) 및 (B)를 참조하여 설명된다. 본 실시형태에서, 산화물 반도체막을 포함하는 트랜지스터가 상기 반도체 장치의 예로서 설명된다.

[0023] 상기 트랜지스터는 하나의 채널 형성 영역이 형성된 싱글-게이트 구조, 2개의 채널 형성 영역들이 형성된 더블-게이트 구조, 또는 3개의 채널 형성 영역들이 형성된 트리플-게이트 구조를 가질 수 있다. 대안적으로, 상기 트랜지스터는 게이트 절연막을 개재하여, 채널 형성 영역 위 및 아래에 위치된 2개의 게이트 전극층들을 포함하는 듀얼-게이트 구조를 가질 수 있다.

[0024] 도 1의 (A) 및 (B)에 도시된 트랜지스터(440)는 보텀-게이트 트랜지스터의 일종이고 역스태거형 트랜지스터라고도 하는 트랜지스터의 예이다. 도 1의 (A)는 평면도이고, 도 1의 (B)는 도 1의 (A)의 쇄선 V-Z를 따라 취해진 단면도이다.

[0025] 상기 트랜지스터(440)의 채널 길이 방향의 단면도인, 도 1의 (B)에 도시된 바와 같이, 상기 트랜지스터(440)를 포함하는 반도체 장치는 기판(400) 위의 게이트 전극층(401) 및 상기 게이트 전극층(401) 위의 게이트 절연막(402), 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 상기 트랜지스터(440)를 덮는 절연막(407)이 제공된다.

[0026] 본 명세서에 개시된 상기 트랜지스터(440)는 1×10^{18} spins/㎤ 이하, 바람직하게 1×10^{17} spins/㎤ 이하, 더

바람직하게 1 × 10^{16} spins/㎤ 이하의 스핀 밀도를 갖는 상기 산화물 반도체막(403)을 포함한다. 상기 산화물 반도체막(403)의 도전율은 1 × 10^{3} S/cm 이하이고, 바람직하게 1 × 10^{2} S/cm 이하이고, 더 바람직하게, 1 × 10^{1} S/cm 이하이다.

[0027] 본 실시형태에서 상기 산화물 반도체막(403)은 저 스핀 밀도, 적은 결함 및 낮은 도전율을 갖는다. 상기 산화물 반도체막(403)으로, 양호한 전기적 특성들을 갖는 노멀리-오프(normally-off) 트랜지스터(440)가 제공될 수 있다.

[0028] 상기 산화물 반도체막(403)으로 사용된 산화물 반도체는 적어도 인듐(In)을 함유한다. 특히, In 및 아연(Zn)이 함유되는 것이 바람직하다. 상기 산화물 반도체막을 포함하는 트랜지스터의 전기적 특성들의 변동을 저감하기 위한 스태빌라이저로서 부가적으로 갈륨(Ga)이 함유되는 것이 바람직하다. 스태빌라이저로서 주석(Sn)이 함유되는 것이 바람직하다. 스태빌라이저로서 하프늄(Hf)이 함유되는 것이 바람직하다. 스태빌라이저로서 알루미늄(Al)이 함유되는 것이 바람직하다. 스태빌라이저로서 지르코늄(Zr)이 함유되는 것이 바람직하다.

[0029] 다른 스태빌라이저로서, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 또는 루테튬(Lu)과 같은 일종 또는 복수종의 란타노이드가 함유될 수 있다.

[0030] 상기 산화물 반도체로서, 예를 들어, 산화 인듐; 산화 주석; 산화 아연; In-Zn-계 산화물, In-Mg-계 산화물, 또는 In-Ga-계 산화물과 같은 2원계 금속 산화물; In-Ga-Zn-계 산화물(IGZO라고도 함), In-Al-Zn-계 산화물, In-Sn-Zn-계 산화물, In-Hf-Zn-계 산화물, In-La-Zn-계 산화물, In-Ce-Zn-계 산화물, In-Pr-Zn-계 산화물, In-Nd-Zn-계 산화물, In-Sm-Zn-계 산화물, In-Eu-Zn-계 산화물, In-Gd-Zn-계 산화물, In-Tb-Zn-계 산화물, In-Dy-Zn-계 산화물, In-Ho-Zn-계 산화물, In-Er-Zn-계 산화물, In-Tm-Zn-계 산화물, In-Yb-Zn-계 산화물, 또는 In-Lu-Zn-계 산화물과 같은 3원계 금속 산화물; In-Sn-Ga-Zn-계 산화물, In-Hf-Ga-Zn-계 산화물, In-Al-Ga-Zn-계 산화물, In-Sn-Al-Zn-계 산화물, In-Sn-Hf-Zn-계 산화물, 또는 In-Hf-Al-Zn-계 산화물과 같은 4원계 금속 산화물 중 어느 것도 사용될 수 있다.

[0031] 예를 들어, "In-Ga-Zn-계 산화물"은 주성분으로서 In, Ga, 및 Zn을 함유하는 산화물을 의미하지만 In:Ga:Zn의 비에 특별한 제한은 없다는 것을 주의한다. 상기 In-Ga-Zn-계 산화물은 In, Ga, 및 Zn 이외의 금속 원소를 함유할 수 있다.

[0032] 대안적으로, 화학식 $InMO_3(ZnO)_m$(m > 0을 만족하고, m은 정수가 아님)으로 나타낸 재료가 산화물 반도체로 사용될 수 있다. M은 Ga, Fe, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다는 것을 주의한다. 대안적으로, 상기 산화물 반도체로서, 화학식 $In_2SnO_5(ZnO)_n$(n > 0, n은 정수)으로 나타낸 재료가 사용될 수 있다.

[0033] 예를 들어, In:Ga:Zn의 원자수비가 1:1:1(=1/3:1/3:1/3), 2:2:1(=2/5:2/5:1/5), 또는 3:1:2(=1/2:1/6:1/3)인 In-Ga-Zn-계 산화물, 또는 상기 조성 근방의 조성을 갖는 산화물들 중 어느 것이 사용될 수 있다. 대안적으로, In:Sn:Zn의 원자수비가 1:1:1(=1/3:1/3:1/3), 2:1:3(=1/3:1/6:1/2), 또는 2:1:5(=1/4:1/8:5/8)인 In-Sn-Zn-계 산화물, 또는 상기 조성 근방의 조성을 갖는 산화물들 중 어느 것이 사용될 수 있다.

[0034] 그러나, 인듐을 함유하는 상기 산화물 반도체의 조성은 상기에 설명된 것으로 제한되지 않고, 필요한 반도체 특성들(이동도, 문턱값, 변동과 같은)에 따라 적절한 조성을 갖는 재료가 사용될 수 있다. 필요한 반도체 특성들을 획득하기 위해, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등이 적절히 설정되는 것이 바람직하다.

[0035] 예를 들어, In-Sn-Zn 산화물을 사용하는 경우 고 이동도가 비교적 용이하게 획득될 수 있다. 그러나, 이동도는 또한 In-Ga-Zn-계 산화물을 사용하는 경우에도 벌크 내의 결함 밀도를 저감시킴으로써 향상될 수 있다.

[0036] 예를 들어, "In:Ga:Zn = a:b:c(a+b+c = 1)의 원자수비로 In, Ga, 및 Zn을 포함하는 산화물의 조성은, In:Ga:Zn = A:B:C(A+B+C = 1)의 원자수비로 In, Ga, 및 Zn을 포함하는 산화물의 조성 근방이다"라는 표현은 a, b, 및 c가 다음의 관계: $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$을 만족하고, r은, 예를 들어 0.05일 수 있다는 것을 의미한다는 것을 주의한다. 동일하게 다른 산화물들에 적용된다.

[0037] 상기 산화물 반도체막(403)은 단결정 상태, 다결정(폴리크리스탈이라고도 함) 상태, 비정질 상태 등이라는 것을 주의한다.

[0038] 상기 산화물 반도체막은 c-축 배향된 결정성 산화물 반도체(CAAC-OS)막인 것이 바람직하다.

[0039] 상기 CAAC-OS막은 c-축을 따르는 단결정인 박막이다. 상기 막은 상기 a-b 면에 모자이크 패턴을 갖고, 결정립계는 불분명하다. 상기 CAAC-OS막은 완전히 단결정도 아니고 완전히 비정질도 아니다. 상기 CAAC-OS막은 결정부가 비정질 상에 포함된 결정-비정질 혼상 구조를 갖는 산화물 반도체막이다. 대부분의 경우, 상기 결정부는 한 변이 100㎚ 미만인 입방체 내에 피트(fit)된다는 것을 주의한다. 투과형 전자 현미경(TEM)으로 획득된 관찰 이미지로부터 상기 CAAC-OS막의 비정질부와 결정부 간의 경계는 분명하지 않다. 또한, 상기 TEM으로, 상기 CAAC-OS막의 입계는 확인되지 않는다. 따라서, 상기 CAAC-OS막에서, 입계로 인한 전자 이동도의 감소는 억제된다.

[0040] 상기 CAAC-OS막에 포함된 각각의 결정부들에서, c-축은 상기 CAAC-OS막이 형성된 표면의 법선 벡터 또는 상기 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 배향되고, 상기 a-b 면에 수직인 방향에서 보아 삼각형 또는 육각형 원자 배열이 형성되고, 상기 c-축에 수직인 방향에서 볼 때 금속 원자들이 적층 방식으로 배열되거나 금속 원자들 및 산소 원자들이 적층 방식으로 배열된다. 결정부들 중에서, 하나의 결정 영역의 a-축 및 b-축의 방향들은 다른 결정 영역과 다를 수 있다는 것을 주의한다. 본 명세서에서, 단순 용어 "수직"은 85° 내지 95°의 범위를 포함한다. 게다가, 단순 용어 "평행"은 -5° 내지 5°의 범위를 포함한다.

[0041] 상기 CAAC-OS막에서, 결정부들의 분포가 균일할 필요는 없다. 예를 들어, 상기 CAAC-OS막의 형성 과정에서, 상기 산화물 반도체막의 표면 측으로부터 결정화가 유발되는 경우, 상기 산화물 반도체막의 표면 주변의 결정부들의 비율은 일부 경우들에서 상기 산화물 반도체막이 형성된 표면 주변보다 높다. 또한, 상기 CAAC-OS막에 불순물들이 첨가될 때, 일부 경우들에서 상기 불순물들이 첨가된 영역의 상기 결정부는 비정질화된다.

[0042] 상기 CAAC-OS막에 포함된 상기 결정부들의 상기 c-축들이 상기 CAAC-OS막이 형성된 표면의 법선 벡터 또는 상기 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 배향되기 때문에, 상기 c-축들의 방향들은 상기 CAAC-OS막의 형상(상기 CAAC-OS막이 형성된 표면의 단면 형상 또는 상기 CAAC-OS막의 표면의 단면 형상)에 따라 서로 다를 수 있다. 상기 CAAC-OS막이 형성될 때, 상기 결정부의 c-축의 방향은 상기 CAAC-OS막이 형성된 표면의 법선 벡터 또는 상기 CAAC-OS막의 표면의 법선 벡터에 평행한 방향이라는 것을 주의한다. 상기 결정부는 성막에 의해 또는 성막 후 가열 처리와 같은 결정화 처리를 수행함으로써 형성된다.

[0043] 트랜지스터에 상기 CAAC-OS막을 사용하여, 가시광 또는 자외광의 조사로 인한 상기 트랜지스터의 전기적 특성들의 변동이 작다. 따라서, 상기 트랜지스터는 고 신뢰성을 갖는다.

[0044] 상기 산화물 반도체막에 포함된 산소의 일부는 질소로 치환될 수 있다는 것을 주의한다.

[0045] 상기 CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서, 벌크 내의 결함이 더 감소될 수 있고, 상기 산화물 반도체의 표면 평탄도가 향상될 때, 비정질 상태의 산화물 반도체보다 높은 이동도가 획득될 수 있다. 표면 평탄도를 향상시키기 위해, 상기 산화물 반도체는 편평한 표면 위에 형성되는 것이 바람직하다. 구체적으로, 상기 산화물 반도체는 1㎚ 이하, 더 바람직하게 0.3㎚ 이하, 더욱 더 바람직하게 0.1㎚ 이하의 평균 표면 거칠기(Ra)를 갖는 표면 위에 형성되는 것이 바람직하다.

[0046] 평균 표면 거칠기(Ra)는 JIS B0601:2001(ISO4287:1997)에 의해 규정된 산술 평균 표면 거칠기를 곡면에도 적용 가능하도록 3차원으로 확장함으로써 획득된다는 것을 주의한다. 더욱이, 평균 표면 거칠기(Ra)는 "기준 표면으로부터 지정 표면으로의 편차의 절대 값의 평균 값"으로 표현될 수 있고 이하의 식으로 규정된다.

[0047] $$Ra = \frac{1}{S_0}\int_{y_1}^{y_2}\int_{x_1}^{x_2}|f(x,y)-Z_0|dxdy$$

[0048] 여기서, 상기 지정 표면은 거칠기 측정 타깃인 표면이고, 좌표들($(x_1, y_1, f(x_1, y_1))$, $(x_1, y_2, f(x_1, y_2))$, $(x_2, y_1, f(x_2, y_1))$, $(x_2, y_2, f(x_2, y_2))$)로 나타낸 4개의 점들로 명시된 사각형 영역이다. 상기 지정 표면을 상기 xy 면에 투영함으로써 획득된 사각형의 영역은 S_0으로 나타내고, 상기 기준 표면의 높이(상기 지정 표면의 평균 높이)는 Z_0으로 나타낸다. 상기 평균 표면 거칠기(Ra)는 원자간력 현미경(AFM)을 사용하여 측정될 수 있다.

[0049] 상기 트랜지스터(440)가 보텀-게이트 트랜지스터이기 때문에, 상기 기판(400), 상기 게이트 전극층(401), 및 상기 게이트 절연막(402)은 상기 산화물 반도체막 아래에 위치된다는 것을 주의한다. 따라서, 상기 편평한 표면을 획득하기 위해 상기 게이트 전극층(401) 및 상기 게이트 절연막(402)이 형성된 후에 CMP 처리와 같은 평탄화 처리가 수행될 수 있다.

[0050] 상기 산화물 반도체막(403)은 1㎚ 이상 30㎚ 이하(바람직하게 5㎚ 이상 10㎚ 이하)의 두께를 갖고 스퍼터링법,

MBE(molecular beam epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(atomic layer deposition)법 등에 의해 적절히 형성될 수 있다. 대안적으로, 상기 산화물 반도체막(403)은 스퍼터링 타깃 표면에 실질적으로 수직으로 설정된 복수의 기판들의 표면들로 성막이 수행되는 스퍼터링 장치로 형성될 수 있다.

[0051] 예를 들어, 상기 CAAC-OS막은 다결정 산화물 반도체 스퍼터링 타깃으로 스퍼터링법에 의해 형성된다. 상기 스퍼터링 타깃과 이온이 충돌할 때, 상기 스퍼터링 타깃에 포함된 결정 영역은 a-b 면을 따라 갈라질 수 있고, a-b 면에 평행한 면을 갖는 스퍼터링 입자(플랫-평판형 스퍼터링 입자 또는 펠릿형 스퍼터링 입자)가 상기 스퍼터링 타깃으로부터 분리될 수 있다. 그 경우, 상기 플랫-평판형 스퍼터링 입자는 결정 상태를 유지하면서 기판에 도달하여, 상기 CAAC-OS막이 형성될 수 있다.

[0052] 상기 CAAC-OS막의 성막은, 다음의 조건들이 채용되는 것이 바람직하다.

[0053] 성막 동안 상기 CAAC-OS막으로 혼입하는 불순물들의 수를 저감함으로써, 상기 결정 상태가 상기 불순물들에 의해 파괴되는 것이 방지될 수 있다. 예를 들어, 성막실 내에 존재하는 상기 불순물들(예를 들어, 수소, 물, 이산화탄소, 및 질소)의 농도가 저감될 수 있다. 게다가, 성막 가스 내의 불순물들의 농도가 감소될 수 있다. 구체적으로, 이슬점이 -80℃ 이하, 바람직하게 -100℃ 이하인 성막 가스가 사용된다.

[0054] 성막 동안 상기 기판 가열 온도를 상승시킴으로써, 스퍼터링 입자가 기판 표면에 도달한 후 상기 스퍼터링 입자의 마이그레이션이 발생할 수 있다. 구체적으로, 성막 동안 상기 기판 가열 온도는 100℃ 이상 740℃ 이하, 바람직하게 200℃ 이상 500℃ 이하이다. 성막 동안 상기 기판 가열 온도를 상승시킴으로써, 상기 플랫-평판형 스퍼터링 입자가 상기 기판에 도달할 때, 상기 기판 표면 상에 마이그레이션이 발생하여, 상기 플랫-평판형 스퍼터링 입자의 편평한 면이 상기 기판에 부착된다.

[0055] 또한, 성막시 플라즈마 대미지를 저감시키기 위해 상기 성막 가스 내의 산소 비율이 증가되고 전력이 최적화되는 것이 바람직하다. 상기 성막 가스 내의 산소 비율은 30vol.% 이상, 바람직하게 100vol.%이다.

[0056] 상기 스퍼터링 타깃의 예로서, In-Ga-Zn-O 화합물 타깃이 이하에 설명된다.

[0057] 다결정인 상기 In-Ga-Zn-O 화합물 타깃은 InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 미리 결정된 몰수비로 혼합하고, 가압, 및 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 수행함으로써 형성된다. x, y, 및 z는 각각 소정의 양수라는 것을 주의한다. 여기서, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말의 미리 결정된 몰수비는 예를 들어, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 상기 분말의 종류 및 분말을 혼합하기 위한 몰수비는 상기 원하는 스퍼터링 타깃에 따라 적절히 결정될 수 있다.

[0058] 상기 산화물 반도체막(403)은 구리, 알루미늄, 및 염소와 같이 고순도화되고 불순물들을 거의 함유하지 않는 것이 바람직하다. 상기 트랜지스터를 제작하는 과정에서, 이들 불순물들이 상기 산화물 반도체막에 혼합 또는 상기 산화물 반도체막의 상기 표면에 부착되지 않는 단계들이 적절히 선택되는 것이 바람직하다. 상기 불순물들이 상기 산화물 반도체막의 상기 표면에 부착되는 경우, 상기 산화물 반도체막의 상기 표면 상의 상기 불순물들은 옥살산 또는 희불산에 노출함으로써 또는 플라즈마 처리(N_2O 플라즈마 처리와 같은)에 의해 제거되는 것이 바람직하다. 구체적으로, 상기 산화물 반도체막의 구리 농도는 1×10^{18} atoms/㎤ 이하, 바람직하게 1×10^{17} atoms/㎤ 이하이다. 상기 산화물 반도체막의 알루미늄 농도는 1×10^{18} atoms/㎤ 이하이다. 상기 산화물 반도체막의 염소 농도는 2×10^{18} atoms/㎤ 이하이다.

[0059] 도 2의 (A) 내지 (C)는 상기 트랜지스터(440)를 포함하는 반도체 장치의 제작 방법의 예를 도시한다.

[0060] 절연 표면을 갖는 상기 기판(400)으로 사용될 수 있는 기판은 나중에 수행될 가열 처리를 견디기에 충분한 내열성을 갖는 한 특별한 제한은 없다. 바륨 보로실리케이트 유리 기판 및 알루미노보로실리케이트 유리 기판과 같은 다양한 전자 산업용 유리 기판들이 상기 기판(400)으로서 사용될 수 있다. 상기 기판으로서, 25×10^{-7}/℃ 이상 50×10^{-7}/℃ 이하(바람직하게 30×10^{-7}/℃ 이상 40×10^{-7}/℃ 이하)의 열 팽창 계수 및 650℃ 이상 750℃ 이하(바람직하게 700℃ 이상 740℃ 이하)의 변형점을 갖는 기판이 사용되는 것이 바람직하다는 것을 주의한다.

[0061] 5세대(1000㎜ × 1200㎜ 또는 1300㎜ × 1500㎜), 6세대(1500㎜ × 1800㎜), 7세대(1870㎜ × 2200㎜), 8세대(2200㎜ × 2500㎜), 9세대(2400㎜ × 2800㎜), 10세대(2880㎜ × 3130㎜) 등의 크기를 갖는 대형 기판이 사용되는 경우, 상기 반도체 장치의 제작 과정에서 가열 처리 등으로 인한 상기 기판의 수축으로 인해 미세한 처리

가 어려워질 수 있다. 따라서, 이러한 대형 유리 기판이 상기 기판으로 사용될 때, 수축이 적은 것이 사용되는 것이 바람직하다. 예를 들어, 450℃, 바람직하게 500℃에서 1시간의 가열 처리 후에 20ppm 이하, 바람직하게 10ppm 이하, 더 바람직하게 5ppm 이하의 수축을 갖는 대형 유리 기판이 상기 기판으로서 사용될 수 있다.

[0062] 예를 들어, 세라믹 기판, 석영 기판, 사파이어 기판 등이 상기 기판(400)으로 사용될 수 있다. 대안적으로, 실리콘 또는 탄화 실리콘으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등이 사용될 수 있다. 대안적으로, 이들 기판 위에 반도체 소자가 제공된 어떠한 것도 사용될 수 있다.

[0063] 상기 반도체 장치는 상기 기판(400)으로서 가요성 기판을 사용하여 제작될 수 있다. 가요성 반도체 장치를 제작하기 위해, 상기 산화물 반도체막(403)을 포함하는 상기 트랜지스터(440)가 가요성 기판 위에 직접 형성될 수 있거나 대안적으로, 상기 산화물 반도체막(403)을 포함하는 상기 트랜지스터(440)는 형성 기판 위에 형성된 후, 상기 형성 기판으로부터 분리되고 가요성 기판으로 전치될 수 있다. 상기 형성 기판으로부터 상기 트랜지스터를 분리하고 이를 상기 가요성 기판으로 전치하기 위해, 상기 형성 기판과 상기 산화물 반도체막을 포함하는 트랜지스터(440) 사이에 분리층이 제공될 수 있다는 것을 주의한다.

[0064] 하지막으로서, 상기 기판(400) 위에 절연막이 제공될 수 있다. 상기 절연막은 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화 하프늄, 또는 산화 갈륨과 같은 산화물 절연 재료; 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 또는 질화산화 알루미늄과 같은 질화물 절연 재료; 또는 이들 재료들 중 어느 것의 혼합 재료를 사용하여 플라즈마 CVD법, 스퍼터링법 등으로 형성될 수 있다.

[0065] 상기 기판(400)(또는 상기 기판(400) 및 상기 하지막)은 가열 처리될 수 있다. 예를 들어, 상기 가열 처리는 650℃에서 1분 내지 5분 동안 고온 가스를 사용하여 가열 처리를 수행하는 GRTA(gas rapid thermal annealing) 장치로 수행될 수 있다. 상기 GRTA 장치에서 상기 고온 가스로서, 질소, 또는 아르곤과 같은 희가스와 같이 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다. 대안적으로, 상기 가열 처리는 500℃에서 30분 내지 1시간 동안 전기노로 수행될 수 있다.

[0066] 다음, 도전막이 상기 기판(400) 위에 형성되고 상기 게이트 전극층(401)으로 에칭된다. 상기 도전막은 드라이 에칭 또는 웨트 에칭을 사용하여, 또는 드라이 에칭 및 웨트 에칭을 모두 사용하여 에칭될 수 있다는 것을 주의한다.

[0067] 상기 게이트 전극층(401)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 또는 스칸듐과 같은 금속 재료 또는 이들 재료들 중 어느 것을 주성분으로서 함유하는 합금 재료를 사용하여 형성될 수 있다. 대안적으로, 인과 같은 불순물 원소로 도핑된 다결정 실리콘막으로 대표되는 반도체막 또는 니켈 실리사이드막과 같은 실리사이드막이 상기 게이트 전극층(401)으로 사용될 수 있다. 상기 게이트 전극층(401)은 단층 구조 또는 적층 구조를 가질 수 있다.

[0068] 상기 게이트 전극층(401)은 또한 산화 인듐-산화 주석, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 산화 인듐-산화 아연, 또는 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 도전성 재료를 사용하여 형성될 수 있다. 상기 게이트 전극층(401)은 또한 상기 도전성 재료 및 상기 금속 재료의 적층 구조를 가질 수 있다.

[0069] 상기 게이트 전극층(401)으로서, 질소를 함유하는 금속 산화물막, 구체적으로, 질소를 함유하는 In-Ga-Zn-O막, 질소를 함유하는 In-Sn-O막, 질소를 함유하는 In-Ga-O막, 질소를 함유하는 In-Zn-O막, 질소를 함유하는 Sn-O막, 질소를 함유하는 In-O막, 또는 금속 질화물(예를 들어, InN 또는 SnN)막이 사용될 수 있다. 이러한 막은 5eV(electron volts) 이상, 바람직하게 5.5eV(electron volts) 이상의 일함수를 갖고, 상기 게이트 전극층으로서 이러한 막의 사용은 트랜지스터의 전기적 특성들의 문턱 전압이 양(positive)이 되도록 한다. 따라서, 노멀리-오프 스위칭 소자가 획득될 수 있다.

[0070] 본 실시형태에서, 100㎚의 두께를 갖는 텅스텐막이 스퍼터링법에 의해 형성된다.

[0071] 상기 기판(400) 및 상기 게이트 전극층(401)은 상기 게이트 전극층(401)이 형성된 후 가열 처리될 수 있다. 예를 들어, 상기 가열 처리는 650℃에서 1분 내지 5분 동안 GRTA 장치로 수행될 수 있다. 대안적으로, 상기 가열 처리는 500℃에서 30분 내지 1시간 동안 전기노로 수행될 수 있다.

[0072] 다음, 상기 게이트 절연막(402)이 상기 게이트 전극층(401) 위에 형성된다(도 2의 (A) 참조).

[0073] 상기 게이트 절연막(402)의 피복성을 향상시키기 위해, 평탄화 처리가 상기 게이트 전극층(401)의 표면에 수행

될 수 있다. 상기 게이트 전극층(401)의 표면의 평탄도는 상기 게이트 절연막(402)의 두께가 작을 때 특히 양호한 것이 바람직하다.

[0074] 상기 게이트 절연막(402)의 두께는 1㎚ 이상 300㎚ 이하이고 상기 게이트 절연막(402)은 성막 가스를 사용하여 스퍼터링법 또는 CVD법으로 형성될 수 있다. 상기 CVD법으로서, 저압 CVD(LPCVD)법, 플라즈마 CVD법 등이 사용될 수 있다. 대안적으로, 예를 들어, 코팅법이 사용될 수 있다.

[0075] 상기 게이트 절연막(402)은 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화질화 실리콘막, 산화질화 알루미늄막, 또는 질화산화 실리콘막을 사용하여 형성될 수 있다.

[0076] 상기 게이트 절연막(402)은 산화 하프늄막, 산화 이트륨막, 하프늄 실리케이트막($HfSi_xO_y$(x > 0, y > 0)), 질소가 첨가된 하프늄 실리케이트막($HfSiO_xN_y$(x > 0, y > 0)), 하프늄 알루미네이트막($HfAl_xO_y$(x > 0, y > 0)), 또는 산화 란탄막과 같은 high-k 재료를 사용하여 형성될 수 있어서, 게이트 누설 전류가 저감될 수 있다. 또한, 상기 게이트 절연막(402)은 단층 구조 또는 적층 구조를 가질 수 있다.

[0077] 본 실시형태에서, 100㎚의 두께를 갖는 산화질화 실리콘막이 플라즈마 CVD법에 의해 상기 게이트 절연막(402)으로서 형성된다.

[0078] 상기 게이트 절연막(402)은 가열 처리에 의해 탈수화 또는 탈수소화 처리될 수 있다. 수소를 함유하는 가스가 상기 게이트 절연막(402)의 성막 가스로 사용되더라도, 상기 게이트 절연막(402) 중의 수소는 상기 게이트 절연막(402)에 수행된 탈수소화 처리에 의해 제거될 수 있다. 따라서, 플라즈마 CVD법이 바람직하게 채용될 수 있다. 플라즈마 CVD법에 의해, 성막 시 먼지 등이 상기 막에 덜 부착 또는 덜 혼합되는 비교적 높은 성막 레이트로 성막될 수 있고, 따라서, 상기 막 두께가 증가될 수 있고, 생산성이 유리하게 된다.

[0079] 상기 가열 처리 온도는 300℃ 이상 700℃ 이하, 또는 상기 기판의 변형점 미만이다. 상기 가열 처리 온도는 상기 막이 더 효과적으로 탈수화 또는 탈수소화되기 때문에 상기 게이트 절연막(402)의 성막 온도보다 높은 것이 바람직하다. 예를 들어, 상기 기판은 가열 처리 장치의 일종인 전기노에 놓여지고, 상기 게이트 절연막(402)은 450℃에서 1시간 동안 진공 하에서 가열 처리된다.

[0080] 상기 가열 처리 장치는 상기 전기노로 제한되지 않고, 저항 발열체와 같은 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하기 위한 장치가 사용될 수 있다는 것을 주의한다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 제논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 수행하기 위한 장치이다. 상기 고온 가스로서, 질소, 또는 아르곤과 같은 희가스와 같이 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0081] 예를 들어, 상기 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 상기 기판이 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 놓여지고, 수 분 동안 가열되고, 상기 불활성 가스로부터 꺼내진다.

[0082] 상기 가열 처리는 감압 하(진공 하), 질소 분위기 하, 또는 희가스 분위기 하에서 수행될 수 있다. 상기 질소, 희가스 등의 분위기에 물, 수소 등이 함유되지 않는 것이 바람직하다. 상기 가열 처리 장치에 도입되는 상기 질소 또는 상기 희가스의 순도는 바람직하게 6N(99.9999%) 이상, 더 바람직하게 7N(99.99999%) 이상(즉, 상기 불순물 농도는 바람직하게 1ppm 이하, 더 바람직하게 0.1ppm 이하)이다.

[0083] 상기 가열 처리에 의해, 상기 게이트 절연막(402)이 탈수화 또는 탈수소화될 수 있어서 트랜지스터의 특성들의 변화를 유발하는 수소 및 물과 같은 불순물들이 제거된 상기 게이트 절연막(402)이 형성될 수 있다.

[0084] 탈수화 또는 탈수소화 처리가 수행되는 상기 가열 처리에서, 상기 게이트 절연막(402)의 표면은 수소, 물 등이 방출되는 것이 방지된 상태(예를 들어, 수소, 물 등을 침투시키지 않는(또는 차단하는) 막 등을 제공함으로써)가 아니라, 상기 게이트 절연막(402)의 상기 표면이 노출된 상태에 있는 것이 바람직하다.

[0085] 탈수화 또는 탈수소화를 위한 상기 가열 처리는 복수 회 수행될 수 있고, 다른 가열 처리를 겸할 수 있다.

[0086] 산소 도핑 처리가 탈수화 또는 탈수소화된 상기 게이트 절연막(402) 상에 수행될 수 있다. 상기 게이트 절연막(402) 상의 상기 산소 도핑 처리에 의해, 상기 게이트 절연막(402)에 산소가 공급되어, 상기 게이트 절연막(402) 및 계면 주위에 산소가 함유된다.

[0087] 상기 게이트 절연막(402)은 상기 막(벌크)에 적어도 화학량론비를 초과하는 산소를 함유하는 것이 바람직하다.

[0088] 본 명세서에서 "산소 도핑"은 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및 산소 클러스터 이온 중 적어도 하나를 포함)가 벌크에 첨가된 것을 의미한다는 것을 주의한다. 상기 용어 "벌크"는 산소가 박막의 표면뿐만 아니라 상기 박막의 내부에도 첨가된 것을 명확히 하기 위해 사용된다는 것을 주의한다. 게다가, "산소 도핑"은 플라즈마화된 산소가 벌크에 첨가되는 "산소 플라즈마 도핑"을 포함한다.

[0089] 본 명세서에서, 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)는 이온 주입법, 이온 도핑법, 플라즈마 침투 이온 주입법(plasma immersion ion implantation method), 플라즈마 처리 등에 의해 도핑된다. 또한, 가스 클러스터 이온 빔이 상기 이온 주입법을 위해 사용될 수 있다. 상기 산소 도핑 처리는 전체 표면에 한번에 수행될 수 있거나 선형 이온 빔 등에 의해 상기 기판을 스캐닝함으로써 수행될 수 있다.

[0090] 예를 들어, 상기 도핑을 위한 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)는 산소를 함유하는 가스를 사용하여 플라즈마 발생 장치로부터 또는 오존 발생 장치로부터 공급될 수 있다. 구체적으로, 예를 들어, 산소는 상기 게이트 절연막(402)을 처리하기 위해, 반도체 장치에 에칭 처리하기 위한 장치, 레지스트 마스크를 애싱(ashing)하기 위한 장치로 발생될 수 있다.

[0091] 산소를 함유하는 가스는 상기 산소 도핑 처리를 위해 사용될 수 있다. 상기 산소를 함유하는 가스로서, 일산화이질소, 이산화질소, 이산화탄소, 일산화탄소 등이 사용될 수 있다. 대안적으로, 희가스가 상기 산소 도핑 처리를 위해 사용될 수 있다.

[0092] 예를 들어, 산소 도핑을 위해 산소 이온이 이온 주입법에 의해 주입되는 경우, 도즈량(dose)은 1×10^{13} ions/㎠ 이상 5×10^{16} ions/㎠ 이하일 수 있다.

[0093] 또한, 상기 게이트 절연막(402)의 상기 표면의 평탄도가 상기 산소 도핑 처리에 의해 향상될 수 있다.

[0094] 다음, 상기 산화물 반도체막(403)은 상기 게이트 절연막(402) 위에 형성된다.

[0095] 상기 게이트 절연막(402)의 상기 산화물 반도체막(403)과 접하는 영역에 평탄화 처리가 수행될 수 있다. 상기 평탄화 처리로서, 연마 처리(예를 들어, 화학적 기계 연마(CMP)법), 드라이 에칭 처리, 또는 플라즈마 처리가 사용될 수 있지만, 상기 평탄화 처리에 특별한 제한은 없다. 상기 설명된 산소 도핑 처리는 또한 상기 게이트 절연막(402)의 상기 평탄화 처리로서 기능할 수 있다는 것을 주의한다.

[0096] 플라즈마 처리로서, 아르곤 가스가 도입되고 플라즈마가 발생되는 역스퍼터링이 수행될 수 있다. 상기 역스퍼터링은 아르곤 분위기 하에서, RF 전원을 사용하여 기판 측에 전압이 인가되고 상기 기판 주변에 플라즈마가 발생되어 기판 표면이 개질되는 방법이다. 아르곤 분위기 대신, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다는 것을 주의한다. 상기 역스퍼터링은 상기 게이트 절연막(402)의 상기 표면에 부착된 분상 물질(파티클 또는 먼지라고도 함)을 제거할 수 있다.

[0097] 상기 평탄화 처리로서, 연마 처리, 드라이 에칭 처리, 또는 플라즈마 처리가 복수 회 수행될 수 있고, 또는 이들 처리들이 조합하여 수행될 수 있다. 상기 처리들이 조합되는 경우, 단계들의 순서는 특별히 제한되지 않고 상기 게이트 절연막(402)의 상기 표면의 거칠기에 따라 적절히 설정될 수 있다.

[0098] 상기 산화물 반도체막(403)은 성막 동안 많은 산소가 함유된 조건(예를 들어, 100% 산소 분위기 하에서 스퍼터링법에 의해 성막) 하에서 형성되어, 많은 산소를 포함하는 막(바람직하게 결정 상태에서 상기 산화물 반도체의 상기 화학량론적 조성을 초과하는 산소를 함유하는 영역을 포함하는)이 형성되는 것이 바람직하다는 것을 주의한다.

[0099] 본 실시형태에서, 상기 산화물 반도체막(403)으로서, AC 전원 장치를 포함하는 스퍼터링 장치로 스퍼터링법에 의해 두께 35㎚의 In-Ga-Zn-계 산화물막(IGZO막)이 형성된다는 것을 주의한다. 본 실시형태에서, In:Ga:Zn의 원자수비가 1:1:1(=1/3:1/3:1/3)인 In-Ga-Zn-계 산화물 타깃이 사용된다. 성막 조건들은 다음과 같은 것을 주의한다: 분위기, 산소 가스 및 아르곤 가스(산소유량비: 50%); 압력, 0.6Pa; 전원, 5kW; 및 기판 온도, 170℃. 여기서 상기 성막 레이트는 16㎚/min이다.

[0100] 상기 산화물 반도체막(403)이 성막될 때 수소, 물, 수산기, 및 수소화물과 같은 불순물들이 제거된 고순도 가스가 스퍼터링 가스로서 사용되는 것이 바람직하다.

[0101] 상기 기판은 감압 하로 유지된 성막실에 유지된다. 그 후, 상기 성막실의 잔여 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 상기 산화물 반도체막(403)은 상기 타깃을 사용하여 상기 기판(400) 위에 성막된다. 상기 성막실의 잔여 수분을 제거하기 위해, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프와 같은 흡착형 진공 펌프가 사용되는 것이 바람직하다. 배기 수단으로서, 콜드 트랩이 부가된 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프로 배기된 상기 성막실에서, 예를 들어, 수소(수소 원자), 물(H_2O)과 같은 수소(수소 원자)를 함유하는 화합물(더 바람직하게, 또한 탄소 원자를 함유하는 화합물) 등이 배기되어, 상기 성막실에서 성막된 상기 산화물 반도체막(403)에 함유된 불순물들의 농도가 저감될 수 있다.

[0102] 상기 게이트 절연막(402)이 대기에 노출되지 않도록 상기 게이트 절연막(402) 및 상기 산화물 반도체막(403)을 연속적으로 형성하는 것이 바람직하다. 상기 게이트 절연막(402)이 대기에 노출되지 않도록 상기 게이트 절연막(402) 및 상기 산화물 반도체막(403)을 연속적으로 형성하는 것은 수소 및 수분과 같은 불순물들이 상기 게이트 절연막(402)의 상기 표면에 흡착되는 것을 방지할 수 있다.

[0103] 또한, 과잉 수소(물 및 수산기를 포함)를 제거하기 위해(탈수화 또는 탈수소화 처리를 수행하기 위해) 상기 산화물 반도체막(403)에 가열 처리가 수행될 수 있다.

[0104] 본 실시형태에서, 상기 기판이 가열 처리 장치들 중 하나인 전기노에 도입되고, 상기 산화물 반도체막(403)은 질소 분위기 하, 450℃에서 1시간 동안 가열 처리되고 또한 질소 및 산소 분위기 하, 450℃에서 1시간 동안 가열 처리된다.

[0105] 상기 가열 처리 장치는 상기 전기노로 제한되지 않고, 저항 발열체와 같은 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하기 위한 장치가 사용될 수 있다는 것을 주의한다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 제논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 수행하기 위한 장치이다. 상기 고온 가스로서, 질소, 또는 아르곤과 같은 희가스와 같이 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0106] 예를 들어, 상기 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 상기 기판이 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 놓여지고, 수 분 동안 가열되고, 상기 불활성 가스로부터 꺼내진다.

[0107] 상기 가열 처리에서, 질소, 또는 헬륨, 네온, 또는 아르곤과 같은 희가스에 물, 수소 등이 함유되지 않는 것이 바람직하다는 것을 주의한다. 상기 가열 처리 장치에 도입되는 질소, 또는 상기 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 바람직하게 6N(99.9999%) 이상, 더 바람직하게 7N(99.99999%) 이상(즉, 상기 불순물 농도는 바람직하게 1ppm 이하, 더 바람직하게 0.1ppm 이하)으로 설정된다.

[0108] 게다가, 상기 산화물 반도체막(403)이 상기 가열 처리에 의해 가열된 후, 고순도 산소 가스, 고순도 일산화이질소 가스, 또는 초건조 에어(CRDS(cavity ring down laser spectroscopy) 방식의 노점계에 의한 측정에 따라 수분량이 20ppm(노점으로 환산하면 -55℃) 이하, 바람직하게 1ppm 이하, 더 바람직하게 10ppb 이하)가 동일한 노에 도입될 수 있다. 상기 산소 가스 또는 상기 일산화이질소 가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 대안적으로, 상기 가열 처리 장치에 도입되는 상기 산소 가스 또는 상기 일산화이질소 가스의 순도는 바람직하게 6N 이상, 더 바람직하게 7N 이상(즉, 상기 산소 가스 또는 상기 일산화이질소 가스의 상기 불순물 농도는 바람직하게 1ppm 이하, 더 바람직하게 0.1ppm 이하)이다. 상기 산소 가스 또는 상기 일산화이질소 가스는 상기 산화물 반도체의 주 구성 재료인 산소를 공급하도록 작용하고, 탈수화 또는 탈수소화를 위해 불순물들을 제거하는 단계에 의해 감소되어, 상기 산화물 반도체막(403)이 고순도화, i-형(진성) 산화물 반도체막이 될 수 있다.

[0109] 탈수화 또는 탈수소화를 위한 상기 가열 처리의 타이밍은 상기 산화물 반도체막의 형성 후 또는 상기 섬 형상 산화물 반도체막(403)의 형성 후일 수 있다.

[0110] 탈수화 또는 탈수소화를 위한 상기 가열 처리는 복수 회 수행될 수 있고, 다른 가열 처리를 겸할 수 있다.

[0111] 상기 게이트 절연막(402)에 함유된 산소가 상기 가열 처리에 의해 방출되는 것이 방지될 수 있기 때문에 탈수화 또는 탈수소화를 위한 상기 가열 처리는 상기 섬 형상 산화물 반도체막(403)으로 가공되지 않은 상기 산화물 반도체막으로 상기 게이트 절연막(402)을 덮어 수행되는 것이 바람직하다.

[0112] 상기 산화물 반도체막(403)은 상기 탈수화 또는 탈수소화 처리로 고순도화될 수 있다.

[0113] 상기 산화물 반도체막(403)의 수소 농도는 $2 \times 10^{19}/cm^3$ 이하, 바람직하게 $5 \times 10^{18}/cm^3$ 이하, 더 바람직하게 $2 \times 10^{18}/cm^3$ 이하인 것이 바람직하다.

[0114] 상기 수소의 농도는 2차 이온 질량 분석법(SIMS)을 사용한 분석에 의해 측정될 수 있다는 것을 주의한다.

[0115] 또한, 상기 산화물 반도체막에 산소를 공급하기 위해 상기 탈수화 또는 탈수소화 처리된 상기 산화물 반도체막(403)에 산소(산소 라디칼, 산소 원자, 및 산소 이온 중 적어도 하나를 포함하는)가 도입될 수 있다.

[0116] 상기 탈수화 또는 탈수소화 처리는 산소 저감에 이르는 산화물 반도체의 주 구성 재료인 산소의 제거를 동반할 수 있다. 산화물 반도체막에서 산소가 제거된 부분에 산소 결손들이 존재하고 트랜지스터의 전기적 특성들의 변동에 이르는 도너 준위가 상기 산소 결손들로 인해 형성될 수 있다.

[0117] 따라서, 상기 탈수화 또는 탈수소화 처리된 상기 산화물 반도체막에 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)가 공급되는 것이 바람직하다. 상기 산화물 반도체막에 산소를 공급함으로써, 상기 막의 산소 결손들이 보수될 수 있다.

[0118] 상기 탈수화 또는 탈수소화된 산화물 반도체막(403)에 산소를 공급하기 위해 산소가 도입되어, 상기 산화물 반도체막(403)은 고순도화될 수 있고 i-형(진성)일 수 있다. 상기 고순도화되고 i-형(진성)인 산화물 반도체막(403)을 갖는 트랜지스터의 전기적 특성들의 변동이 억제될 수 있어서 상기 트랜지스터는 전기적으로 안정하다.

[0119] 산소는 이온 주입법, 이온 도핑법, 플라즈마 침투 이온 주입법, 플라즈마 처리 등에 의해 도입될 수 있다. 또한, 가스 클러스터 이온 빔이 상기 이온 주입법을 위해 사용될 수 있다. 상기 도핑 처리는 전체 표면에 한번에 수행될 수 있거나 선형 이온 빔 등에 의해 상기 기판을 스캐닝함으로써 수행될 수 있다.

[0120] 예를 들어, 상기 도핑을 위한 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)는 산소를 함유하는 가스를 사용하여 플라즈마 발생 장치로부터 또는 오존 발생 장치로부터 공급될 수 있다. 구체적으로, 예를 들어, 산소는 상기 산화물 반도체막을 처리하기 위해, 반도체 장치에 에칭 처리를 위한 장치, 레지스트 마스크를 애싱하기 위한 장치로 발생될 수 있다.

[0121] 상기 산화물 반도체막(403)에 산소를 도입하는 상기 단계에서, 산소는 상기 산화물 반도체막(403)에 직접 첨가되거나 상기 절연막(407)과 같은 다른 막을 통해 상기 산화물 반도체막(403)에 첨가될 수 있다. 이온 주입법, 이온 도핑법, 플라즈마 침투 이온 주입법 등이 상기 다른 막을 통한 산소의 도입을 위해 채용될 수 있고, 플라즈마 처리 등은 또한 상기 노출된 산화물 반도체막(403)에 산소를 직접 도입하기 위해 채용될 수 있다.

[0122] 상기 산화물 반도체막(403)으로의 산소의 도입은 탈수화 또는 탈수소화 처리가 수행된 후에 수행되는 것이 바람직하지만, 상기 타이밍은 이로 제한되지 않는다. 또한, 산소는 상기 탈수화 또는 탈수소화된 산화물 반도체막(403)에 복수 회 도입될 수 있다.

[0123] 상기 트랜지스터에 제공된 상기 산화물 반도체막은 결정 상태에서 산화물 반도체의 상기 화학량론적 조성을 초과하는 산소를 함유하는 영역을 포함하는 것이 바람직하다. 이 경우, 상기 산소 함량은 상기 산화물 반도체의 상기 화학량론적 조성보다 많은 것이 바람직하다. 대안적으로, 상기 산소 함량은 단결정 상태의 상기 산화물 반도체보다 높다. 일부 경우들에서, 산소는 상기 산화물 반도체의 격자들 사이에 존재할 수 있다.

[0124] 또한, 상기 섬 형상 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크가 잉크 젯법에 의해 형성될 수 있다. 잉크 젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않아, 제조 코스트가 저감될 수 있다.

[0125] 상기 산화물 반도체막(403)의 에칭은 드라이 에칭 또는 웨트 에칭을 사용하여, 또는 드라이 에칭 및 웨트 에칭을 모두 사용하여 수행될 수 있다는 것을 주의한다. 상기 산화물 반도체막(403)의 웨트 에칭을 위해 사용된 에천트로서, 예를 들어, 인산, 아세트산, 및 질산 등의 혼합 용액이 사용될 수 있다. 게다가, ITO-07N(KANTO CHEMICAL CO., INC.제)이 또한 사용될 수 있다. 또한 대안적으로, 상기 산화물 반도체막(403)은 유도 결합 플라즈마(ICP) 에칭법을 사용하여 드라이 에칭법에 의해 에칭될 수 있다.

[0126] 다음, 상기 소스 전극층 및 상기 드레인 전극층(상기 소스 전극층 및 상기 드레인 전극층과 같은 층에 형성된 배선을 포함)이 되는 도전막이 상기 게이트 전극층(401), 상기 게이트 절연막(402), 및 상기 산화물 반도체막(403) 위에 형성된다.

[0127] 상기 도전막은 나중의 가열 처리를 견딜 수 있는 재료를 사용하여 형성된다. 상기 소스 전극층 및 상기 드레인 전극층으로 사용된 상기 도전막으로서, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, 및 W으로부터 선택된 원소를 함유하는 금속막, 성분으로서 이들 원소들 중 어느 것을 함유하는 금속 질화물막(예를 들어, 질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막) 등을 사용할 수 있다. Ti, Mo, W 등과 같은 고융점의 금속막 또는 이들 원소들 중 어느 것의 금속 질화물막(예를 들어, 질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)은 Al, Cu 등의 금속막의 하측 및 상측 중 한쪽 또는 양쪽에 적층될 수 있다. 대안적으로, 상기 소스 전극층 및 상기 드레인 전극층으로 사용된 상기 도전막은 도전성 금속 산화물을 사용하여 형성될 수 있다. 상기 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석(In_2O_3-SnO_2), 산화 인듐-산화 아연(In_2O_3-ZnO), 또는 산화 실리콘이 함유된 이들 금속 산화물 재료들 중 어느 것이 사용될 수 있다.

[0128] 포토리소그래피 공정을 통해, 상기 도전막 위에 레지스트 마스크가 형성되고, 선택적 에칭에 의해 상기 소스 전극층(405a) 및 상기 드레인 전극층(405b)이 형성된다. 상기 소스 전극층(405a) 및 상기 드레인 전극층(405b)이 형성된 후, 상기 레지스트 마스크는 제거된다.

[0129] 레지스트 마스크 형성시 자외선, KrF 레이저 광, ArF 레이저 광 등이 노광을 위해 사용될 수 있다. 나중에 완성되는 상기 트랜지스터(440)의 채널 길이(L)는 상기 산화물 반도체막(403) 위에서 서로 인접한 상기 소스 전극층(405a) 및 상기 드레인 전극층(405b)의 하단부들 간의 거리에 의해 결정된다. 상기 채널 길이(L)가 25nm 미만인 경우, 상기 레지스트 마스크의 형성시 노광은 수 nm 내지 수십 nm의 매우 짧은 파장을 갖는 초자외선을 사용하여 수행될 수 있다. 상기 초자외선으로의 노광시, 해상도는 높고 초점 심도는 크다. 따라서, 나중에 완성되는 상기 트랜지스터의 상기 채널 길이(L)는 회로의 고속 동작을 가능하게 하는 10nm 이상 1000nm 이하일 수 있다.

[0130] 상기 포토리소그래피 공정에 사용된 포토마스크들의 수를 저감하고 포토리소그래피 공정들의 수를 저감하기 위해, 투과된 광이 복수의 강도들을 갖는 노광 마스크인 다계조 마스크(multi-tone mask)를 사용하여 에칭 단계가 수행될 수 있다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는 복수의 두께들을 갖고 또한 에칭에 의해 형상이 변화될 수 있어서, 상기 레지스트 마스크는 상이한 패턴들로 가공하기 위해 복수의 에칭 단계들에서 사용될 수 있다. 따라서, 적어도 두 종류의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 저감될 수 있고 대응하는 포토리소그래피 공정들의 수가 또한 저감될 수 있어서, 상기 공정이 간략화될 수 있다.

[0131] 본 실시형태에서, 상기 도전막은 염소를 함유하는 가스, 예를 들어, 염소(Cl_2), 삼염화붕소(BCl_3), 사염화규소($SiCl_4$), 또는 사염화탄소(CCl_4)를 함유하는 가스를 사용하여 에칭될 수 있다. 대안적으로, 불소를 함유하는 가스, 예를 들어, 사불화탄소(CF_4), 육불화황(SF_6), 삼불화질소(NF_3), 또는 트리플루오로메탄(CHF_3)을 함유하는 가스가 사용될 수 있다. 대안적으로, 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 이들 가스들 중 어느 것이 사용될 수 있다.

[0132] 에칭 방법으로서, 평행 평판형 RIE(reactive ion etching)법 또는 유도 결합 플라즈마(ICP) 에칭법이 사용될 수 있다. 상기 막들을 원하는 형상들로 에칭하기 위해, 에칭 조건(코일형 전극에 인가된 전력량, 기판 측의 전극에 인가된 전력량, 상기 기판 측의 상기 전극의 온도 등)은 적절히 조정된다.

[0133] 본 실시형태에서, 상기 도전막으로서, 스퍼터링법에 의해 형성된 100nm 두께의 티타늄막, 400nm 두께의 알루미늄막, 및 100nm 두께의 티타늄막의 적층이 사용된다. 상기 도전막의 에칭으로서, 상기 티타늄막, 상기 알루미늄막, 및 상기 티타늄막의 적층이 드라이 에칭법에 의해 에칭되고, 상기 소스 전극층(405a) 및 상기 드레인 전극층(405b)이 형성된다.

[0134] 본 실시형태에서, 상기 상부 티타늄막 및 상기 알루미늄막은 제 1 에칭 조건들 하에서 에칭되고 그 후 상기 하부 티타늄막이 제 2 에칭 조건들 하에서 에칭된다. 상기 제 1 에칭 조건들은 다음과 같다: BCl_3의 유량비는 750sccm 및 Cl_2의 유량비는 150sccm; 바이어스 전력은 1500W; ICP 전력은 0W; 및 압력은 2.0Pa이다. 상기 제 2 에칭 조건들은 다음과 같다: BCl_3의 유량비는 700sccm 및 Cl_2의 유량비는 100sccm; 바이어스 전력은 750W; ICP 전력은 0W; 및 압력은 2.0Pa이다.

[0135] 에칭 조건들이 최적화되어 상기 도전막이 에칭될 때 상기 산화물 반도체막(403)은 에칭 및 분단되지 않는 것이 바람직하다는 것을 주의한다. 그러나, 상기 도전막만이 에칭되고 상기 산화물 반도체막(403)은 전혀 에칭되지 않는 에칭 조건들을 획득하는 것은 어렵다. 일부 경우들에서, 상기 산화물 반도체막(403)의 일부는 상기 도전막

의 에칭을 통해 에칭되어, 홈부(오목부)를 갖는 산화물 반도체막이 형성된다.

[0136] 상기 설명된 공정을 통해, 본 실시형태의 상기 트랜지스터(440)가 형성된다(도 2의 (B) 참조).

[0137] 본 실시형태에서, 상기 절연막(407)이 상기 소스 전극층(405a) 및 상기 드레인 전극층(405b) 위에 상기 산화물 반도체막(403)과 접하여 형성된다(도 2의 (C) 참조).

[0138] 상기 절연막(407)은 성막 가스를 사용하여 CVD법에 의해 형성될 수 있다. 상기 CVD법으로서, LPCVD법, 플라즈마 CVD법 등이 사용될 수 있다. 대안적으로, 예를 들어, 코팅법이 사용될 수 있다.

[0139] 상기 절연막(407)은 질소를 함유하는 산화물 절연막을 사용하여 형성될 수 있다.

[0140] 상기 질소를 함유하는 산화물 절연막은 질소를 함유하는 산화 실리콘막, 질소를 함유하는 산화 알루미늄막 등일 수 있다. 상기 산화물 절연막의 질소 농도는 0.01atoms% 이상, 바람직하게 0.1atoms% 이상 50atoms% 이하, 더 바람직하게 0.5atoms% 이상 15atoms% 이하일 수 있다. 상기 농도로 질소를 함유하는 산화 실리콘막은 일부 경우들에서 산화질화 실리콘막으로 참조된다. 적절한 양의 질소를 함유함으로써, 상기 산소 절연막은 상기 화학량론적 조성보다 더 많은 산소를 함유할 수 있다.

[0141] 본 실시형태에서, 600㎚의 두께의 산화질화 실리콘막이 플라즈마 CVD법에 의해 상기 절연막(407)으로서 형성된다. 예를 들어, 상기 절연막(407)은 다음의 성막 조건들 하에서 형성된다: SiH_4 가스의 유량비는 30sccm 및 N_2O 가스의 유량비는 4000sccm; 압력은 200Pa; RF 전력(전원 출력)은 150W; 및 기판 온도는 220℃이다.

[0142] 상기 절연막(407)은 가열 처리에 의해 탈수화 또는 탈수소화 처리될 수 있다.

[0143] 상기 절연막(407)의 성막 가스로서 수소를 함유하는 가스가 사용되더라도, 상기 절연막(407) 중의 수소는 상기 절연막(407)에 수행된 탈수소화 처리에 의해 제거될 수 있다. 따라서, 플라즈마 CVD법이 바람직하게 채용될 수 있다. 플라즈마 CVD법에 의해, 성막 시 먼지 등이 막에 덜 부착 또는 덜 혼합되는 비교적 높은 성막 레이트로 상기 막이 성막될 수 있고, 따라서, 상기 막 두께가 증가될 수 있고, 생산성이 유리하게 된다.

[0144] 상기 가열 처리 온도는 300℃ 이상 700℃ 이하, 또는 상기 기판의 변형점 미만이다. 상기 가열 처리 온도는 상기 막이 더 효과적으로 탈수화 또는 탈수소화되기 때문에 절연막(496)의 성막 온도보다 높은 것이 바람직하다. 예를 들어, 상기 기판은 가열 처리 장치의 일종인 전기노에 놓여지고, 상기 절연막(496)은 450℃에서 1시간 동안 진공 하에서 가열 처리된다.

[0145] 상기 가열 처리 장치는 상기 전기노로 제한되지 않고, 저항 발열체와 같은 발열체로부터 열 전도 또는 열 복사에 의해 피처리물을 가열하기 위한 장치가 사용될 수 있다는 것을 주의한다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 제논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 수행하기 위한 장치이다. 상기 고온 가스로서, 질소, 또는 아르곤과 같은 희가스와 같이 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0146] 예를 들어, 상기 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 상기 기판이 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 놓여지고, 수 분 동안 가열되고, 상기 불활성 가스로부터 꺼내진다.

[0147] 상기 가열 처리는 감압 하, 질소 분위기 하, 또는 희가스 분위기 하에서 수행될 수 있다. 상기 질소, 희가스 등의 분위기에 물, 수소 등이 함유되지 않는 것이 바람직하다. 상기 가열 처리 장치에 도입되는 상기 질소 또는 상기 희가스의 순도는 바람직하게 6N(99.9999%) 이상, 더 바람직하게 7N(99.99999%) 이상(즉, 상기 불순물 농도는 바람직하게 1ppm 이하, 더 바람직하게 0.1ppm 이하)이다.

[0148] 상기 가열 처리에 의해, 상기 절연막(407)은 탈수화 또는 탈수소화될 수 있어서, 수소 및 물과 같은 불순물들이 제거된 상기 절연막(407)이 형성될 수 있다.

[0149] 탈수화 또는 탈수소화 처리가 수행되는 상기 가열 처리에서, 상기 절연막(407)의 표면은 수소, 물 등이 방출되는 것이 방지된 상태(예를 들어, 수소, 물 등을 침투시키지 않는(또는 차단하는) 막 등을 제공함으로써)가 아니라, 상기 절연막(407)의 상기 표면이 노출된 상태에 있는 것이 바람직하다.

[0150] 탈수화 또는 탈수소화를 위한 상기 가열 처리는 복수 회 수행될 수 있고 다른 가열 처리를 겸할 수 있다.

[0151] 탈수화 또는 탈수소화를 위한 가열 처리가 수행되어, 상기 절연막(407)에 함유된 물 및 수소와 같은 불순물들이

상기 절연막(407)으로부터 제거될 수 있고 불순물 농도가 저감될 수 있다. 상기 절연막(407)에 수소가 함유될 때, 상기 산화물 반도체막(403)으로 수소의 혼입 또는 상기 수소에 의해 상기 산화물 반도체막(403)으로부터 산소의 추출이 발생할 수 있어서, 상기 산화물 반도체막(403)의 백채널이 저 저항값을 가질 수 있고(N형 도전성) 기생 채널이 형성될 수 있다. 탈수화 또는 탈수소화를 위한 가열 처리가 수행되어, 상기 절연막(407)은 가능한 한 수소를 적게 함유하는 막일 수 있다. 결과적으로, 상기 트랜지스터(440)의 특성들의 변동이 억제될 수 있고, 상기 트랜지스터(440)는 안정한 전기적 특성들을 가질 수 있다.

[0152] 탈수화 또는 탈수소화된 상기 절연막(407)에 산소 도핑 처리가 수행될 수 있다. 상기 절연막(407)에 대한 상기 산소 도핑 처리에 의해, 상기 절연막(407)에 산소가 공급되어, 상기 절연막(407) 및 계면 주변에 산소가 함유된다.

[0153] 상기 절연막(407)은 상기 막(벌크)에 적어도 화학량론비를 초과하는 산소를 함유하는 것이 바람직하다.

[0154] 상기 산소 도핑 처리에 의해, 상기 절연막(407)은 많은(과잉) 산소를 함유하는 막(바람직하게, 결정 상태의 상기 화학량론적 조성을 초과하는 산소를 함유하는 영역을 포함하는 막)일 수 있어, 상기 절연막(407)이 상기 산화물 반도체막(403)의 산소 공급원으로서 적절히 기능할 수 있다.

[0155] 상기 가열 처리는 상기 산화물 반도체막(403)의 일부(채널 형성 영역)가 상기 절연막(407)과 접하면서 수행되는 것이 바람직하다. 상기 가열 처리를 통해, 상기 절연막(407)으로부터 상기 산화물 반도체막(403)으로 산소가 효율적으로 공급될 수 있다.

[0156] 본 실시형태에서, 상기 산화물 반도체막(403)에 산소를 공급하기 위해 산소가 도입되어, 상기 산화물 반도체막(403)은 고순도화될 수 있고 i-형(진성)일 수 있다.

[0157] 상기 가열 단계는 250℃ 이상 700℃ 이하, 바람직하게 400℃ 이상 700℃ 이하의 온도, 또는 상기 기판의 변형점 미만의 온도로 수행된다. 예를 들어, 상기 기판은 가열 처리 장치들 중 하나인 전기노에 도입되고, 상기 가열 단계는 상기 산화물 반도체막에 대해 250℃에서 1시간 동안 질소 분위기 하에서 수행된다.

[0158] 상기 가열 단계는 감압 하, 질소 분위기 하, 산소 분위기 하, 초건조 에어(CRDS(cavity ring down laser spectroscopy) 방식의 노점계로 측정시, 수분량이 20ppm(노점으로 환산하면 -55℃) 이하, 바람직하게 1ppm 이하, 더 바람직하게 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등) 분위기 하에서 수행될 수 있다. 상기 질소 분위기, 상기 산소 분위기, 상기 초건조 에어, 상기 희가스 분위기 등에 물, 수소 등이 함유되지 않는 것이 바람직하다. 대안적으로, 상기 가열 처리 장치에 도입되는 질소, 산소, 또는 상기 희가스의 순도는 6N(99.9999%) 이상, 더 바람직하게 7N(99.99999%) 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게 0.1ppm 이하)으로 설정되는 것이 바람직하다.

[0159] 또한, 조밀한 무기 절연막이 상기 절연막(407) 위에 제공될 수 있다. 예를 들어, 산화 알루미늄막이 스퍼터링법에 의해 상기 절연막(407) 위에 형성된다. 고밀도 산화 알루미늄막(3.2g/㎤ 이상, 바람직하게 3.6g/㎤ 이상의 막 밀도를 갖는)으로 상기 트랜지스터(440)의 전기적 특성들이 안정화될 수 있다. 상기 막 밀도는 러더포드 후방산란법(RBS: Rutherford backscattering spectrometry) 또는 X-선 반사(XRR)에 의해 측정될 수 있다.

[0160] 상기 트랜지스터(440) 위에 제공된 절연막으로 사용될 수 있는 상기 산화 알루미늄막은 산소 및 수소와 수분과 같은 불순물들이 상기 막을 통해 침투하는 것을 방지하는 높은 차단 효과(블로킹 효과)를 갖는다.

[0161] 따라서, 상기 제조 공정 시 및 후에, 상기 산화 알루미늄막은 전기적 특성들에 변동을 유발할 수 있는 수소 및 수분과 같은 불순물들의 상기 산화물 반도체막(403)으로의 혼입 및 상기 산화물 반도체의 주성분 재료인 산소를 상기 산화물 반도체막(403)으로부터 방출을 방지하기 위한 보호막으로서 기능한다.

[0162] 또한, 상기 트랜지스터(440)로 인한 표면 거칠기를 저감시키기 위해 평탄화 절연막이 그 위에 형성될 수 있다. 상기 평탄화 절연막으로서, 폴리이미드, 아크릴, 또는 벤조사이클로부텐계 수지와 같은 유기 재료가 사용될 수 있다. 이러한 유기 재료들 외에, 저유전 상수 재료(low-k 재료) 등을 또한 사용할 수 있다. 상기 평탄화 절연막은 이런 재료들로부터 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다는 것을 주의한다.

[0163] 예를 들어, 1500㎚ 두께의 아크릴 수지막이 상기 평탄화 절연막으로서 형성된다. 상기 아크릴 수지막은 코팅법을 사용한 코팅 및 그 후의 소성(예를 들어, 질소 분위기 하, 250℃에서 1시간 동안)에 의해 형성될 수 있다.

[0164] 상기 평탄화 절연막이 형성된 후 가열 처리가 수행될 수 있다. 예를 들어, 상기 가열 처리는 질소 분위기 하, 250℃에서 1시간 동안 수행된다.

[0165] 상기에 설명된 바와 같이, 상기 트랜지스터(440)가 형성된 후 가열 처리가 수행될 수 있다. 상기 가열 처리는 1회 이상 수행될 수 있다.

[0166] 1×10^{18} spins/㎤ 이하, 바람직하게 1×10^{17} spins/㎤ 이하, 더 바람직하게 1×10^{16} spins/㎤ 이하의 스핀 밀도를 갖는 산화물 반도체막을 포함하는 상기 트랜지스터(440)에서 전기적 특성들의 변동이 억제되어, 상기 트랜지스터(440)는 전기적으로 안정하다.

[0167] 결과적으로, 안정한 전기적 특성들을 갖는 상기 트랜지스터(440)가 제작될 수 있다.

[0168] 상기에 설명된 바와 같이, 상기 게이트 절연막 및/또는 상기 산화물 반도체막 위에 접하여 제공된 상기 절연막은 적층 구조를 가질 수 있다. 도 3은 상기 게이트 절연막(402) 및 상기 절연막(407)이 각각 적층 구조를 갖는 트랜지스터(410)를 도시한다.

[0169] 도 3에 도시된 상기 트랜지스터(410)는 상기 게이트 절연막(402) 및 상기 절연막(407)을 포함한다. 상기 게이트 절연막(402)에서, 게이트 절연막(402a) 및 게이트 절연막(402b)이 상기 게이트 전극층(401) 측으로부터 순서대로 적층된다. 상기 절연막(407)에서, 절연막(407a) 및 절연막(407b)은 상기 산화물 반도체막(403) 측으로부터 순서대로 적층된다.

[0170] 상기 게이트 절연막(402)의 적층 구조에서, 적어도 상기 산화물 반도체막(403)과 접하는 상기 게이트 절연막(402b)은 다량의 산소를 함유하는 것이 바람직하다. 유사하게, 상기 절연막(407)의 적층 구조에서, 적어도 상기 산화물 반도체막(403)과 접하는 상기 절연막(407a)은 다량의 산소를 함유하는 것이 바람직하다. 이들 막들이 다량의 산소를 함유하는 경우, 산소는 상기 산화물 반도체막(403)과 접하는 상기 절연막으로부터 상기 산화물 반도체막(403)으로 공급될 수 있어서, 상기 산화물 반도체막(403) 또는 상기 산화물 반도체막(403)과 상기 산화물 반도체막(403)과 접하는 상기 절연막 사이의 계면의 산소 결손들이 저감될 수 있다.

[0171] 본 실시형태에서, 질화산화 실리콘막이 상기 게이트 절연막(402b) 및 상기 절연막(407a)으로 사용된다.

[0172] 상기 절연막(407b)은 상기 트랜지스터(410)의 보호막으로 기능한다. 따라서, 산화 알루미늄막이 상기 절연막(407b)으로서 제공되는 것이 바람직하다. 유사하게, 상기 게이트 절연막(402)의 적층 구조에서, 산화 알루미늄막은 상기 게이트 전극층(401)과 접하는 상기 게이트 절연막(402a)으로서 제공되는 것이 바람직하다.

[0173] 상기 산화 알루미늄막은 높은 차단 효과를 갖고 따라서 산소 및 수소와 수분과 같은 불순물들을 거의 투과하지 않는다. 따라서, 상기 게이트 절연막(402a) 및 상기 절연막(407b)으로서 산화 알루미늄막을 사용하는 것은 상기 산화물 반도체막(403) 및 상기 산화물 반도체막(403)과 접하는 상기 게이트 절연막(402b) 및 상기 절연막(407a)으로부터 산소의 제거 및 상기 산화물 반도체막(403)으로 물 및 수소의 혼입을 방지할 수 있다.

[0174] 상기 트랜지스터(410)의 전기적 특성들이 안정화될 수 있기 때문에 고밀도 산화 알루미늄막(3.2g/㎤ 이상, 바람직하게 3.6g/㎤ 이상의 막 밀도를 갖는)을 사용하는 것이 더 바람직하다.

[0175] 저감된 수소 및 다량의 산소를 함유하는 절연막이 상기 산화물 반도체막(403)과 접하여 제공되고, 차단 효과를 갖는 절연막(본 실시형태에서, 산화 알루미늄막)이 상기 절연막 외부에 제공되어, 상기 트랜지스터의 전기적 특성들이 더욱 안정화될 수 있다.

[0176] 본 발명의 일 실시형태에 따라, 상기 노멀리-오프 트랜지스터(440) 또는 상기 노멀리-오프 트랜지스터(410)를 갖는, 양호한 전기적 특성들 및 고 신뢰성의 반도체 장치가 제작될 수 있다.

[0177] [실시형태 2]

[0178] 실시형태 1에 설명된 트랜지스터들 중 어느 것을 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)가 제작될 수 있다. 더욱이, 화소부가 형성된 기판 위에 상기 트랜지스터를 포함하는 구동 회로의 일부 또는 전부가 형성될 수 있어서, 시스템-온-패널이 형성될 수 있다.

[0179] 도 4의 (A)에서, 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 씰재(4005)가 제공되고, 상기 화소부(4002)는 기판(4006)으로 밀봉된다. 도 4의 (A)에서, 각각 IC 칩 또는 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 주사선 구동 회로(4004) 및 신호선 구동 회로(4003)가 상기 기판(4001) 상의 상기 씰재(4005)로 둘러싸인 영역과 다른 영역에 실장된다. FPC들(flexible printed circuits)(4018a 및 4018b)로부터 다양한 신호들 및 전위들이 별도로 형성된 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004) 및 상기 화소부(4002)에 공급된다.

[0180] 도 4의 (B) 및 (C)에서, 상기 씰재(4005)는 상기 기판(4001) 위에 제공된 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 상기 기판(4006)은 상기 화소부(4002) 및 상기 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)는 상기 기판(4001), 상기 씰재(4005), 및 상기 기판(4006)에 의해 표시 소자와 함께 밀봉된다. 도 4의 (B) 및 (C)에서, IC 칩 또는 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 상기 신호선 구동 회로(4003)는 상기 기판(4001) 상의 상기 씰재(4005)로 둘러싸인 영역과 다른 영역에 실장된다. 도 4의 (B) 및 (C)에서, FPC(4018)로부터 다양한 신호들 및 전위들이 상기 주사선 구동 회로(4004) 또는 상기 화소부(4002), 및 별도로 형성된 상기 신호선 구동 회로(4003)에 공급된다.

[0181] 도 4의 (B) 및 (C)가 각각 상기 신호선 구동 회로(4003)가 별도로 형성되고 상기 기판(4001)에 실장되는 예를 도시하지만, 본 발명의 일 실시형태는 이러한 구조로 제한되지 않는다. 상기 주사선 구동 회로가 별도로 형성된 후 실장되거나 상기 신호선 구동 회로의 일부만 또는 상기 주사선 구동 회로의 일부만이 별도로 형성된 후 실장될 수 있다.

[0182] 이러한 별도로 형성된 구동 회로의 접속 방법은 특별히 제한되지 않고, 예를 들어, COG(chip on glass)법, 와이어 본딩법, 또는 TAB(tape automated bonding)법이 사용될 수 있다.

[0183] 도 4의 (A)는 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004)가 COG법에 의해 실장된 예를 도시하고, 도 4의 (B)는 상기 신호선 구동 회로(4003)가 COG법에 의해 실장된 예를 도시하고, 도 4의 (C)는 상기 신호선 구동 회로(4003)가 TAB법에 의해 실장된 예를 도시한다.

[0184] 상기 표시 장치는 표시 소자가 밀봉된 패널 및 컨트롤러 등을 포함하는 IC가 상기 패널에 실장된 모듈을 그 범주에 포함한다.

[0185] 본 명세서에서 상기 표시 장치는 화상 표시 장치, 표시 유닛, 또는 광원(조명 장치를 포함)을 의미한다. 게다가, 상기 표시 장치는 또한 다음의 모듈들을 그 범주에 포함한다: FPC, TAB 테이프, 또는 TCP와 같은 커넥터가 부착된 모듈, 선단에 인쇄 배선판이 제공된 TAB 테이프 또는 TCP를 갖는 모듈, 및 COG법에 의해 집적 회로(IC)가 표시 소자에 직접 실장된 모듈.

[0186] 상기 기판 위에 제공된 상기 화소부 및 상기 주사선 구동 회로는 복수의 트랜지스터들 및 실시형태 1에 설명된 트랜지스터들 중 어느 것을 적용할 수 있다.

[0187] 상기 표시 장치에 제공된 표시 소자로서, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)가 사용될 수 있다. 상기 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로 무기 일렉트로루미네선트(EL) 소자, 유기 EL 소자 등을 포함한다. 전자 잉크와 같은 전기적 영향에 의해 콘트라스트가 변화되는 표시 매체가 또한 사용될 수 있다.

[0188] 반도체 장치의 일 실시형태가 도 4의 (A) 내지 (C), 도 5의 (A) 및 (B), 및 도 6의 (A) 및 (B)를 참조하여 설명된다. 도 6의 (A) 및 (B)는 도 4의 (B)의 선 M-N을 따라 취해진 단면도들이다.

[0189] 도 6의 (A) 및 (B)에 도시된 바와 같이, 상기 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 포함하고, 상기 접속 단자 전극(4015) 및 상기 단자 전극(4016)은 이방성 도전막(4019)을 통해 상기 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

[0190] 상기 접속 단자 전극(4015)은 제 1 전극층(4030)과 동일한 도전막을 사용하여 형성되고, 상기 단자 전극(4016)은 트랜지스터들(4010 및 4011)의 게이트 전극층들과 동일한 도전막을 사용하여 형성된다.

[0191] 상기 기판(4001) 위에 제공된 각각의 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)는 복수의 트랜지스터들을 포함한다. 도 6의 (A) 및 (B)에서, 상기 화소부(4002)에 포함된 상기 트랜지스터(4010) 및 상기 주사선 구동 회로(4004)에 포함된 상기 트랜지스터(4011)는 예로서 도시된다. 도 6의 (A)에서 절연막(4020)은 상기 트랜지스터들(4010 및 4011) 위에 제공되고, 도 6의 (B)에서 절연막(4021)이 또한 제공된다.

[0192] 실시형태 1에 설명된 상기 트랜지스터들 중 어느 것이 상기 트랜지스터들(4010 및 4011)에 적용될 수 있다. 본 실시형태에서, 실시형태 1에 설명된 상기 트랜지스터(440)와 유사한 구조를 갖는 트랜지스터가 각각의 상기 트랜지스터들(4010 및 4011)로서 사용되는 예가 설명된다. 상기 트랜지스터들(4010 및 4011)은 각각 보텀-게이트 구조를 갖는 스태거형 트랜지스터이다.

[0193] 상기 트랜지스터들(4010 및 4011)은 1×10^{18} spins/㎤ 이하, 바람직하게 1×10^{17} spins/㎤ 이하, 더 바람직

하게 1 × 10^{16} spins/㎤ 이하의 스핀 밀도를 갖는 산화물 반도체막을 포함한다. 따라서, 상기 트랜지스터들(4010 및 4011)은 안정한 전기적 특성들을 갖는 노멀리-오프 트랜지스터들일 수 있다.

[0194] 결과적으로, 본 실시형태에서 도 6의 (A) 및 (B)에 도시된 상기 트랜지스터들(4010 및 4011)을 포함하는 반도체 장치들로서 고 신뢰성의 반도체 장치들이 제공될 수 있다.

[0195] 상기 구동 회로의 상기 트랜지스터(4011)의 상기 산화물 반도체막의 상기 채널 형성 영역과 중첩하도록 도전층이 또한 제공될 수 있다. 상기 산화물 반도체막의 상기 채널 형성 영역과 중첩하도록 상기 도전층을 제공함으로써, 바이어스-열 스트레스 시험(BT 테스트) 전후의 상기 트랜지스터(4011)의 문턱 전압의 변화량이 또한 저감될 수 있다. 상기 도전층은 상기 트랜지스터(4011)의 상기 게이트 전극층과 동일한 전위 또는 상이한 전위를 가질 수 있고, 제 2 게이트 전극층으로서 기능할 수 있다. 상기 도전층의 전위는 GND 또는 0V일 수 있고, 또는 상기 도전층이 플로팅 상태(floating state)에 있을 수 있다.

[0196] 상기 도전층은 또한 외부 전계를 차단하는 기능, 즉, 외부 전계가 내부(트랜지스터를 포함하는 회로부)에 영향을 주는 것을 방지하는 기능(특히, 정전기를 방지하기 위해)을 갖는다. 상기 도전층의 차단 기능은 정전기와 같은 외부 전계의 영향으로 인한 상기 트랜지스터의 전기적 특성들의 변동을 방지할 수 있다.

[0197] 상기 화소부(4002)에 포함된 상기 트랜지스터(4010)는 표시 패널을 구성하기 위해 표시 소자에 전기적으로 접속된다. 표시가 수행될 수 있는 한 상기 표시 소자의 종류에 특별한 제한은 없고, 다양한 종류들의 표시 소자들이 사용될 수 있다.

[0198] 표시 소자로서 액정 소자를 사용하는 액정 표시 장치의 예가 도 6의 (A)에 도시된다. 도 6의 (A)에서, 표시 소자인 액정 소자(4013)는 상기 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 배향막들로 기능하는 절연막(4032) 및 절연막(4033)이 상기 액정층(4008)을 개재하도록 제공된다. 상기 제 2 전극층(4031)은 상기 기판(4006) 측에 제공되고, 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)은 상기 액정층(4008)을 개재하여 적층된다.

[0199] 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 획득된 주상(柱狀) 스페이서이고 상기 액정층(4008)의 막두께(셀 갭)를 제어하기 위해 제공된다. 대안적으로, 구상(球狀) 스페이서가 사용될 수 있다.

[0200] 액정 소자가 상기 표시 소자로서 사용되는 경우, 서모트로픽 액정(thermotropic liquid crystal), 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반-강유전성 액정 등이 사용될 수 있다. 이러한 액정 재료(액정 조성물)는 조건들에 따라 콜레스테릭 상, 스멕틱 상, 큐빅 상, 키랄 네마틱 상 등방상 등을 나타낸다.

[0201] 대안적으로, 배향막이 사용되지 않은 블루 상을 나타내는 액정 조성물이 상기 액정층(4008)으로 사용될 수 있다. 이 경우, 상기 액정층(4008)은 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)과 접한다. 상기 블루 상은 콜레스테릭 액정의 온도가 상승하면서 콜레스테릭 상이 등방 상으로 변하기 직전에 발생되는 액정 상들 중 하나이다. 상기 블루 상은 액정 및 키랄제의 혼합물인 액정 조성물을 사용하여 나타날 수 있다. 상기 블루 상이 나타나는 상기 온도 범위를 증가시키기 위해, 액정층은 블루 상을 나타내는 액정 조성물에 중합성 모노머, 중합 개시제 등을 첨가하고 고분자 안정화 처리를 수행함으로써 형성될 수 있다. 블루 상을 나타내는 상기 액정 조성물은 짧은 응답 시간을 갖고, 광학적 등방성을 가져, 배향 처리가 불필요하고 시야각 의존성이 낮다. 게다가, 배향막이 제공될 필요가 없고 러빙 처리도 불필요하기 때문에, 상기 러빙 처리로 인한 정전 파괴(electrostatic discharge damage)가 방지될 수 있고 제작 공정시 상기 액정 표시 장치의 대미지가 저감될 수 있다. 따라서, 상기 액정 표시 장치의 생산성이 향상될 수 있다. 산화물 반도체막을 포함하는 트랜지스터는 정전기의 영향에 의해 상기 트랜지스터의 전기적 특성들이 상당히 변동될 수 있고 설계된 특성들로부터 이탈할 가능성이 있다. 따라서, 상기 산화물 반도체막을 포함하는 트랜지스터를 포함하는 상기 액정 표시 장치에 블루 상을 나타내는 액정 조성물을 사용하는 것이 더 효과적이다.

[0202] 상기 액정 재료의 고유 저항은 1 × 10^{9} Ω·㎝ 이상, 바람직하게 1 × 10^{11} Ω·㎝ 이상, 더 바람직하게 1 × 10^{12} Ω·㎝ 이상이다. 본 명세서에서 상기 고유 저항은 20℃에서 측정된다.

[0203] 상기 액정 표시 장치의 유지 용량소자의 용량은 상기 화소부 등의 상기 트랜지스터의 누설 전류를 고려하여 설정되어, 전하가 미리 결정된 기간 동안 유지될 수 있다. 상기 유지 용량소자의 용량은 상기 트랜지스터 등의 오프-상태 전류를 고려하여 설정될 수 있다. 본 명세서에 개시된 산화물 반도체막을 포함하는 트랜지스터를 사용함으로써, 상기 유지 용량소자의 용량으로서 각각의 화소의 액정의 용량의 1/3 이하, 바람직하게 1/5 이하의 용

량이면 충분하다.

[0204] 본 명세서에 개시된 상기 산화물 반도체막을 포함하는 트랜지스터에서, 상기 오프 상태의 전류(오프-상태 전류)는 낮게 억제될 수 있다. 따라서, 화상 신호와 같은 전기 신호가 장기간 유지될 수 있고 기록 간격은 온 상태에서 더 길게 설정될 수 있다. 따라서, 전력 소비를 억제하는 효과에 이르는 리프레시 동작의 빈도가 저감될 수 있다.

[0205] 또한, 본 명세서에 개시된 상기 산화물 반도체막을 포함하는 트랜지스터에서, 비교적 높은 전계 효과 이동도가 획득될 수 있어서, 상기 트랜지스터가 고속으로 동작할 수 있다. 예를 들어, 고속으로 동작할 수 있는 이러한 트랜지스터를 액정 표시 장치에 사용하여, 화소부의 스위칭 트랜지스터 및 구동 회로부의 구동 트랜지스터가 하나의 기판 위에 형성될 수 있다. 즉, 구동 회로로서 실리콘 웨이퍼 등을 사용하여 형성된 반도체 장치가 부가적으로 필요하지 않아, 상기 반도체 장치의 부품 수가 저감될 수 있다. 게다가, 고속으로 동작할 수 있는 상기 트랜지스터는 또한 상기 화소부에 사용될 수 있어, 고품질 화상을 제공할 수 있다.

[0206] 상기 액정 표시 장치로, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(anti-ferroelectric liquid crystal) 모드 등이 사용될 수 있다.

[0207] 수직 배향(VA) 모드를 활용하는 투과형 액정 표시 장치와 같은 노멀리 블랙 액정 표시 장치가 사용될 수 있다. 상기 수직 배향 모드로서, 일부 예들, 예를 들어, MVA(multi-domain vertical alignment) 모드, PVA(Patterned vertical alignment) 모드, 또는 ASV(advanced super view) 모드가 사용될 수 있다. 게다가, 본 실시형태는 VA 액정 표시 장치에 적용될 수 있다. 상기 VA 액정 표시 장치는 액정 표시 패널의 액정 분자들의 배향이 제어된 일종의 형태를 갖는다. 상기 VA 액정 표시 장치에서, 액정 분자들은 전압이 인가되지 않을 때 패널 표면에 대해 수직인 방향으로 배향된다. 더욱이, 화소가 일부 영역들(서브픽셀들)로 분할되고 분자들이 각각의 영역들에서 상이한 방향들로 배향되는 멀티 도메인화(domain multiplication) 또는 멀티-도메인 설계라고 하는 방법을 사용할 수 있다.

[0208] 상기 표시 장치에서, 블랙 매트릭스(차광층), 편광부재, 위상차부재, 또는 반사-방지 부재와 같은 광학 부재(광학 기판) 등이 적절히 제공될 수 있다. 예를 들어, 편광 기판 및 위상차 기판으로 구성된 원 편광(circular polarizer)이 제공될 수 있다. 게다가, 백라이트, 사이드 라이트 등이 광원으로서 사용될 수 있다.

[0209] 상기 화소부의 표시 방법으로서, 프로그레시브 방식, 인터레이스 방식 등이 채용될 수 있다. 또한, 컬러 표시시 화소에서 제어된 색 요소들은 3가지 컬러들: R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응)로 제한되지 않는다. 예를 들어, R, G, B, 및 W(W는 백색에 대응); 또는 R, G, B, 및 하나 이상의 황색, 시안, 마젠타 등이 사용될 수 있다. 또한, 표시 영역들의 크기들은 색 요소들의 각각의 점들 사이에서 다를 수 있다. 개시된 발명은 컬러 표시를 위한 표시 장치로 제한되지 않고, 개시된 발명은 또한 흑백 표시를 위한 표시 장치에 적용될 수 있다.

[0210] 대안적으로, 상기 표시 장치에 포함된 상기 표시 소자로서, 일렉트로루미네선스를 활용하는 발광 소자가 사용될 수 있다. 일렉트로루미네선스를 사용하는 발광 소자들은 발광 재료가 유기 화합물 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 하고, 후자는 무기 EL 소자라고 한다.

[0211] 상기 유기 EL 소자에서, 상기 발광 소자에 전압을 인가함으로써, 전자들 및 정공들이 한 쌍의 전극들로부터 발광 유기 화합물을 함유하는 층으로 각각 주입되고, 전류가 흐른다. 상기 캐리어들(전자들 및 정공들)이 재결합하여 상기 발광 유기 화합물이 여기된다. 상기 발광 유기 화합물이 여기 상태로부터 기저 상태로 돌아가서 발광한다. 이러한 발광 소자는 이러한 메커니즘으로 인해 전류-여기형 발광 소자라고 한다. 본 실시형태에서, 상기 발광 소자로서 유기 EL 소자가 사용된 예가 설명된다.

[0212] 상기 무기 EL 소자들은 소자 구조들에 따라 분산형 무기 EL 소자 및 박막 무기 EL 소자로 분류된다. 상기 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더에 분산된 발광층을 갖고, 발광 메커니즘은 도너 준위 및 억셉터 준위를 활용하는 도너-억셉터 재결합형 발광이다. 상기 박막 무기 EL 소자는 발광층이 유전체층들 사이에 개재되고, 또한 전극들 사이에 개재된 구조를 갖고, 발광 메커니즘은 금속 이온들의 내부 쉘 전자 천이를 활용하는 국재형 발광이다. 유기 EL 소자가 본원에서 설명을 위해 상기 발광 소자로서 사용된다.

[0213] 상기 발광 소자로부터 발광을 추출하기 위해, 상기 한 쌍의 전극들 중 적어도 하나는 투광성을 가져야 한다. 트랜지스터 및 상기 발광 소자가 기판 위에 형성된다. 상기 발광 소자는 다음 발광 구조들 중 어느 것을 채용할

수 있다: 발광이 상기 기판의 반대쪽 표면으로부터 추출되는 톱 이미션 구조, 발광이 상기 기판 측 표면을 통해 추출되는 보텀 이미션 구조, 또는 상기 기판의 반대쪽 표면 및 상기 기판 측 표면을 통해 추출되는 듀얼 이미션 구조.

[0214] 표시 소자로서 발광 소자가 사용된 발광 장치의 예들이 도 5의 (A) 및 (B) 및 도 6의 (B)에 도시된다.

[0215] 도 5의 (A)는 상기 발광 장치의 평면도이고, 도 5의 (B)는 도 5의 (A)의 쇄선들 S1-T1, S2-T2, 및 S3-T3을 따라 취해진 단면도이다. 도 5의 (A)의 평면도에서, 전계 발광층(542) 및 제 2 전극층(543)은 도시되지 않았다는 것을 주의한다.

[0216] 도 5의 (A) 및 (B)에 도시된 상기 발광 장치는 기판(500) 위에, 트랜지스터(510), 용량소자(520), 및 배선층들의 교차부(530)를 포함한다. 상기 트랜지스터(510)는 발광 소자(540)에 전기적으로 접속된다. 도 5의 (A) 및 (B)는 상기 기판(500)을 통해 상기 발광 소자(540)로부터 광이 추출되는 보텀 이미션 발광 장치를 도시한다는 것을 주의한다.

[0217] 실시형태 1에 설명된 상기 트랜지스터들 중 어느 것이 상기 트랜지스터(510)에 적용될 수 있다. 본 실시형태에서, 실시형태 1에 설명된 상기 트랜지스터(440)와 유사한 구조를 갖는 트랜지스터가 사용된 예가 설명된다. 상기 트랜지스터(510)는 보텀-게이트 구조를 갖는 스태거형 트랜지스터이다.

[0218] 상기 트랜지스터(510)는 게이트 전극층들(511a 및 511b), 게이트 절연막(502), 산화물 반도체막(512), 및 각각 소스 전극층 또는 드레인 전극층으로 기능하는 도전층들(513a 및 513b)을 포함한다.

[0219] 상기 트랜지스터(510)는 1×10^{18} spins/㎤ 이하, 바람직하게 1×10^{17} spins/㎤ 이하, 더 바람직하게 1×10^{16} spins/㎤ 이하의 스핀 밀도를 갖는 산화물 반도체막을 포함한다. 따라서, 상기 트랜지스터(510)는 안정한 전기적 특성들을 갖는 노멀리-오프 트랜지스터일 수 있다.

[0220] 결과적으로, 도 5의 (A) 및 (B)에 도시된 상기 트랜지스터(510)를 포함하는 본 실시형태의 반도체 장치는 고 신뢰성을 가질 수 있다.

[0221] 상기 용량소자(520)는 도전층들(521a 및 521b), 상기 게이트 절연막(502), 산화물 반도체막(522), 및 도전층(523)을 포함한다. 상기 게이트 절연막(502) 및 상기 산화물 반도체막(522)이 상기 도전층(523)과 상기 도전층들(521a 및 521b) 사이에 개재되어 상기 용량소자가 형성된다.

[0222] 상기 배선층들의 교차부(530)는 도전층(533)과 상기 게이트 전극층들(511a 및 511b)의 교차부이다. 상기 도전층(533)과 상기 게이트 전극층들(511a 및 511b)은 상기 게이트 절연막(502)을 개재하여 서로 교차한다.

[0223] 본 실시형태에서, 30㎚ 두께의 티타늄막이 상기 게이트 전극층(511a) 및 상기 도전층(521a)으로 사용되고, 200㎚ 두께의 구리 박막이 상기 게이트 전극층(511b) 및 상기 도전층(521b)으로 사용된다. 따라서, 상기 게이트 전극층은 티타늄막 및 구리 박막의 적층 구조를 갖는다.

[0224] 25㎚ 두께의 IGZO막이 상기 산화물 반도체막들(512 및 522)로 사용된다.

[0225] 층간 절연막(504)이 상기 트랜지스터(510), 상기 용량소자(520), 및 상기 배선층들의 교차부(530) 위에 형성된다. 상기 층간 절연막(504) 위에, 컬러 필터층(505)이 상기 발광 소자(540)와 중첩하는 영역에 제공된다. 평탄화 절연막으로 기능하는 절연막(506)이 상기 층간 절연막(504) 및 상기 컬러 필터층(505) 위에 제공된다.

[0226] 제 1 전극층(541), 상기 전계 발광층(542), 및 상기 제 2 전극층(543)이 순서대로 적층된 적층 구조를 갖는 상기 발광 소자(540)가 상기 절연막(506) 위에 제공된다. 상기 제 1 전극층(541) 및 상기 도전층(513a)은 상기 도전층(513a)에 도달하는 상기 절연막(506) 및 상기 층간 절연막(504)에 형성된 개구에서 서로 접하고, 따라서 상기 발광 소자(540) 및 상기 트랜지스터(510)가 서로 전기적으로 접속된다. 상기 제 1 전극층(541)의 일부 및 상기 개구를 덮도록 격벽(507)이 제공된다는 것을 주의한다.

[0227] 상기 층간 절연막(504)으로서, 플라즈마 CVD법에 의해 형성된 200㎚ 이상 600㎚ 이하의 두께를 갖는 산화질화실리콘막이 사용될 수 있다. 또한, 1500㎚ 두께의 감광성 아크릴막 및 1500㎚ 두께의 감광성 폴리이미드막이 각각 상기 절연막(506) 및 상기 격벽(507)으로서 사용될 수 있다.

[0228] 상기 컬러 필터층(505)으로서, 예를 들어, 유채색 투광성 수지가 사용될 수 있다. 이러한 유채색 투광성 수지로서, 감광성 유기 수지 또는 비-감광성 유기 수지가 사용될 수 있다. 공정의 간략화에 이르는, 레지스트 마스크

들의 수가 저감될 수 있기 때문에, 감광성 유기 수지층이 사용되는 것이 바람직하다.

[0229] 유채색 컬러들은 흑색, 회색, 및 백색과 같은 무채색을 제외한 컬러들이다. 상기 컬러 필터층은 상기 유채색 컬러의 광만을 투과하는 재료를 사용하여 형성된다. 유채색 컬러로서, 적색, 녹색, 청색 등이 사용될 수 있다. 시안, 마젠타, 황색 등이 또한 사용될 수 있다. "유채색 컬러의 광만을 투과"는 상기 컬러 필터층을 투과한 광이 상기 유채색 컬러의 광의 파장에 피크를 갖는 것을 의미한다. 상기 컬러 필터층의 두께는 함유된 착색 재료의 농도와 투광율 간의 관계를 고려하여 적절히 최적으로 제어될 수 있다. 예를 들어, 상기 컬러 필터층(505)의 두께는 1500㎚ 이상 2000㎚ 이하일 수 있다.

[0230] 도 6의 (B)에 도시된 상기 발광 장치에서, 표시 소자인 발광 소자(4513)는 상기 화소부(4002)에 제공된 상기 트랜지스터(4010)에 전기적으로 접속된다. 상기 발광 소자(4513)의 구조는 상기 제 1 전극층(4030), 전계 발광층(4511), 및 상기 제 2 전극층(4031)을 포함하는 도시된 적층 구조로 제한되지 않는다. 상기 발광 소자(4513)의 구조는 상기 발광 소자(4513)로부터 광이 추출되는 방향 등에 따라 적절히 변경될 수 있다.

[0231] 유기 절연 재료 또는 무기 절연 재료를 사용하여 격벽(4510) 및 상기 격벽(507)이 형성된다. 상기 제 1 전극층(4030) 및 상기 제 1 전극층(541) 위에 각각 개구들을 갖도록 상기 격벽(4510) 및 상기 격벽(507)이 감광성 수지 재료를 사용하여 형성되어, 각각의 개구의 사이드월이 연속한 곡면을 갖는 경사진 표면으로 형성되는 것이 특히 바람직하다.

[0232] 상기 전계 발광층들(4511 및 542)은 단층 또는 적층된 복수의 층들을 사용하여 형성될 수 있다.

[0233] 산소, 수소, 수분, 이산화탄소 등이 상기 발광 소자들(4513 및 540)로 혼입되는 것을 방지하기 위해 상기 제 2 전극층(4031) 및 상기 격벽(4510) 위 및 상기 제 2 전극층(543) 및 상기 격벽(507) 위에 보호막이 형성될 수 있다. 상기 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등이 형성될 수 있다.

[0234] 또한, 상기 발광 소자들(4513 및 540)은 증착법으로 성막된 유기 화합물을 함유하는 각각의 층들로 덮일 수 있어서 산소, 수소, 수분, 이산화탄소 등이 상기 발광 소자들(4513 및 540)로 혼입하지 않는다.

[0235] 게다가, 상기 기판(4001), 상기 기판(4006), 및 상기 씰재(4005)로 형성된 공간에 밀봉을 위한 충전재(4514)가 제공된다. 이러한 방식으로, 높은 기밀성 및 낮은 탈가스성을 갖는 보호막(라미네이트막 또는 자외선 경화 수지막과 같은) 또는 커버재로 상기 발광 소자들(4513 및 540)이 패키징(밀봉)되어 상기 발광 소자들(4513 및 540)이 외기에 노출되지 않는 것이 바람직하다.

[0236] 상기 충전재(4514)로서, 질소, 또는 아르곤과 같은 불활성 가스뿐만 아니라 자외선 경화 수지 또는 열 경화 수지가 사용될 수 있다. 예를 들어, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 예를 들어, 질소가 상기 충전재로서 사용된다.

[0237] 게다가, 필요하다면, 편광판, 원편광판(타원 편광판을 포함), 위상차판(1/4 파장판 또는 1/2 파장판), 또는 컬러 필터와 같은 광학막이 상기 발광 소자의 발광 표면에 적절히 제공될 수 있다. 또한, 상기 편광판 또는 상기 원편광판에 반사 방지막이 제공될 수 있다. 예를 들어, 반사된 광이 상기 표면의 요철로 인해 확산될 수 있는 안티-글레어(anti-glare) 처리가 눈부심을 저감하기 위해 수행될 수 있다.

[0238] 또한, 전자 잉크가 구동되는 전자 종이가 상기 표시 장치로서 제공될 수 있다. 상기 전자 종이는 또한 전기 영동 표시 장치(전기 영동 표시)라고도 하고 종이와 같은 가독성을 나타내고, 다른 표시 장치들보다 낮은 전력 소비를 갖고, 박막 경량으로 제작할 수 있기 때문에 유리하다.

[0239] 상기 전기 영동 표시 장치는 다양한 모드들을 가질 수 있지만, 상기 전기 영동 표시 장치는 각각 플러스로 대전된 제 1 입자들 및 마이너스로 대전된 제 2 입자들을 함유하는, 용매 또는 용질에 분산된 복수의 마이크로캡슐들을 함유한다. 상기 마이크로캡슐들에 전계를 인가함으로써, 상기 마이크로캡슐들의 상기 입자들이 서로 반대 방향으로 이동하고 한 측면에 모인 상기 입자들의 컬러만이 표시된다. 상기 제 1 입자들 및 상기 제 2 입자들은 각각 염료를 포함하고 전계가 없이 이동하지 않는다. 더욱이, 상기 제 1 입자들 및 상기 제 2 입자들은 상이한 컬러들을 갖는다(무색일 수 있음).

[0240] 따라서, 전기 영동 표시 장치는 높은 유전 상수를 갖는 물질이 고 전계 영역으로 이동하는 유전 영동 효과(dielectrophoretic effect)를 활용하는 표시 장치이다.

[0241] 상기 마이크로캡슐들이 용매에 분산된 용액을 전자 잉크라고 한다. 이러한 전자 잉크는 유리, 플라스틱, 옷, 종

이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터 또는 염료를 갖는 입자들을 사용함으로써 컬러 표시가 또한 달성될 수 있다.

[0242] 상기 마이크로캡슐들의 상기 제 1 입자들 및 상기 제 2 입자들은 각각 도전성 재료, 절연 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선트 재료, 일렉트로크로믹 재료, 및 자기 영동 재료로부터 선택된 단일 재료로 형성되거나 이들 중 어느 것의 합성 재료로 형성될 수 있다.

[0243] 상기 전자 종이로서, 트위스팅 볼 표시 방식을 사용하는 표시 장치가 사용될 수 있다. 상기 트위스팅 볼 표시 방식은 각각 흑색 및 백색으로 채색된 구형 입자들이 표시 소자에 사용된 전극층들인 제 1 전극층과 제 2 전극층 사이에 배열되고, 상기 구형 입자들의 배향을 제어하기 위해 상기 제 1 전극층과 상기 제 2 전극층 사이에 전위차가 발생하여, 표시가 수행되는 방법을 의미한다.

[0244] 도 4의 (A) 내지 (C), 도 5의 (A) 및 (B), 및 도 6의 (A) 및 (B)에서, 유리 기판뿐만 아니라 가요성 기판이 상기 기판들(4001, 500, 및 4006)로 사용될 수 있다. 예를 들어, 투광성 플라스틱 기판 등이 사용될 수 있다. 플라스틱으로서, FRP(fiberglass-reinforced plastics)판, PVF(polyvinyl fluoride)막, 폴리에스테르막, 또는 아크릴 수지막이 사용될 수 있다. 상기 투광성이 필요하지 않은 경우, 알루미늄, 스테인리스 스틸 등의 금속 기판(금속막)이 사용될 수 있다. 예를 들어, 알루미늄 호일이 PVF막들 또는 폴리에스테르막들 사이에 개재된 구조의 시트가 사용될 수 있다.

[0245] 본 실시형태에서, 플라즈마 CVD법에 의해 형성된 산화질화 실리콘막이 상기 절연막(4020)으로 사용된다.

[0246] 산화 알루미늄막이 상기 산화질화 실리콘막 위에 형성된 후 가열 처리가 수행되는 것이 바람직하다.

[0247] 상기 산화 알루미늄막은 산소 및 수소와 수분과 같은 불순물들의 상기 막을 통한 침투를 방지하는 높은 차폐 효과(차단 효과)를 갖는다.

[0248] 따라서, 상기 제작 공정 시 및 후에, 상기 산화 알루미늄막은 변동을 유발할 수 있는 수소 및 수분과 같은 불순물들의 상기 산화질화 실리콘막으로의 혼입 및 산소의 방출을 방지하기 위한 보호막으로서 기능한다.

[0249] 각각 평탄화 절연막으로 기능하는 상기 절연막들(4021 및 506)은 아크릴, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드, 또는 에폭시와 같이 내열성을 갖는 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료들 외에, 저 유전상수 재료(low-k 재료), 실록산계 수지, 인 유리(PSG), 인붕소 유리(BPSG) 등을 또한 사용할 수 있다. 상기 절연막들은 이들 재료들로부터 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다는 것을 주의한다.

[0250] 상기 절연막들(4021 및 506)을 형성하는 방법에 특별한 제한은 없고, 재료에 따라 다음의 방법 또는 도구(장비)가 사용될 수 있다: 스퍼터링법, 스핀 코팅, 디핑(dipping), 스프레이 코팅, 액적 토출법(잉크 젯법과 같은), 인쇄법(스크린 인쇄 또는 오프셋 인쇄와 같은), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등.

[0251] 상기 표시 장치는 상기 광원 또는 상기 표시 소자로부터의 광을 투과함으로써 화상을 표시한다. 따라서, 광이 투과되는 상기 화소부에 제공된 상기 기판과 상기 절연막 및 상기 도전막과 같은 상기 박막들은 상기 가시광 파장 범위의 광에 대해 투광성을 갖는다.

[0252] 상기 표시 소자에 전압을 인가하기 위한 상기 제 1 전극층 및 상기 제 2 전극층(또한 화소 전극층, 공통 전극층, 대향 전극층 등이라고 함)은 광이 추출되는 방향, 상기 전극층이 제공된 위치, 및 상기 전극층의 패턴 구조에 따라 투광성 또는 광 반사성을 갖는다.

[0253] 상기 제 1 전극층들(4030 및 541) 및 상기 제 2 전극층들(4031 및 543)은 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물, 또는 그래핀과 같은 투광성 도전성 재료를 사용하여 형성될 수 있다.

[0254] 상기 제 1 전극층들(4030 및 541) 및 상기 제 2 전극층들(4031 및 543)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 또는 은(Ag)과 같은 금속으로부터 선택된 일종 또는 복수 종들, 이들의 합금, 및 이들 금속들의 질화물을 사용하여 형성될 수 있다.

[0255] 본 실시형태에서, 도 5의 (A) 및 (B)에 도시된 상기 발광 장치는 보텀 이미션 구조를 갖기 때문에, 상기 제 1 전극층(541)은 투광성을 갖고 상기 제 2 전극층(543)은 광 반사성을 갖는다. 따라서, 상기 제 1 전극층(541)으

로서 금속막을 사용하는 경우, 상기 막은 투광성을 보장하기에 충분한 박막으로 형성되는 것이 바람직하고, 상기 제 2 전극층(543)으로서 투광성 도전막을 사용하는 경우, 광 반사성 도전막이 적층되는 것이 바람직하다.

[0256] 도전성 고분자(도전성 폴리머라고도 함)를 함유하는 도전성 조성물이 상기 제 1 전극층들(4030 및 541) 및 상기 제 2 전극층들(4031 및 543)로 사용될 수 있다. 상기 도전성 고분자로서, π-전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 둘 이상의 아닐린, 피롤, 및 티오펜의 공중합체 또는 그 유도체를 들 수 있다.

[0257] 상기 트랜지스터는 정전기 등으로 인해 파괴되기 쉽기 때문에, 상기 구동 회로를 보호하기 위한 보호 회로가 제공되는 것이 바람직하다. 상기 보호 회로는 비선형 소자를 사용하여 형성되는 것이 바람직하다.

[0258] 상기에 설명된 바와 같이, 실시형태 1에 설명된 상기 트랜지스터들 중 어느 것을 적용함으로써 다양한 기능들을 갖는 반도체 장치들이 제공될 수 있다.

[0259] 본 실시형태에서 설명된 상기 구조들, 방법들 등은 다른 실시형태들에 설명된 상기 구조들, 방법들 중 어느 것과 적절히 조합될 수 있다.

[0260] [실시형태 3]

[0261] 대상물의 데이터를 판독하기 위한 이미지 센서 기능을 갖는 반도체 장치가 상기 실시형태 1에 설명된 상기 트랜지스터들 중 어느 것을 사용하여 형성될 수 있다.

[0262] 도 7의 (A) 및 (B)는 이미지 센서 기능을 갖는 반도체 장치의 예를 도시한다. 도 7의 (A)는 포토센서의 등가 회로도이고, 도 7의 (B)는 상기 포토센서의 일부의 단면도이다.

[0263] 포토다이오드(602)의 한 전극은 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 상기 포토다이오드(602)의 다른 전극은 트랜지스터(640)의 게이트에 전기적으로 접속된다. 상기 트랜지스터(640)의 소스 및 드레인 중 하나는 포토센서 기준 신호선(672)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 트랜지스터(656)의 소스 및 드레인 중 하나에 전기적으로 접속된다. 상기 트랜지스터(656)의 게이트는 게이트 신호선(659)에 전기적으로 접속되고, 상기 소스 및 상기 드레인 중 다른 하나는 포토센서 출력 신호선(671)에 전기적으로 접속된다.

[0264] 본 명세서의 상기 회로도들에서, 산화물 반도체막을 포함하는 트랜지스터는 기호 "OS"로 표기되어, 산화물 반도체막을 포함하는 트랜지스터로서 명확하게 식별된다. 도 7의 (A)에서, 상기 트랜지스터들(640 및 656)은 각각 실시형태 1에 설명된 상기 트랜지스터들 중 어느 것이 적용될 수 있는, 산화물 반도체막을 포함하는 트랜지스터들이다. 본 실시형태는 실시형태 1에 설명된 상기 트랜지스터(440)와 유사한 구조를 갖는 트랜지스터가 사용된 예를 도시한다. 상기 트랜지스터들(640 및 656)은 각각 보텀-게이트 구조를 갖는 스태거형 트랜지스터이다.

[0265] 도 7의 (B)는 상기 포토센서의 상기 포토다이오드(602) 및 상기 트랜지스터(640)의 단면도이다. 센서로 기능하는 상기 트랜지스터(640) 및 상기 포토다이오드(602)가 절연 표면을 갖는 기판(601)(소자 기판) 위에 제공된다. 기판(613)은 접착층(608)을 사용하여 상기 포토다이오드(602) 및 상기 트랜지스터(640) 위에 제공된다.

[0266] 절연막(631), 층간 절연막(633), 및 층간 절연막(634)이 상기 트랜지스터(640) 위에 제공된다. 상기 포토다이오드(602)는 상기 층간 절연막(633) 위에 제공된다. 상기 포토다이오드(602)에서, 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 상기 층간 절연막(633) 위에 형성된 전극층들(641a 및 641b)과 상기 층간 절연막(634) 위에 형성된 전극층(642) 사이에서 상기 층간 절연막(633) 측으로부터 순서대로 적층된다.

[0267] 상기 전극층(641b)은 상기 층간 절연막(634) 위에 형성된 도전층(643)에 전기적으로 접속되고, 상기 전극층(642)은 상기 전극층(641a)을 통해 도전층(645)에 전기적으로 접속된다. 상기 도전층(645)은 상기 트랜지스터(640)의 상기 게이트 전극층에 전기적으로 접속되고, 상기 포토다이오드(602)는 상기 트랜지스터(640)에 전기적으로 접속된다.

[0268] 여기서, 상기 제 1 반도체막(606a)으로서 p-형 도전성을 갖는 반도체막, 상기 제 2 반도체막(606b)으로서 고 저항 반도체막(i-형 반도체막), 및 상기 제 3 반도체막(606c)으로서 n-형 도전성을 갖는 반도체막이 적층된 pin형 포토다이오드가 예로서 도시된다.

[0269] 상기 제 1 반도체막(606a)은 p-형 반도체막이고 p-형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막을 사용하여 형성될 수 있다. 상기 제 1 반도체막(606a)은 13족에 속한 불순물 원소(예를 들어, 붕소(B))를 함유하는 반도체 소스 가스를 사용하여 플라즈마 CVD법에 의해 형성된다. 상기 반도체 소스 가스로서, 실란

(SiH_4)이 사용될 수 있다. 대안적으로, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등이 사용될 수 있다. 또한 대안적으로, 불순물 원소를 함유하지 않는 비정질 실리콘막이 형성된 후, 확산법 또는 이온 주입법에 의해 불순물 원소가 상기 비정질 실리콘막에 첨가될 수 있다. 이온 주입법 등에 의해 상기 불순물 원소가 첨가된 후 상기 불순물 원소를 확산시키기 위해 가열 등이 수행될 수 있다. 그 경우, 상기 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등이 사용될 수 있다. 상기 제 1 반도체막(606a)은 10㎚ 이상 50㎚ 이하의 두께로 형성되는 것이 바람직하다.

[0270] 상기 제 2 반도체막(606b)은 i-형 반도체막(진성 반도체막)이고 비정질 실리콘막을 사용하여 형성된다. 상기 제 2 반도체막(606b)의 형성을 위해, 상기 반도체 소스 가스를 사용하여 플라즈마 CVD법에 의해 비정질 실리콘막이 형성된다. 상기 반도체 소스 가스로서, 실란(SiH_4)이 사용될 수 있다. 대안적으로, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등이 사용될 수 있다. 상기 제 2 반도체막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등으로 형성될 수 있다. 상기 제 2 반도체막(606b)은 200㎚ 이상 1000㎚ 이하의 두께로 형성되는 것이 바람직하다.

[0271] 상기 제 3 반도체막(606c)은 n-형 반도체막이고 n-형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막을 사용하여 형성될 수 있다. 상기 제 3 반도체막(606c)은 15족에 속한 불순물 원소(예를 들어, 인(P))를 함유하는 반도체 소스 가스를 사용하여 플라즈마 CVD법에 의해 형성된다. 상기 반도체 소스 가스로서, 실란(SiH_4)이 사용될 수 있다. 대안적으로, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등이 사용될 수 있다. 또한 대안적으로, 불순물 원소를 함유하지 않는 비정질 실리콘막이 형성된 후, 확산법 또는 이온 주입법에 의해 불순물 원소가 상기 비정질 실리콘막에 첨가될 수 있다. 이온 주입법 등에 의해 상기 불순물 원소가 첨가된 후 상기 불순물 원소를 확산시키기 위해 가열 등이 수행될 수 있다. 그 경우, 상기 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등이 사용될 수 있다. 상기 제 3 반도체막(606c)은 20㎚ 이상 200㎚ 이하의 두께로 형성되는 것이 바람직하다.

[0272] 상기 제 1 반도체막(606a), 상기 제 2 반도체막(606b), 및 상기 제 3 반도체막(606c)이 반드시 비정질 반도체를 사용하여 형성될 필요는 없고, 다결정 반도체 또는 미결정 반도체(세미-아모퍼스 반도체: SAS)를 사용하여 형성될 수 있다.

[0273] 광전 효과에 의해 발생된 정공들의 이동도는 전자들의 이동도보다 낮다. 따라서, pin형 포토다이오드는 상기 p-형 반도체막 측 표면이 수광면으로 사용될 때 더 양호한 특성들을 갖는다. 여기서, pin형 포토다이오드가 형성된 상기 기판(601)의 표면으로부터 상기 포토다이오드(602)에 의해 수용된 광이 전기 신호들로 변환되는 예가 설명된다. 또한, 상기 수광면의 상기 반도체막과 반대되는 도전형을 갖는 반도체막으로부터의 광은 외란광이고, 따라서, 상기 전극층은 차광성 도전막을 사용하여 형성된다. 상기 n-형 반도체막 측 표면은 대안적으로 상기 수광면으로 사용될 수 있다.

[0274] 절연 재료를 사용하여, 상기 절연막(631), 상기 층간 절연막(633), 및 상기 층간 절연막(634)은 상기 재료에 따라 다음의 방법을 사용하여 형성될 수 있다: 스퍼터링법, 플라즈마 CVD법, 스핀 코팅, 디핑, 스프레이 코팅, 액적 토출법(잉크 젯법과 같은), 또는 인쇄법(스크린 인쇄 또는 오프셋 인쇄와 같은).

[0275] 상기 절연막(631)은 무기 절연막을 포함하는 단층 또는 적층일 수 있다. 상기 무기 절연막들의 예들은 산화물 절연막(예를 들어, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 및 산화질화 알루미늄층) 및 질화물 절연막(예를 들어, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 및 질화산화 알루미늄층)이다.

[0276] 본 실시형태에서, 상기 절연막(631)으로서 플라즈마 CVD법에 의해 형성된 산화질화 실리콘막이 사용된다.

[0277] 상기 산화질화 실리콘막 위에 산화 알루미늄막이 형성된 후 가열 처리가 수행되는 것이 바람직하다.

[0278] 상기 산화 알루미늄막은 산소 및 수소와 수분과 같은 불순물들의 상기 막을 통한 침투를 방지하는 높은 차폐 효과(차단 효과)를 갖는다.

[0279] 따라서, 상기 제작 공정 시 및 후에, 상기 산화 알루미늄막은 변동을 유발할 수 있는 수소 및 수분과 같은 불순물들의 상기 산화질화 실리콘막으로의 혼입 및 산소의 방출을 방지하기 위한 보호막으로서 기능한다.

[0280] 표면 거칠기를 저감하기 위해, 각각의 상기 층간 절연막들(633 및 634)로서 평탄화 절연막으로 기능하는 절연막이 사용되는 것이 바람직하다. 상기 층간 절연막들(633 및 634)로서, 예를 들어, 폴리이미드, 아크릴, 벤조사이클로부텐계 수지, 폴리아미드, 또는 에폭시와 같이 내열성을 갖는 유기 절연 재료가 사용될 수 있다. 이러한 유기 절연 재료들 외에, 저 유전상수 재료(low-k 재료), 실록산계 수지, 인 유리(PSG), 인붕소 유리(BPSG) 등의

단층 또는 적층들을 사용할 수 있다.

[0281] 상기 포토다이오드(602)에 입사하는 광(622)을 검출하여, 피검출물의 데이터를 판독할 수 있다. 백라이트와 같은 광원이 상기 피검출물의 데이터를 판독할 때 사용될 수 있다.

[0282] 상기 트랜지스터(640)는 1×10^{18} spins/㎤ 이하, 바람직하게 1×10^{17} spins/㎤ 이하, 더 바람직하게 1×10^{16} spins/㎤ 이하의 스핀 밀도를 갖는 산화물 반도체막을 포함한다. 따라서, 상기 트랜지스터(640)는 안정한 전기적 특성들을 갖는 노멀리-오프 트랜지스터일 수 있다.

[0283] 결과적으로, 본 실시형태의 상기 트랜지스터(640)를 포함하는 반도체 장치는 고 신뢰성을 가질 수 있다.

[0284] 본 실시형태에서 설명된 상기 구조들, 방법들 등은 다른 실시형태들에 설명된 상기 구조들, 방법들 중 어느 것과 적절히 조합될 수 있다.

[0285] [실시형태 4]

[0286] 본 명세서에 개시된 반도체 장치는 다양한 전자 기기들(게임기들을 포함)에 적용될 수 있다. 전자 기기들의 예들은 텔레비전 장치(텔레비전 또는 텔레비전 수상기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 및 디지털 비디오 카메라와 같은 카메라들, 디지털 포토 프레임, 휴대 전화, 휴대형 게임기, 휴대형 정보 단말, 오디오 재생 장치, 게임기(예를 들어, 파칭코기 또는 슬롯 머신), 및 게임 콘솔을 포함한다. 이들 전자 기기들의 구체적인 예들은 도 8의 (A) 내지 (C)에 도시된다.

[0287] 도 8의 (A)는 표시부를 갖는 테이블(9000)을 도시한다. 상기 테이블(9000)에서, 표시부(9003)는 하우징(9001)에 내장되고 상기 표시부(9003)에 화상이 표시될 수 있다. 상기 하우징(9001)은 4개의 각부들(leg portions)(9002)에 의해 지지된다는 것을 주의한다. 또한, 상기 하우징(9001)에 전력을 공급하기 위해 전원 코드(9005)가 제공된다.

[0288] 실시형태 1 내지 실시형태 3 중 어느 것에 설명된 상기 반도체 장치가 상기 표시부(9003)로 사용될 수 있어서 상기 전자 기기가 고 신뢰성을 가질 수 있다.

[0289] 상기 표시부(9003)는 터치-입력 기능을 갖는다. 사용자들이 손가락 등으로 상기 테이블(9000)의 상기 표시부(9003)에 표시된 표시 버튼들(9004)을 터치할 때 상기 사용자들은 화면의 조작 및 데이터 입력을 수행할 수 있다. 또한, 상기 테이블이 가전 제품들과 통신하거나 상기 가전 제품들을 제어하도록 만들어졌을 때, 상기 표시부(9003)는 상기 화면을 조작함으로써 상기 가전 제품들을 제어하는 제어 디바이스로서 기능할 수 있다. 예를 들어, 이미지 센서 기능을 갖는 상기 반도체 장치를 사용하여, 상기 표시부(9003)는 터치-입력 기능을 가질 수 있다.

[0290] 또한, 상기 표시부(9003)의 화면은 상기 하우징(9001)에 제공된 힌지로 바닥에 수직으로 위치될 수 있어서, 상기 테이블(9000)은 또한 텔레비전 장치로 사용될 수 있다. 대화면을 갖는 텔레비전 장치가 작은 방에 설치될 때, 자유 공간이 감소되지만, 표시부가 상기 테이블에 내장될 때, 방의 공간이 효율적으로 사용될 수 있다.

[0291] 도 8의 (B)는 텔레비전 장치(9100)를 도시한다. 상기 텔레비전 장치(9100)에서, 표시부(9103)는 하우징(9101)에 내장되고 상기 표시부(9103)에 화상이 표시될 수 있다. 여기서 상기 하우징(9101)은 스탠드(9105)에 의해 지지된다는 것을 주의한다.

[0292] 상기 텔레비전 장치(9100)는 상기 하우징(9101)의 조작 스위치 또는 별도의 리모트 컨트롤러(9110)로 조작될 수 있다. 채널들 및 볼륨이 상기 리모트 컨트롤러(9110)의 조작 키(9109)로 제어될 수 있어서 상기 표시부(9103)에 표시된 화상이 제어될 수 있다. 게다가, 상기 리모트 컨트롤러(9110)에 상기 리모트 컨트롤러(9110)로부터 출력된 데이터를 표시하기 위한 표시부(9107)가 제공될 수 있다.

[0293] 도 8의 (B)에 도시된 상기 텔레비전 장치(9100)에 수신기, 모뎀 등이 제공된다. 상기 수신기로 상기 텔레비전 장치(9100)가 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 상기 텔레비전 장치(9100)가 상기 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신기로부터 수신기로) 또는 양방향(송신기와 수신기 사이 또는 수신기들 사이) 데이터 통신이 수행될 수 있다.

[0294] 실시형태 1 내지 실시형태 3 중 어느 것에 설명된 상기 반도체 장치가 상기 표시부들(9103 및 9107)로 사용될 수 있어서 상기 텔레비전 장치 및 상기 리모트 컨트롤러가 고 신뢰성을 가질 수 있다.

[0295] 도 8의 (C)는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이

스(9206) 등을 포함하는 컴퓨터를 도시한다.

[0296] 실시형태 1 내지 실시형태 3 중 어느 것에 설명된 상기 반도체 장치가 상기 표시부(9203)로 사용될 수 있어서 상기 컴퓨터가 고 신뢰성을 가질 수 있다.

[0297] 도 9의 (A) 및 (B)는 접을 수 있는 태블릿의 예를 도시한다. 도 9의 (A)는 펼쳐진 상기 태블릿을 도시한다. 상기 태블릿은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 스위치(9034), 전원 스위치(9035), 전력 절약 모드 스위치(9036), 잠금쇠(9033), 및 조작 스위치(9038)를 포함한다.

[0298] 실시형태 1 내지 실시형태 3 중 어느 것에 설명된 상기 반도체 장치가 상기 표시부들(9631a 및 9631b)로 사용될 수 있어서 상기 태블릿 단말이 고 신뢰성을 가질 수 있다.

[0299] 상기 표시부(9631a)의 일부는 터치 패널 영역(9632a)일 수 있고, 표시된 조작 키들(9638a)을 터치함으로써 데이터가 입력될 수 있다. 상기 표시부(9631a)의 1/2 영역만이 표시 기능을 갖고 다른 1/2 영역은 터치 패널 기능을 갖는 구조가 예로서 도시되지만, 상기 표시부(9631a)는 이 구조로 제한되지 않는다. 상기 표시부(9631a)의 전체 영역이 터치 패널 기능을 가질 수 있다. 예를 들어, 상기 표시부(9631a)는 터치 패널이 되는 전체 영역에 키보드를 표시할 수 있고, 상기 표시부(9631b)는 표시 화면으로 사용될 수 있다.

[0300] 상기 표시부(9631a)와 유사한 방식으로, 상기 표시부(9631b)의 일부는 터치 패널 영역(9632b)일 수 있고, 표시된 조작 키들(9638b)을 터치함으로써 데이터가 입력될 수 있다. 상기 터치 패널에 표시된 키보드 표시 스위칭 지시부(9639)가 손가락, 스타일러스 등으로 터치될 때, 상기 표시부(9631b)에 키보드가 표시될 수 있다.

[0301] 터치 입력이 상기 터치 패널 영역(9632a) 및 상기 터치 패널 영역(9632b)에 동시에 수행될 수 있다.

[0302] 표시 모드들을 스위칭하기 위한 상기 스위치(9034)는 예를 들어, 세로 모드와 가로 모드 사이의 표시 및 흑백 표시와 컬러 표시 사이를 스위칭할 수 있다. 전력 절약 모드로 스위칭하기 위한 상기 스위치(9036)는 상기 태블릿 단말에 내장된 광 센서로 검출된 상기 태블릿 단말의 사용시 외부 광량에 따라 표시 휘도가 최적으로 제어될 수 있다. 자이로스코프 또는 가속도 센서와 같은, 경사를 검출하기 위한 센서를 포함하는 다른 검출 장치가 상기 광 센서에 더하여 상기 태블릿 단말에 내장될 수 있다.

[0303] 도 9의 (A)에서 상기 표시부(9631a) 및 상기 표시부(9631b)는 동일한 표시 면적을 갖지만, 본 발명의 일 실시형태는 이 예로 특별히 제한되는 것은 아니다. 상기 표시부(9631a) 및 상기 표시부(9631b)는 상이한 면적들 또는 상이한 표시 품질을 가질 수 있다. 예를 들어, 상기 표시부들(9631a 및 9631b) 중 하나에 더 고화질 화상들이 표시될 수 있다.

[0304] 도 9의 (B)는 상기 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635), 및 DC-DC 컨버터(9636)를 포함하는 접혀진 상기 태블릿 단말을 도시한다. 예로서, 도 9의 (B)는 상기 배터리(9635) 및 상기 DC-DC 컨버터(9636)를 포함하는 상기 충방전 제어 회로(9634)를 도시한다.

[0305] 상기 태블릿 단말을 접을 수 있기 때문에, 상기 하우징(9630)은 사용하지 않을 때 닫혀질 수 있다. 따라서, 상기 표시부들(9631a 및 9631b)이 보호될 수 있어서, 높은 내구성 및 장시간 사용을 위해 향상된 신뢰성을 갖는 태블릿 단말을 제공할 수 있다.

[0306] 도 9의 (A) 및 (B)에 도시된 상기 태블릿 단말은 또한 다양한 종류들의 데이터 (예를 들어, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 상기 표시부에 캘린더, 날짜, 시간 등을 표시하는 기능, 터치 입력에 의해 상기 표시부에 표시된 데이터를 조작 또는 편집하는 터치-입력 기능, 다양한 종류들의 소프트웨어(프로그램들)에 의해 프로세스를 제어하는 기능 등을 가질 수 있다.

[0307] 상기 태블릿 단말의 표면에 부착된 상기 태양 전지(9633)는 터치 패널, 표시부, 화상 신호 프로세서 등에 전력을 공급할 수 있다. 상기 태양 전지(9633)는 상기 하우징(9630)의 하나 또는 두 표면들에 제공될 수 있어, 상기 배터리(9635)가 효율적으로 충전될 수 있다는 것을 주의한다. 상기 배터리(9635)로서 리튬 이온 배터리를 사용하면 소형화 등에 유리하다.

[0308] 도 9의 (B)에 도시된 상기 충방전 제어 회로(9634)의 상기 구조 및 동작은 도 9의 (C)의 블록도를 참조하여 설명된다. 도 9의 (C)는 상기 태양 전지(9633), 상기 배터리(9635), 상기 DC-DC 컨버터(9636), 컨버터(9637), 스위치들(SW1 내지 SW3), 및 표시부(9631)를 도시한다. 상기 배터리(9635), 상기 DC-DC 컨버터(9636), 상기 컨버터(9637), 및 상기 스위치들(SW1 내지 SW3)은 도 9의 (B)에 도시된 상기 충방전 제어 회로(9634)에 대응한다.

[0309] 먼저, 외부 광을 사용하여 상기 태양 전지(9633)에 의해 전력이 발생되는 경우의 동작 예가 설명된다. 상기 태

양 전지(9633)에 의해 발생된 전력의 전압은 상기 DC-DC 컨버터(9636)에 의해 상승 또는 하강되어, 상기 배터리(9635)를 충전하기 위한 전압이 획득된다. 상기 표시부(9631)가 상기 태양 전지(9633)로부터의 전력으로 동작될 때, 상기 스위치(SW1)가 턴온되고 상기 전력의 전압은 상기 표시부(9631)를 동작시키기 위해 필요한 전압으로 상기 컨버터(9637)에 의해 상승 또는 하강된다. 게다가, 상기 표시부(9631) 상에 표시가 수행되지 않을 때, 상기 스위치(SW1)는 턴오프되고 상기 스위치(SW2)가 턴온되어 상기 배터리(9635)의 충전이 수행된다.

[0310] 충전 수단의 예로서 상기 태양 전지(9633)가 도시되지만, 상기 충전 수단에 대해 특별한 제한은 없고, 상기 배터리(9635)는 압전 소자(piezoelectric element) 또는 열전 변환 소자(thermoelectric conversion element(Peltier element))와 같은 다른 수단으로 충전될 수 있다. 예를 들어, 상기 배터리(9635)는 무선으로(접촉없이) 전력을 송수신함으로써 충전할 수 있는 비접촉 전력 송신 모듈로 충전될 수 있고, 또는 다른 충전 수단이 조합하여 사용된다.

[0311] 본 실시형태에서 설명된 상기 구조들, 방법들 등은 다른 실시형태들에 설명된 상기 구조들, 방법들 중 어느 것과 적절히 조합될 수 있다.

[0312] [실시예 1]

[0313] 본 실시예에서, 산화물 반도체막의 상기 스핀 밀도 및 상기 도전율이 측정된다. 샘플들로서, 실시예 샘플 및 비교예 샘플이 형성된다.

[0314] 상기 산화물 반도체막으로서 다음의 원자수비, In:Ga:Zn = 1:1:1을 갖는 산화물 타깃을 사용하는 스퍼터링법에 의해 석영 기판 위에 100nm 두께의 IGZO막이 형성된다. 형성 조건들은 다음과 같다: 상기 분위기는 아르곤 및 산소 분위기(아르곤:산소 = 100sccm:100sccm), 상기 압력은 0.6Pa, 상기 전력은 5kW, 및 상기 기판 온도는 170℃이다.

[0315] 상기 산화물 반도체막은 질소 분위기 하, 350℃에서 1시간 동안 가열 처리된 후 질소 및 산소 분위기 하, 350℃에서 1시간 동안 가열 처리된다.

[0316] 상기 산화물 반도체막 위에 400nm 두께의 산화질화 실리콘막이 플라즈마 CVD법에 의해 형성된다.

[0317] 실시예 샘플의 상기 산화질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 30sccm 및 상기 N_2O 가스의 유량비는 3000sccm; 상기 압력은 200Pa; 상기 RF 전력(전원 출력)은 150W; 및 상기 기판 온도는 220℃이다.

[0318] 비교예 샘플의 상기 산화질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 30sccm 및 상기 N_2O 가스의 유량비는 3000sccm; 상기 압력은 40Pa; 상기 RF 전력(전원 출력)은 150W; 및 상기 기판 온도는 220℃이다.

[0319] 상기 산화물 반도체막에 도달하는 개구가 상기 산화질화 실리콘막에 형성되고, 도전층이 상기 개구에 형성된다. 상기 도전층은 100nm 두께의 티타늄막, 400nm 두께의 알루미늄막, 및 100nm 두께의 티타늄막의 적층을 갖는다.

[0320] 실시예 샘플 및 비교예 샘플의 상기 산화물 반도체막들의 상기 스핀 밀도는 전자 스핀 공명법(ESR)으로 측정된다. 측정 조건들은 다음과 같다. 상기 온도는 25℃, 상기 마이크로파(9.2GHz)의 전력은 20mW, 상기 자계의 방향은 각각의 상기 산화물 반도체막들의 표면에 평행하고 상기 검출 범위의 하한은 1.0×10^{17} spins/㎤이다. 또한, 실시예 샘플 및 비교예 샘플의 상기 산화물 반도체막들의 도전율이 측정된다.

[0321] 도 10은 실시예 샘플 및 비교예 샘플의 상기 스핀 밀도(막대 그래프) 및 상기 도전율(마름모 꼴)을 도시한다.

[0322] 실시예 샘플의 상기 산화물 반도체막의 상기 스핀 밀도는 범위 1.0×10^{18} spins/㎤ 이하인, 7.8×10^{17} spins/㎤이다. 반대로, 비교예 샘플의 상기 산화물 반도체막의 상기 스핀 밀도는 범위 1.0×10^{18} spins/㎤ 이상인, 2.4×10^{18} spins/㎤이다.

[0323] 실시예 샘플의 상기 산화물 반도체막의 도전율은 범위 1.0×10^{3} S/㎝ 이하인, 1.0×10^{3} S/㎝이다. 실시예 샘플의 상기 산화물 반도체막의 도전율은 범위 1.0×10^{3} S/㎝ 이상인 9.5×10^{4} S/㎝이다.

[0324] 실시예 샘플의 상기 산화물 반도체막은 낮은 스핀 밀도, 적은 결함, 및 낮은 도전율을 갖는다. 상기 산화물 반

도체막으로, 양호한 전기적 특성들을 갖는 노멀리-오프 트랜지스터가 제공될 수 있다.

[0325] [실시예 2]

[0326] 본 실시예에서, 산화물 반도체막을 포함하는 트랜지스터가 형성되고 전기적 특성들이 평가된다.

[0327] 평가를 위해 사용된 상기 트랜지스터로서, 실시예 트랜지스터 및 비교예 트랜지스터가 도 1의 (A) 및 (B)에 도시된 상기 트랜지스터(440)와 유사한 구조를 갖도록 형성된다. 실시예 트랜지스터 및 비교예 트랜지스터를 형성하는 방법들은 이하에 설명된다.

[0328] 유리 기판 위에 절연층으로서 100㎚ 두께의 질화 실리콘막 및 150㎚ 두께의 질화산화 실리콘막이 플라즈마 CVD법에 의해 형성된다. 상기 질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 30sccm, 상기 H_2 가스의 유량비는 800sccm, 및 상기 NH_3 가스의 유량비는 300sccm; 상기 성막을 위한 전력(RF)은 600W; 상기 성막 압력은 60Pa; 및 상기 기판 온도는 330℃이다. 상기 질화산화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 10sccm, 및 상기 N_2O 가스의 유량비는 1200sccm; 상기 성막을 위한 전력(RF)은 30W; 상기 성막 압력은 22Pa; 및 상기 기판 온도는 330℃이다.

[0329] 100㎚ 두께의 텅스텐막이 상기 절연층 위에 스퍼터링법으로 형성되고, 게이트 전극층을 형성하기 위해 에칭법으로 에칭된다.

[0330] 게이트 절연막을 형성하기 위해 100㎚ 두께의 산화질화 실리콘막이 상기 게이트 전극층 위에 고밀도 플라즈마 CVD법으로 형성된다. 상기 산화질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 250sccm, 상기 N_2O 가스의 유량비는 2500sccm, 및 상기 Ar 가스의 유량비는 2500sccm; 상기 압력은 30Pa; 상기 기판 온도는 325℃; 상기 전력은 5kW(주파수: 2.45GHz, 전원들의 수: 4); 및 상기 전극과 상기 기판 사이의 거리는 160㎜이다.

[0331] 산화물 반도체막으로서 다음의 원자수비, In:Ga:Zn = 1:1:1을 갖는 산화물 타깃을 사용하는 스퍼터링법에 의해 상기 게이트 절연막 위에 25㎚ 두께의 IGZO막이 형성된다. 형성 조건들은 다음과 같다: 상기 분위기는 아르곤 및 산소 분위기(아르곤:산소 = 100sccm:100sccm), 상기 압력은 0.6Pa, 상기 전력은 5kW, 및 상기 기판 온도는 170℃이다.

[0332] 상기 IGZO막이 형성되기 전에 진공 하, 170℃에서 4분 동안 가열 처리가 수행된다. 이 가열 처리를 통해, 상기 게이트 절연막의 상기 표면에 흡수된 물이 제거될 수 있다.

[0333] 상기 IGZO막은 웨트 에칭법에 의해 섬형상으로 가공되어, 산화물 반도체막이 형성된다.

[0334] 상기 산화물 반도체막은 질소 분위기 하, 450℃에서 1시간 동안 가열 처리된 후 질소 및 산소 분위기 하, 350℃에서 1시간 동안 가열 처리된다.

[0335] 상기 산화물 반도체막 위에 도전층으로서 100㎚ 두께의 티타늄막, 400㎚ 두께의 알루미늄막, 및 100㎚ 두께의 티타늄막의 적층이 스퍼터링법에 의해 형성되고, 소스 전극층 및 드레인 전극층을 형성하기 위해 에칭에 의해 가공된다.

[0336] 그 후, 질소 분위기 하, 300℃에서 1시간 동안 가열 처리가 수행된다.

[0337] 절연막으로서 600㎚ 두께의 산화질화 실리콘막이 상기 산화물 반도체막, 상기 소스 전극층, 및 상기 드레인 전극층을 덮도록 플라즈마 CVD법에 의해 형성된다.

[0338] 실시예 트랜지스터의 상기 산화질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 30sccm 및 상기 N_2O 가스의 유량비는 4000sccm; 상기 압력은 200Pa; 상기 RF 전력(전원 출력)은 150W; 및 상기 기판 온도는 220℃이다.

[0339] 비교예 트랜지스터의 상기 산화질화 실리콘막은 다음의 성막 조건들 하에서 형성된다: 상기 SiH_4 가스의 유량비는 30sccm 및 상기 N_2O 가스의 유량비는 4000sccm; 상기 압력은 40Pa; 상기 RF 전력(전원 출력)은 150W; 및 상기 기판 온도는 220℃이다.

[0340] 각각의 실시예 트랜지스터 및 비교예 트랜지스터에서, 상기 산화질화 실리콘막 위에 산화 실리콘막이 스퍼터링법에 의해 형성되고, 질소 및 산소 분위기 하, 300℃에서 1시간 동안 가열 처리가 수행된다. 그 후, 상기 산화

실리콘막 위에 아크릴 수지층이 형성되고, 화소 전극층으로서 산화 실리콘을 함유하는 인듐 주석 산화물막이 형성된 후, 질소 분위기 하, 250℃에서 1시간 동안 가열 처리가 수행된다.

[0341] 상기 단계들을 통해, 실시예 트랜지스터 및 비교예 트랜지스터가 형성된다.

[0342] 각각의 실시예 트랜지스터 및 비교예 트랜지스터에서, 상기 채널 길이(L)는 6㎛이고 상기 채널 폭(W)은 50㎛이다.

[0343] 실시예 트랜지스터 및 비교예 트랜지스터의 전기적 특성들이 평가된다.

[0344] 도 11은 실시예 트랜지스터의 게이트 전압(V_g)-드레인 전류(I_d) 특성들 및 전계 효과 이동도를 도시한다. 도 12는 비교예 트랜지스터의 게이트 전압(V_g)-드레인 전류(I_d) 특성들을 도시한다.

[0345] 상기 측정 조건들은 다음과 같다: 상기 드레인 전압(V_d)은 1V 및 10V이고 상기 게이트 전압(V_g)은 -20V 내지 15V의 범위이다.

[0346] 도 11에 도시된 바와 같이, 실시예 트랜지스터는 스위칭 소자로서 양호한 전기적 특성들을 나타내고 노멀리-오프 트랜지스터이다.

[0347] 한편, 도 12에 도시된 바와 같이, 비교예 트랜지스터는 스위칭 소자로서 전기적 특성들을 나타내지 않는다.

[0348] 실시예 트랜지스터의 상기 산화물 반도체막 및 상기 산화질화 실리콘막을 형성하기 위한 조건들은 실시예 1의 실시예 샘플과 유사하고, 비교예 트랜지스터의 상기 산화물 반도체막 및 상기 산화질화 실리콘막을 형성하기 위한 조건들은 실시예 1의 비교예 샘플과 유사하다.

[0349] 따라서, 실시예 트랜지스터의 상기 산화물 반도체막의 스핀 밀도는 1.0×10^{18} spins/㎤ 이하, 비교예 샘플의 상기 산화물 반도체막의 스핀 밀도는 1.0×10^{18} spins/㎤ 보다 클 것으로 예상된다.

[0350] 실시예 트랜지스터의 상기 산화물 반도체막의 도전율은 1.0×10^{3} S/㎝ 이하, 비교예 샘플의 상기 산화물 반도체막의 도전율은 1.0×10^{3} S/㎝보다 클 것으로 예상된다.

[0351] 실시예 트랜지스터의 상기 산화물 반도체막은 낮은 스핀 밀도, 적은 결함, 및 낮은 도전율을 갖는다. 따라서 이러한 산화물 반도체막의 사용은 양호한 전기적 특성들을 갖는 노멀리-오프 트랜지스터를 제공할 수 있다고 알게 되었다.

[0352] 본 출원은 전체 내용이 참조로서 본원에 통합된 2011년 12월 20일 일본 특허청에 제출된 일본 특허 출원 번호 제 2011-278889에 기초한다.

부호의 설명

[0353]

400: 기판 401: 게이트 전극층

402: 게이트 절연막 402a: 게이트 절연막

402b: 게이트 절연막 403: 산화물 반도체막

405a: 소스 전극층 405b: 드레인 전극층

407: 절연막 407a: 절연막

407b: 절연막 410: 트랜지스터

440: 트랜지스터 496: 절연막

500: 기판 502: 게이트 절연막

504: 층간 절연막 505: 컬러 필터층

506: 절연막 507: 격벽

510: 트랜지스터 511a: 게이트 전극층

511b: 게이트 전극층

512: 산화물 반도체막

513a: 도전층

513b: 도전층

520: 용량소자

521a: 도전층

521b: 도전층

522: 산화물 반도체막

523: 도전층

530: 배선층 교차부

533: 도전층

540: 발광 소자

541: 제 1 전극층

542: 전계 발광층들

543: 제 2 전극층

601: 기판

602: 포토다이오드

606a: 반도체막

606b: 반도체막

606c: 반도체막

608: 접착층

613: 기판

622: 광

631: 절연막

633: 층간 절연막

634: 층간 절연막

640: 트랜지스터

641a: 전극층

641b: 전극층

642: 전극층

643: 도전층

645: 도전층

656: 트랜지스터

658: 포토다이오드 리셋 신호선

659: 게이트 신호선

671: 포토센서 출력 신호선

672: 포토센서 기준 신호선

4001: 기판

4002: 화소부

4003: 신호선 구동 회로

4004: 주사선 구동 회로

4005: 씰재

4006: 기판

4008: 액정층

4010: 트랜지스터

4011: 트랜지스터

4013: 액정 소자

4015: 접속 단자 전극

4016: 단자 전극

4018: FPC

4018a: FPC

4018b: FPC

4019: 이방성 도전막

4020: 절연막

4021: 절연막

4030: 제 1 전극층

4031: 제 2 전극층

4032: 절연막

4033: 절연막

4035: 스페이서

4510: 격벽

4511: 전계 발광층

4513: 발광 소자

4514: 충전재

9000: 테이블

9001: 하우징

9002: 각부

9003: 표시부

9004: 표시 버튼

9005: 전원 코드

9033: 잠금쇠

9034: 스위치

9035: 전원 스위치　　9036: 스위치

9038: 조작 스위치　　9100: 텔레비전 장치

9101: 하우징　　9103: 표시부

9105: 스탠드　　9107: 표시부

9109: 조작 키　　9110: 리모트 컨트롤러

9201: 본체　　9202: 하우징

9203: 표시부　　9204: 키보드

9205: 외부 접속 포트　　9206: 포인팅 디바이스

9630: 하우징　　9631: 표시부

9631a: 표시부　　9631b: 표시부

9632a: 영역　　9632b: 영역

9633: 태양 전지　　9634: 충방전 제어 회로

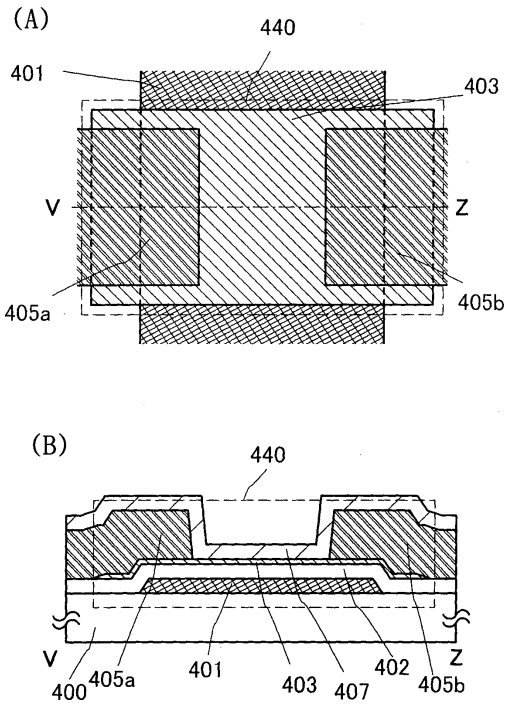
9635: 배터리　　9636: DC-DC 컨버터

9637: 컨버터　　9638a: 조작 키

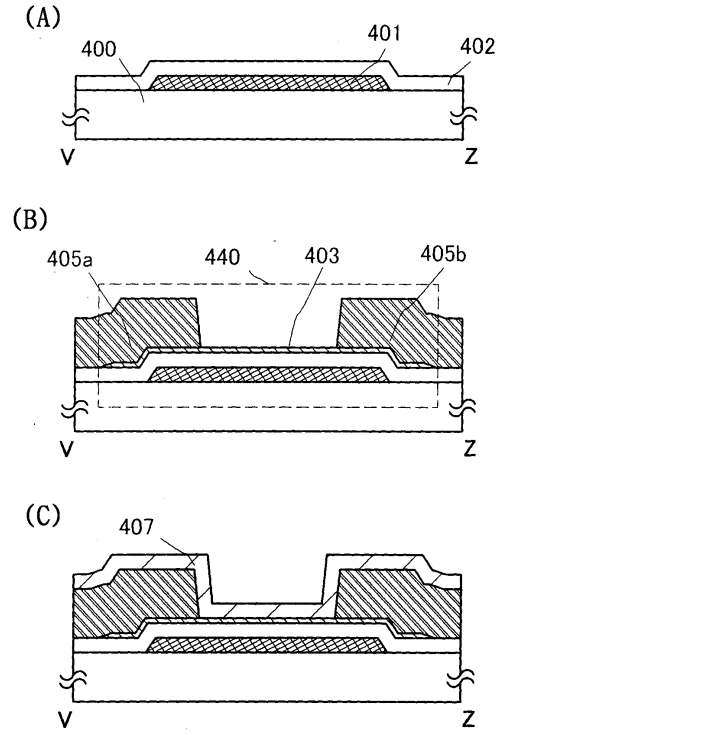
9638b: 조작 키　　9639: 키보드 표시 스위칭 지시부

도면

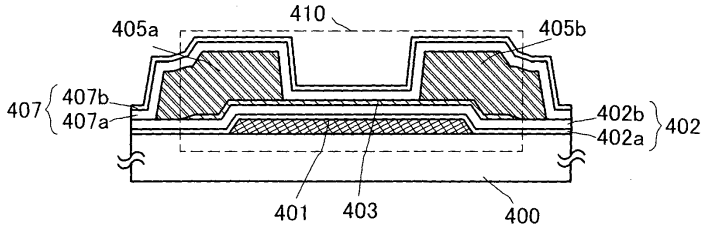
도면1



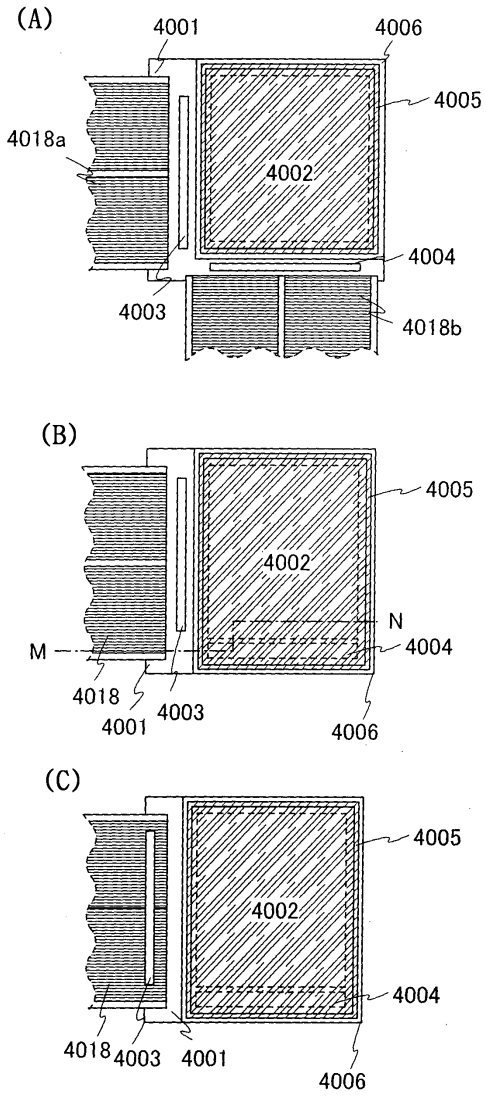
도면2


(A)
400
401
402
V
Z
(B)
405a
440
403
405b
V
Z
(C)
407
V
Z

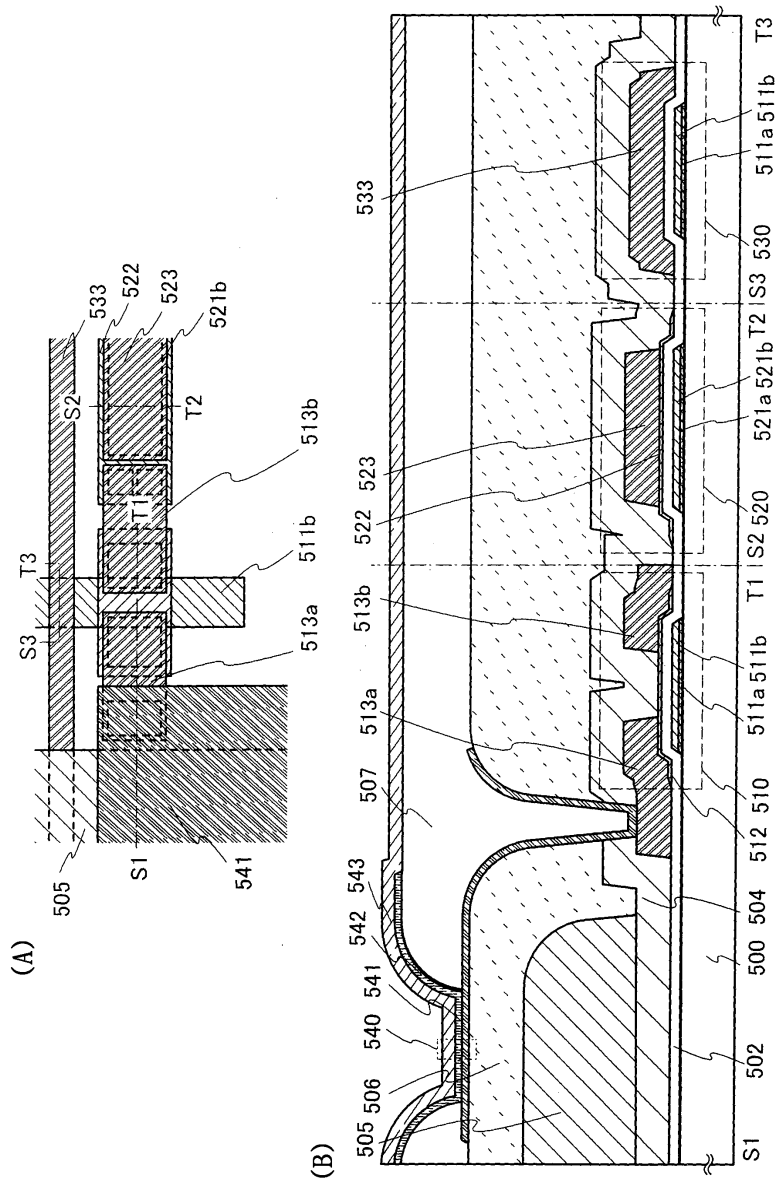
도면3


410
405a
405b
407
407b
407a
402b
402a
402
401
403
400

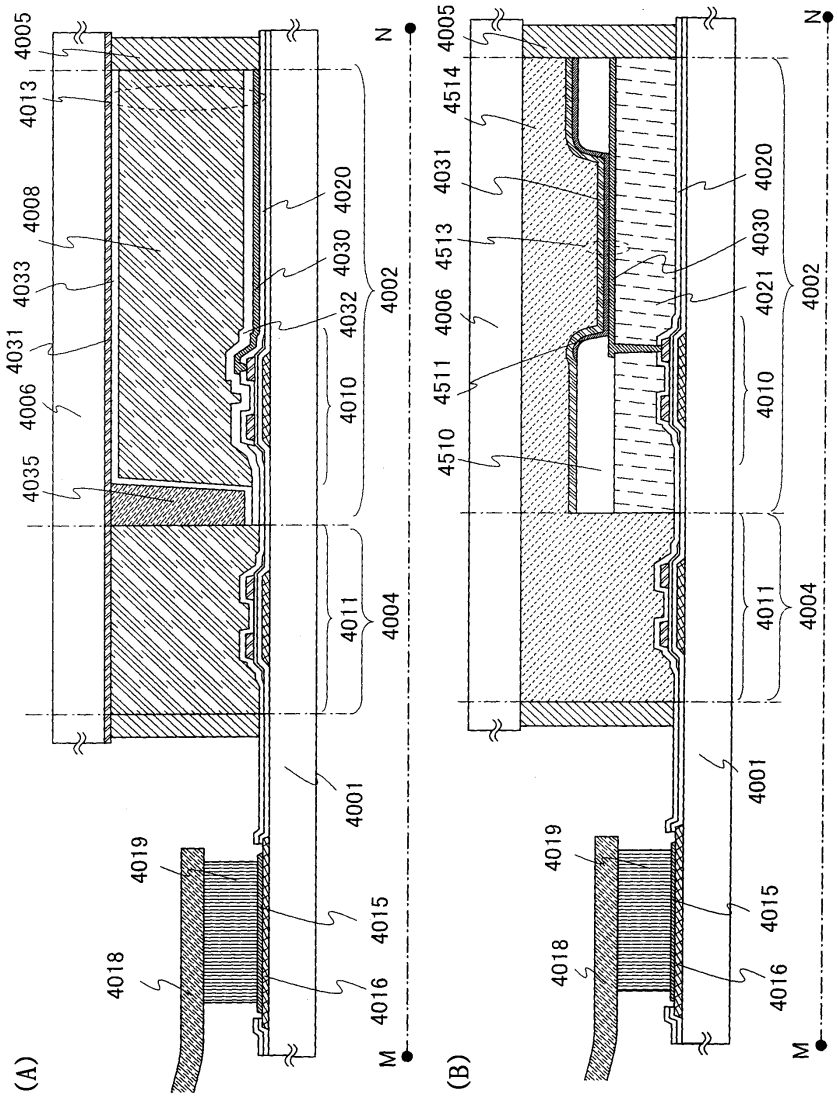
도면4


(A)
4001
4006
4005
4018a
4002
4004
4003
4018b
(B)
4005
4002
N
M
4004
4018
4001
4003
4006
(C)
4005
4002
4004
4018
4003
4001
4006

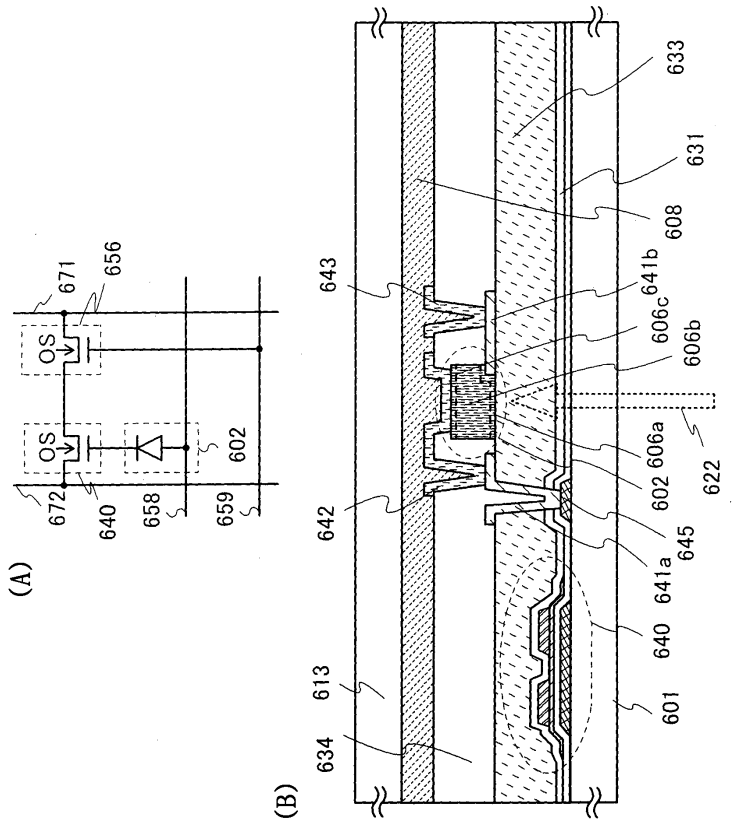
도면5


(A)
533
522
523
521b
S2
T2
513b
T1
511b
T3
S3
513a
505
S1
541
(B)
533
523
522
513b
513a
507
543
542
541
540
506
505
T3
511a 511b
530
S3
T2
521b
521a
520
S2
T1
511b
511a
510
512
504
500
502
S1

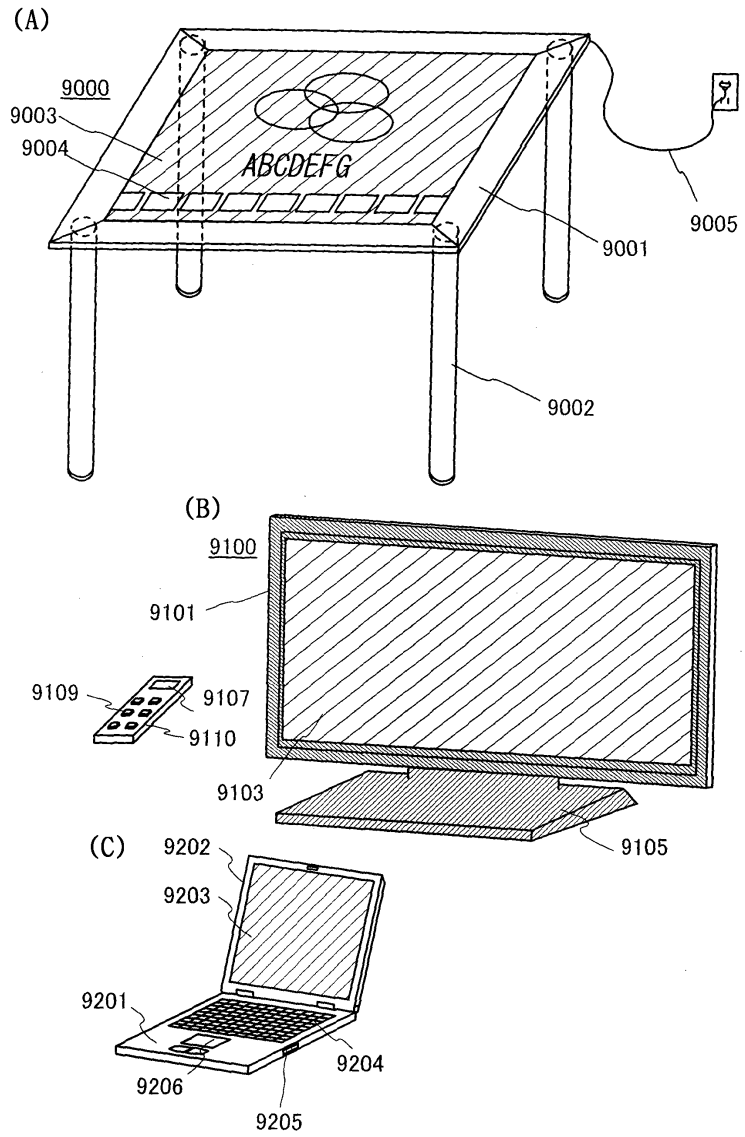
도면6


(A)
4005
4013
4008
4033
4031
4006
4035
4019
4018
4001
4015
4016
4011
4004
4010
4032
4030
4020
4002
N
M
(B)
4005
4514
4031
4513
4006
4511
4510
4019
4018
4001
4015
4016
4011
4004
4010
4021
4030
4020
4002
N
M

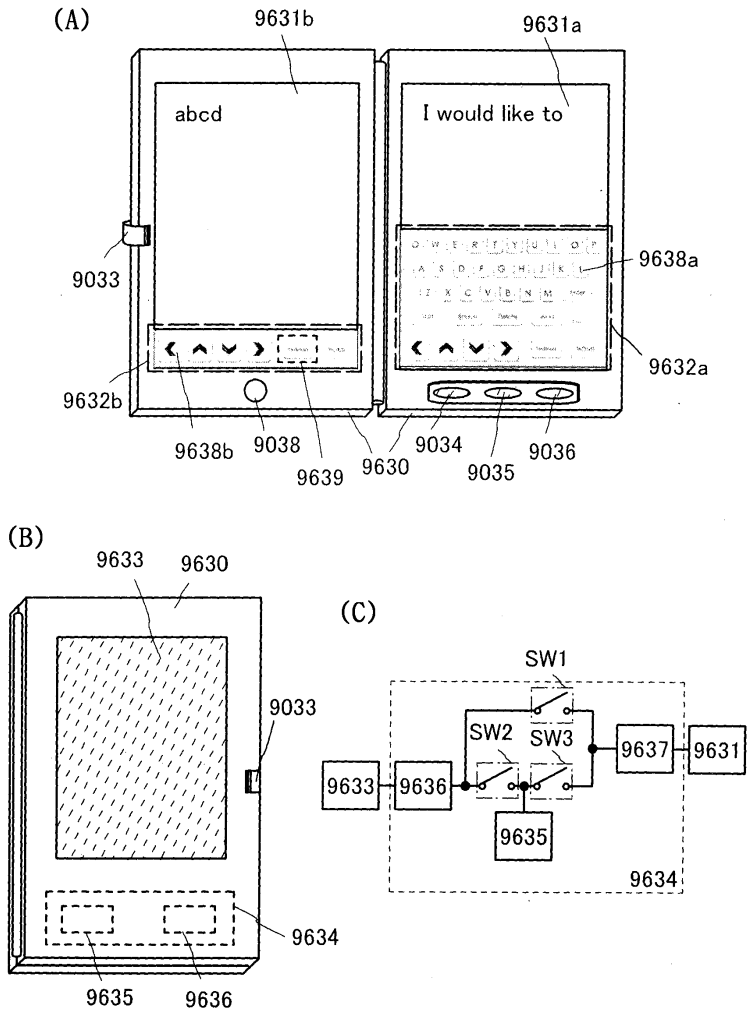
도면7


(A)
671
656
OS
OS
672
640
658
659
602
(B)
643
642
613
634
633
631
608
641b
606c
606b
606a
602
645
641a
640
601
622

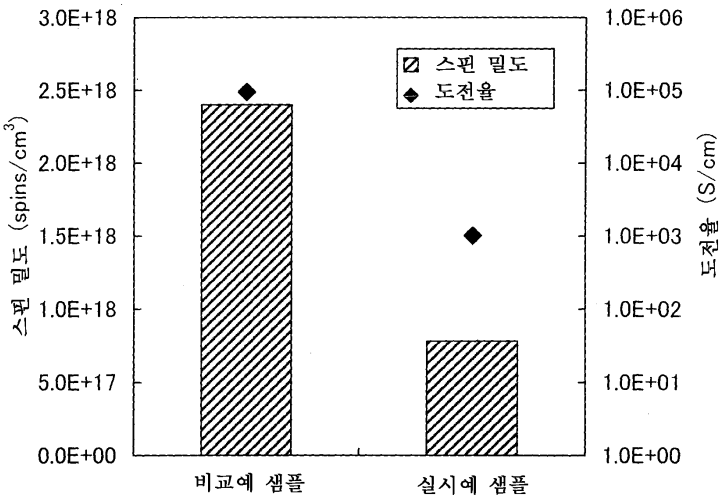
도면8


(A)
9000
9003
9004
ABCDEFG
9001
9005
9002
(B)
9100
9101
9109
9107
9110
9103
9105
(C)
9202
9203
9201
9204
9206
9205

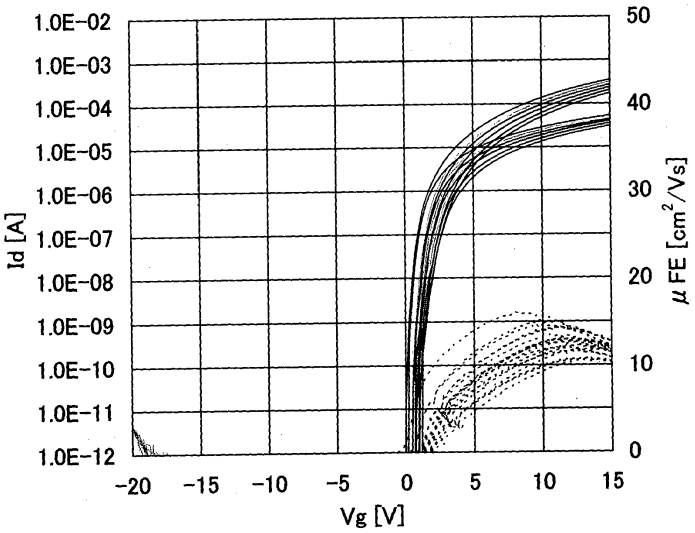
도면9


(A)
9631b
9631a
abcd
I would like to
9033
9638a
9632a
9632b
9638b
9038
9639
9630
9034
9035
9036
(B)
9633
9630
9033
9634
9635
9636
(C)
SW1
SW2
SW3
9637
9631
9633
9636
9635
9634

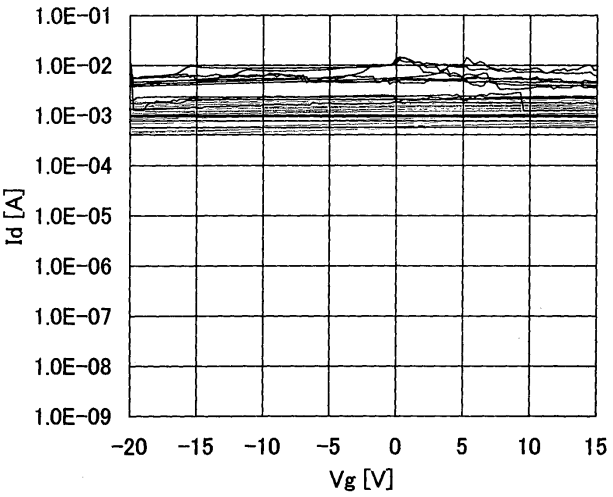
도면10


3.0E+18
2.5E+18
2.0E+18
1.5E+18
1.0E+18
5.0E+17
0.0E+00
스핀 밀도 (spins/cm3)
1.0E+06
1.0E+05
1.0E+04
1.0E+03
1.0E+02
1.0E+01
1.0E+00
도전율 (S/cm)
스핀 밀도
도전율
비교예 샘플
실시예 샘플

도면11


1.0E-02
1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
Id [A]
50
40
30
20
10
0
μ FE [cm²/Vs]
-20
-15
-10
-5
0
5
10
15
Vg [V]

도면12


1.0E-01
1.0E-02
1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
Id [A]
-20
-15
-10
-5
0
5
10
15
Vg [V]