

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97109586

※申請日期：97.3.19

※IPC 分類：G11C 29/42 (2006.01)

一、發明名稱：(中文/英文)

非 ECC 組件中之 ECC 實作

ECC IMPLEMENTATION IN NON-ECC COMPONENTS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S / DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453,

U. S. A.

國 籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 哈爾特 麥克 約翰

/ HAERTEL, MICHAEL JOHN

2. 波琳 R 史提夫

/ POLZIN, R. STEPHEN

3. 柯夫 安卓

/ KOCEV, ANDREJ

4. 史坦馬恩 瑪瑞斯 比瑞特

/ STEINMAN, MAURICE BENNET

國 籍：(中文/英文)

1. 至 4. 美國 / U. S. A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007 年 03 月 20 日；11/725,922（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種用來於非錯誤更正碼(ECC)相容組件中執行錯誤更正碼檢查之方法和裝置。本方法包含接收邏輯位址，其中該邏輯位址映對至記憶體之第一和第二實體位址。記憶體之第一和第二實體位址對應於分別儲存資料和相應 ECC 之記憶體位置。本方法復包括轉譯邏輯位址成該第一和第二實體位址、通過資料通路存取該資料、通過相同的資料通路各自地存取 ECC、以及檢查使用該 ECC 之資料之完整性。

六、英文發明摘要：

A method and apparatus for implementation of error correction code (ECC) checking in non-ECC-compliant components. The method includes receiving a logical address, wherein the logical address maps to first and second physical addresses of a memory. The first and second physical addresses of the memory correspond to memory locations that store data and a corresponding ECC, respectively. The method further comprises translating the logical address into the first and second physical addresses, accessing the data over a data path, separately accessing the ECC over the same data path, and checking the integrity of the data using the ECC.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

300	電腦系統
312A 至 312D	處理節點
314A 至 314D	記憶體
316A 至 316D	記憶體控制器
318A 至 318L	介面邏輯
320A 至 320B	裝置(I/O 裝置)
324A 至 324H	線路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

九、發明說明：

【發明所屬之技術領域】

本發明係關於電腦系統，尤係關於記憶體子系統中之錯誤檢查和更正。

【先前技術】

許多高階電腦系統在他們的記憶體子系統內包含已知為之特徵“ECC”。ECC(錯誤更正碼(error correcting code)，或者錯誤檢查和更正(error checking and correction))用來偵測於記憶體中之訛誤資料，以及若可能的話，更正該訛誤資料。由於不同的來源，譬如自然背景輻射、電性雜訊、故障的組件、等等，而使得記憶體中之資料也許變成訛誤。

ECC 子系統藉由使用所希望之記憶體內容而工作，該記憶體內容作為用於計算額外的位元以形成錯誤更正碼之基礎。組成 ECC 之資料和位元儲存於記憶體中。於一些 ECC 相容系統中，包括 ECC 之位元可以與資料分離儲存，其中 ECC 保護該資料(例如，如於一些 RAID 系統中)。於其他的 ECC 相容電腦系統中，特殊的記憶體裝置用來儲存資料和包括 ECC 之位元。這些記憶體裝置需要額外的儲存空間(12.5%於一個類型)用來儲存 ECC 連同保護的資料。額外的儲存空間依次需要額外的互連接(亦即，連接器和電路線跡)以傳遞在記憶體控制器與記憶體之間的額外的位元。ECC 記憶體組件主要用於高階電腦系統中，因此他們的使用未變成普及足以獲得經濟規模。因此，於記憶體系統中

執行 ECC 也許需要明顯的額外成本。

除了成本因素外，於一些電腦系統中執行 ECC 記憶體也許不可行。例如，用來在膝上型電腦系統執行額外互連接之實際空間和儲存空間明顯受到限制（若全部可獲得）。也許一些桌上型電腦系統空間亦受到限制。因此於此種系統中不可能使用 ECC 相容組件，即使在其他方面希望如此做。

【發明內容】

本發明揭示一種用來於非錯誤更正碼相容(non-ECC-compliant)組件中執行錯誤更正碼檢查(ECC)之方法和裝置。於一個實施例中，本方法包含接收邏輯位址，其中該邏輯位址映對至記憶體之第一和第二實體位址。記憶體之第一和第二實體位址對應於分別儲存資料和相應 ECC 之記憶體位置。本方法復包括轉譯邏輯位址成該第一和第二實體位址、通過資料通路存取該資料、通過相同的資料通路各自地存取 ECC、以及檢查使用該 ECC 之資料之完整性。

於一個實施例中，記憶體子系統包含記憶體、資料通路、和藉由資料通路耦接至記憶體之記憶體控制器。該記憶體控制器耦接以接收邏輯位址並配置以轉譯該邏輯位址成第一和第二實體位址。第一實體位址對應於其中儲存了資料之記憶體位置，而該第二實體位址對應於其中儲存了關聯於資料之 ECC 之記憶體位置。復配置記憶體控制器以通過該資料通路存取資料、通過該資料通路各自地存取資料、以及檢查使用該 ECC 之資料之完整性。

於不同的實施例中，可以配置一部分的資料和其相關聯之 ECC 之儲存而使得該部分的資料在記憶體之相同頁或列中。於此種方式，僅須提供單一系列位址(隨同二個分離之行位址)以存取資料和其對應之 ECC。因為僅須一個列位址，因此可以避免存取損失(其中分離列必須預充電)。一般而言，在給定之記憶體裝置中資料和 ECC 之配置可以使得資料之位元和其對應的 ECC 之位元可以儲存在實體鄰接的位置中。

【實施方式】

茲轉至第 1 圖，顯示電腦系統 300 之一個實施例。於第 1 圖之實施例中，電腦系統 300 包含幾個處理節點 312A、312B、312C、和 312D。各處理節點經由包含在各個別處理節點 312A 至 312D 內之記憶體控制器 316A 至 316D 而耦接至各自的記憶體 314A 至 314D。此外，處理節點 312A 至 312D 包含用來於該等處理節點 312A 至 312D 之間通訊的介面邏輯。例如，處理節點 312A 包含介面邏輯 318A 用來與處理節點 312B 通訊、介面邏輯 318B 用來與處理節點 312C 通訊、和第三介面邏輯 318C 用來與又另一處理節點(未顯示)通訊。相似情況，處理節點 312B 包含介面邏輯 318D、318E、和 318F；處理節點 312C 包含介面邏輯 318G、318H、和 318I；處理節點 312D 包含介面邏輯 318J、318K、和 318L。處理節點 312D 經由介面邏輯 318L 而耦接與複數個輸入/輸出裝置(例如，裝置 320A 至 320B 於離菊鏈配置)通訊。其他的處理節點可與另外的 I/O 裝置以相似的方式

通訊。

處理節點 312A 至 312D 執行基於封包的鏈路用於處理節點間之通訊。於本實施例中，鏈路執行為單方向線路組（例如，線路 324A 用來傳送封包從處理節點 312A 至處理節點 312B 而線路 324B 用來傳送封包從處理節點 312B 至處理節點 312A）。其他組之線路 324C 至 324H 用來傳送封包於其他處理節點之間如第 4 圖中所示。一般而言，各組之線路 324 可以包含一個或多個資料線路、一個或多個對應於該資料線路之時脈線路、和一個或多個指示被傳輸封包類型之控制線路。該鏈路可操作於快取一致樣式(cache coherent fashion)用於處理節點之間的通訊，或者操作於不一致樣式用於處理節點與 I/O 裝置（或者匯流排橋接器，至譬如周邊組件互連接(Peripheral Component Interconnect, PCI)匯流排或工業標準架構(Industry Standard Architecture, ISA)匯流排之習知構造之 I/O 匯流排)之間的通訊。而且，該鏈路可操作於不一致樣式使用雛菊鏈結構於 I/O 裝置之間，如所示。應注意的是待傳輸從一個處理節點至另一個處理節點之封包可通過一個或多個中間節點。例如，由處理節點 312A 傳輸至處理節點 312D 之封包可通過處理節點 312B 或處理節點 312C 其中一者，如第 4 圖中所示。可以使用任何適當的路線演算法。電腦系統 300 之其他實施例可包含較第 4 圖中所示之實施例者更多或更少之處理節點。

一般而言，封包於節點之間線路 324 上可傳送為一個

或多個位元時間。位元時間可以是於對應時脈路上時脈訊號之上升或下降波緣。封包可包含用於起始異動之命令封包、用於維持快取一致性之探測封包、和來自於反應於探測和命令之反應封包。

除了記憶體控制器和界面邏輯之外，處理節點 312A 至 312D 可包含一個或多個處理器。廣言之，處理節點包括至少一個處理器並可視情況包含記憶體控制器用於與記憶體和其他所需要的邏輯通訊。尤其是，各處理節點 312A 至 312D 可包括一個或多個複製之處理器 10 如第 1 圖中所示(例如，包含如第 2 至 3 圖中所示之各種結構和操作細節)。一個或多個處理器可包括晶片多重處理(chip multiprocessing, CMP)或晶片多緒(chip multithreaded, CMT)積體電路於處理節點中或形成該處理節點，或該處理節點可以具有任何其他所希望之內部結構。

記憶體 314A 至 314D 可以包括任何適當的記憶體裝置。例如，記憶體 314A 至 314D 可以包括一個或多個 RAMBUS DRAM(RDRAM)、同步 DRAM(SDRAM)、DDR SDRAM、靜態 RAM、等等。電腦系統 300 之位址空間被劃分於記憶體 314A 至 314D 之間。各處理節點 312A 至 312D 可包含記憶體地圖用來決定那些位址被映對至那些記憶體 314A 至 314D，並因此決定對於特定位址之記憶體請求應路由那些處理節點 312A 至 312D。於一個實施例中，對於電腦系統 300 內位址之一致點(coherency point)為耦接至儲存對應於該位址之位元組之記憶體之記憶體控制器 316A 至 316D。換言之，

記憶體控制器 316A 至 316D 負責確保各記憶體存取對應之記憶體 314A 至 314D 發生於快取一致樣式。記憶體控制器 316A 至 316D 可以包括控制電路用於界接記憶體 314A 至 314D。此外，記憶體控制器 316A 至 316D 可以包含用於排佇記憶體請求之請求佇列。

一般而言，介面邏輯 318A 至 318L 可以包括各種之緩衝器用來接收來自鏈路之封包，並緩衝儲存待傳送於該鏈路之封包。電腦系統 300 可以使用任何合適的流程控制機構用來傳送封包。舉例而言，於一個實施例中，各介面邏輯 318 儲存各類型之緩衝器的數量之計數，該緩衝器係於鏈路之另一端之接收器內，介面邏輯係連接到該另一端。介面邏輯不傳送封包，除非該接收介面邏輯具有閒置緩衝器以儲存封包。當接收緩衝器由於路由封包向前而閒置時，該接收介面邏輯傳送訊息至該發送介面邏輯以表示緩衝器已經閒置。此種機構可稱之為“聯票式(coupon-based)”系統。

I/O 裝置 320A 至 320B 可以是任何合適的 I/O 裝置。舉例而言，I/O 裝置 320A 至 320B 可以包含用來可耦接至另一電腦系統(例如，用網路介面卡或數據機)而與該電腦系統通訊的裝置。再者，I/O 裝置 320A 至 320B 可以包含視訊加速器、聲音卡、硬碟或軟碟機或驅動控制器、SCSI(小電腦系統界面(Small Computer Systems Interface))轉接器和電話卡、音效卡、和各種之資料獲取卡(譬如 GPIB 或場匯流排介面卡)。再者，任何執行為卡之 I/O 裝置亦可執

行為於系統 300 之主電路板上之電路，和/或執行於處理節點之軟體。應注意的是詞彙“I/O 裝置”和詞彙“周邊裝置”在此處表示同義詞。

再者，一個或多個處理器 10 可以執行於更傳統的個人電腦(PC)結構，個人電腦結構包含處理器之一個或多個介面連接至橋接器以橋接至一個或多個 I/O 互連接和/或記憶體。

轉至第 2 圖，顯示記憶體子系統之一個實施例之圖示。於所示實施例中，記憶體子系統包含具有複數個記憶體模組 314 之記憶體。各記憶體模組 314 包含複數個記憶體裝置 360。特定數目之記憶體模組 314 和於各模組上之記憶體裝置 360 於不同的實施例中根據譬如記憶體之尺寸(和最大可能尺寸)、連接器之數目、快取線路尺寸、和其他共同的因素之參數而可改變。

記憶體模組 314 經由記憶體匯流排 350 而耦接至記憶體控制器 316。可以配置記憶體匯流排 350 以於記憶體模組 314 和記憶體控制器 316 之間傳輸資料和位址訊號。可經由其為記憶體匯流排 350 之一部分之資料通路而傳輸資料訊號至記憶體模組 314 或自該記憶體模組 314 傳輸資料訊號。可自記憶體控制器 316 傳輸位址訊號至記憶體模組 314，位址訊號可包含獨立的列位址訊號(用於選擇記憶體之列)和行位址訊號(用於選擇列中特定的位址)，該列位址訊號與行位址訊號可於分離之時間傳送。資料和錯誤更正碼(ECC)可以儲存於遍及各種記憶體裝置 360 之記憶體模

組中。舉例而言，若記憶體模組 314 包含 8 個記憶體裝置 360，則資料之位元組可藉由將該位元組之一個位元儲存於各記憶體裝置中而被儲存。

記憶體控制器 316 包含 ECC 子系統 340，該 ECC 子系統 340 可用來驗證讀取自記憶體之資料之完整性，並於一些情況，更正也許存在之任何錯誤。ECC 子系統 340 可使用數種不同之已建立完備之產生 ECC 用於保護資料之方法中之其中一種方法。

於一個實施例中，記憶體模組 314 為非 ECC 相容(當由本技術狀態所了解)記憶體模組。然而，記憶體空間可保留在記憶體模組 314 內以便儲存 ECC。舉例而言，於一個實施例中，可保留記憶體模組之 $1/8$ 之可利用位址空間用於 ECC，同時可保留剩餘的 $7/8$ 用於儲存資料。保留用於 ECC 之記憶體部分對於應用也許是不可見的，而因此僅由於記憶體控制器 316 中之 ECC 子系統 340 所使用。將記憶體位址空間劃分成保留用於儲存資料之位置保留用於儲存 ECC 之那些現在將結合第 3 圖而作更詳細地討論。

第 3 圖為顯示記憶體之一個實施例之定址的圖示，其中部分之記憶體被保留用於儲存 ECC。於所示實施例中，記憶體 414 顯示為邏輯位址空間和實體位址空間。於邏輯位址空間中，保留小部分之記憶體用於儲存 ECC，而保留主要的位址空間用於儲存資料。各儲存之 ECC 對應於儲存於用於保留 ECC 之位址空間中之資料的區塊。保留用於儲存資料之位址空間可由應用軟體所存取，該應用軟體需要

記憶體用於資料儲存和擷取。反之，保留用於儲存 ECC 之位址空間可以不由應用軟體存取，對於該應用軟體可以是不可見的。儲存 ECC 之部分對於 ECC 子系統（譬如第 2 圖中所示者）可以是可見的。

於實體位址空間，該資料和對應之 ECC 依照記憶體之頁或列配置。於此特定實施例中，對應於特定區塊之資料之 ECC 被放置於與相同頁中資料區塊接近頁邊界處。如此使得可以更有效的存取，因為單一系列位址可被發送用於待存取資料和其對應之 ECC。換言之，單位之資料和其對應之 ECC 可儲存於相同列，但是於不同行中。藉由配置 ECC 和對應之資料，而使得僅單一系列位址須被送去存取二者，如此可避免關聯於預充電一系列之存取損失。因此 ECC 儲存於位於鄰接其所保護資料之位址位置。一般而言，此配置得自於保留 $1/n$ （例如， $1/8$ ，此處 $n=8$ ）位址用於儲存 ECC，而剩餘的 $(n-1)/n$ （例如， $7/8$ ）位址用於儲存待由 ECC 保護的資料。

資料和對應 ECC 之其他配置為可能並予以考量。舉例而言，於一個實施例中，每一個使用者請求儲存位置之數字位址可以乘上 $(n+1)/n$ （例如， $9/8$ ，此處 $n=8$ ）以便計算於記憶體中的實際位置，該實際位置將用來儲存對應之 ECC。此將得到 ECC 可予儲存之資料區塊之間的 $1/n$ （例如 $1/8$ ）間隙。

第 4 圖顯示方法之一個實施例圖示，用來交換位址位元以便確保資料和其相關 ECC 儲存於記憶體之同一頁。於

所示實施例中，保留邏輯位址空間之某些部分（此處顯示為 A8、A7、A6、A5、A4、A3、A2、A1、A0）用於儲存 ECC。詳言之，於此例中用來儲存資料之最高可使用邏輯位址為 110_111_111。因此，於此例中所有邏輯位址 111_xxx_xxx 被保留用於儲存 ECC，同時其餘的邏輯位址被保留用於儲存資料。

為了保留用於儲存對應於資料範圍之 ECC 之實體位址空間，可交換位址位元。因此，如圖中所示，對於實體位址之一個特定範圍，可藉由交換（亦即，交易）某些位址位元而獲得用於對應 ECC 之實體位址。於此實例中，位址位元 A8、A7 和 A6 與位址位元 A5、A4 和 A3 交換以便獲得用於儲存對應 ECC 之實體位址。提供至記憶體之所得之位址為 A5、A4、A3、A8、A7、A6、A2、A1、A0。因此，對於儲存在實體位址 A5 A4 A3 A8 A7 A6 x x x 之範圍內的資料，對應的 ECC 可儲存在實體位址 A5 A4 A3 1 1 1 A2 A1 A0。

以此種方式交換位址位元可以使得更有效存取資料和對應之 ECC。可以此種方式交換位址位元（譬如於上述例子中）：ECC 儲存於與對應之資料區塊相同的頁內，並且亦可以儲存於頁邊界上，如第 3 圖中所示。於是，對於對應於單一系列位址之記憶體之頁，資料和其對應之 ECC 將儲存在相同的列，但在不同之行中。因此，單一系列位址可被發送存取 ECC 和資料，用他們的對應行位址分別發送。於此種方式，存取區塊資料和對應之 ECC 僅需要一個預充電循環

以取代二個預充電循環，否則該二個預充電循環也許需要從二個不同的列位址存取資訊，由此使得存取等待時間(latency)最小。

第 5 圖顯示記憶體模組之一個實施例之圖示。於所示實施例中，記憶體模組 314 如於本技術狀態所了解的不是 ECC 相容記憶體模組。於技術狀態 ECC 相容記憶體模組，一般提供有專用於 ECC 之額外的儲存器。此額外的儲存器可藉由安裝於記憶體模組之 PCB(印刷電路板，printed circuit board)上之額外的記憶體裝置所提供。此外，ECC 相容記憶體模組之間之資料通路(和一般而言 ECC 相容記憶體)較寬以允許 ECC 與對應受保護資料同時被輸送。

反之，第 5 圖中所示之記憶體模組 314 被設計用於資料儲存而沒有 ECC 相容之任何特殊的考量。不過，使用此處所揭示之技術，使用 ECC 可執行於這些類型之記憶體模組。

於此特定實施例中，記憶體模組 314 包含 8 個記憶體裝置 360。各記憶體裝置 360 可以儲存部分之資料區塊和部分之 ECC。舉例而言，位元組(8 位元)可以藉由將該位元組之一個位元儲存至 8 個記憶體裝置之每一個記憶體裝置中而儲存於記憶體模組 314。相似情況，各記憶體裝置 360 可以儲存 8 位元 ECC 之一個位元。於是，儲存資料和 ECC 可以展佈遍及記憶體模組 314 之複數個記憶體裝置。此種配置可以依照前面結合第 3 圖所討論之映對實體位址空間而仍然適合用於配置儲存之資料和 ECC。

記憶體模組 314 亦包含連接器 370，該連接器 370 致能待耦接於記憶體匯流排之記憶體模組。連接器 370 可以是卡片邊沿(card-edge)或任何其他類型之適合連接器。連接之資料部分之寬度(就位元數而論)可以依照使用了快取線路之系統中之快取線路。若系統其他方面非為 ECC 相容，則快取線路將足夠的寬以容納轉移之資料，但是並未寬至足以容納同時轉移 ECC。如以下將作更詳細之討論，於此種實施例中之 ECC 可輸送橫越資料匯流排，從轉移之資料於轉移分離方式。

第 6 圖為使用具有非 ECC 相容記憶體裝置之 ECC 子系統驗證資料的完整性之一個實施例之流程圖。於所示實施例中，方法 600 開始提供邏輯位址(605)。可以藉由執行於電腦系統之軟體而提供邏輯位址至記憶體控制器。於接收邏輯位址後，記憶體控制器然後可將邏輯位址轉譯成第一和第二實體位址(610)。這些實體位址之第一個可以對應於儲存於記憶體中之資料區塊，同時第二個實體位址對應於用來檢查資料區塊之完整性之 ECC。於一個實施例中，邏輯位址可以轉譯單一系列位址和二個分離之行位址。第一行位址(連同列位址)對應於儲存資料區塊之位置，而第二行位址(連同相同列位址)對應於關聯於該資料區塊之 ECC。

在轉譯邏輯位址成第一和第二實體位址時，於第一週期期間資料可經由資料通路而從第一實體位址存取(615)。因為記憶體系統不明確設計用於 ECC 相容之標準形狀因素(form factor)，因此對應於資料之 ECC 經由相同的

資料通路於分離之第二週期中存取(620)。於是，給定的用於 ECC 之保留位址空間和於與存取資料之週期分離之週期中存取位址空間致能於裝置中所揭示執行之 ECC，否則該裝置不表示設計與 ECC 相容。於存取資料和其對應 ECC 後，然後 ECC 子系統可依照 ECC 協定檢查資料的完整性(625)。此步驟可亦包含若可能於偵測錯誤時而更正資料。

亦考慮一種方法用來產生和儲存用於待寫入記憶體之資料之 ECC。本方法考量接收對應於將儲存資料之位置之邏輯位址。用於儲存資料之第一實體位址由轉譯之邏輯位址導得。用於儲存對應 ECC 之第二實體位址使用邏輯位址導得，該邏輯位址映對至保留用於 ECC 儲存之位址空間之部分。當接收資料時，其可依照特定的 ECC 協定而用來產生對應之 ECC。資料可於第一週期寫至記憶體於第一實體位址。於第二週期，ECC 可寫至第一實體位址。如與此處其他實施例所討論的，第一和第二實體位址可分享共同的列位址但不同的行位址。

雖然已參照特定實施例而詳細說明了本發明，但是將了解到該等實施例係為例示說明而本發明之範圍不受此等實施例之限制。任何對此等實施例之變化、修飾、添加、和改進皆為可能。該等變化、修飾、添加、和改進可落於下列詳細申請專利範圍之本發明範圍內。

【圖式簡單說明】

基於閱讀以上之詳細說明並參考所附圖式，本發明之態樣將變得很清楚，其中：

第 1 圖為電腦系統之一個實施例圖示；

第 2 圖為記憶體子系統之一個實施例圖示；

第 3 圖顯示記憶體之一個實施例之定址的圖示，其中在圖中之各部分保留用於儲存錯誤更正碼(ECC)；

第 4 圖顯示方法之一個實施例圖示，用來交換位址位元以便確保資料和其相關 ECC 儲存於記憶體之同一頁；

第 5 圖顯示記憶體模組之一個實施例之圖示；以及

第 6 圖為使用具有非 ECC 相容記憶體裝置之 ECC 子系統驗證資料的完整性之一個實施例之流程圖。

雖然此處所揭示之標的事物易受到各種修改和替代形式之影響，然該等標的事物之特定實施例已藉由圖式中實例之方式顯示和予以詳細說明。然而，應了解到此處特定實施例之圖式和說明並不欲限制本發明於所揭示之特定形式，反之，本發明將涵蓋所有落於由所附之申請專利範圍所界定之精神和範圍內之所有的修飾、等效、和改變。

【主要元件符號說明】

300	電腦系統	312A 至 312D	處理節點
314	記憶體模組	314A 至 314D	記憶體
316、316A 至 316D	記憶體控制器		
318、318A 至 318L	介面邏輯		
320A 至 320B	裝置(I/O 裝置)		
324、324A 至 324H	線路		
340	ECC 子系統	350	記憶體匯流排
360	記憶體裝置	370	連接器

414 記憶體 600 方法

605、610、615、620、625 步驟

A8、A7、A6、A5、A4、A3、A2、A1、A0 邏輯位址空間部分

十、申請專利範圍：

1. 一種驗證資料完整性之方法，包括下列步驟：

接收邏輯位址，其中，該邏輯位址映對至記憶體之第一實體位址和該記憶體之第二實體位址，其中，該第一實體位址係組構以儲存資料而該第二實體位址係組構以儲存對應於儲存於該第一實體位址之該資料之錯誤更正碼(ECC)；

轉譯該邏輯位址成該第一和第二實體位址，其中，轉譯該邏輯位址成為第一和第二實體位址包括交換該邏輯位址之位元，而使得該 ECC 儲存在鄰接在該記憶體中之實體位置之實體記憶體位址中，在該實體位置中儲存由該 ECC 所保護之資料，其中，該交換係根據頁邊界而實施；

從該第一實體位址通過資料通路存取該資料；

通過該資料通路各自存取該 ECC；以及

檢查使用該 ECC 之資料之完整性。

2. 如申請專利範圍第 1 項之方法，其中，該第一實體位址位於記憶體頁中，以及其中，該第二實體位址位於相同記憶體頁中。

3. 如申請專利範圍第 2 項之方法，其中，對於給定的記憶體頁，將實體位址之第一子集合保留用來儲存資料且將位址之第二子集合保留用來儲存 ECC，各 ECC 關聯於儲存在該第一子集合之實體位址中之資料。

4. 如申請專利範圍第 1 項之方法，其中，該第一實體位址

包含列位址和第一行位址，以及其中，該第二實體位址包含該列位址和第二行位址。

5. 如申請專利範圍第 1 項之方法，其中，藉由將該第一實體位址乘上 $(n+1)/n$ 而計算該第二實體位址。
6. 如申請專利範圍第 1 項之方法，復包括儲存該 ECC 於資料之區塊之間之區塊中，其中，保留 $1/n$ 之該位址用來儲存 ECC 而保留 $(n-1)/n$ 之該位址用來儲存資料。
7. 如申請專利範圍第 1 項之方法，復包括儲存 ECC 於鄰接由該 ECC 所保護之資料之位址位置中。
8. 如申請專利範圍第 1 項之方法，其中，該記憶體為包含複數個記憶體裝置之記憶體模組，以及其中，該資料和該 ECC 儲存遍及該複數個記憶體裝置。
9. 一種記憶體子系統，包括：

記憶體；

資料通路；以及

藉由該資料通路耦接至該記憶體之記憶體控制器，其中，該記憶體控制器耦接以接收邏輯位址，以及其中，組構該記憶體控制器以：

轉譯該邏輯位址成記憶體之第一實體位址和該記憶體之第二實體位址，其中，組構該第一實體位址以儲存資料和組構該第二實體位址以儲存對應於儲存於該第一實體位址之該資料之錯誤更正碼(ECC)，其中，組構該記憶體控制器以藉由交換該邏輯位址之位元而轉譯該邏輯位址成為第一和第二實體位址，使得該 ECC

儲存在鄰接在該記憶體中之實體位置之實體記憶體位置中，在該實體位置中儲存由該 ECC 所保護之資料，以及其中，該交換係根據頁邊界而實施；

經由該資料通路存取來自該記憶體中之該第一實體位址之資料；

經由該資料通路分別存取來自該第二實體位址之該 ECC；以及

檢查使用該 ECC 之該資料之完整性。

10. 如申請專利範圍第 9 項之記憶體子系統，其中，該第一實體位址位於記憶體頁中，以及其中，該第二實體位址位於相同之記憶體頁中。
11. 如申請專利範圍第 10 項之記憶體子系統，其中，對於給定的記憶體頁，將實體位址之第一子集合保留用來儲存資料且將位址之第二子集合保留用來儲存 ECC，各 ECC 關聯於儲存在該第一子集合之實體位址中之資料。
12. 如申請專利範圍第 9 項之記憶體子系統，其中，該第一實體位址包含列位址和第一行位址，以及其中，該第二實體位址包含該列位址和第二行位址。
13. 如申請專利範圍第 9 項之記憶體子系統，以及其中，藉由將該第一實體位址乘上 $(n+1)/n$ 而計算該第二實體位址。
14. 如申請專利範圍第 9 項之記憶體子系統，其中，儲存該 ECC 於資料之區塊之間之區塊中，其中，保留 $1/n$ 之該位址用來儲存 ECC 而保留 $(n-1)/n$ 之該位址用來儲存資

料。

15. 如申請專利範圍第 9 項之記憶體子系統，其中，儲存該 ECC 於鄰接由該 ECC 所保護之資料之位址位置中。

16. 如申請專利範圍第 9 項之記憶體子系統，其中，該記憶體為記憶體模組。

17. 一種驗證資料完整性之方法，包括下列步驟：

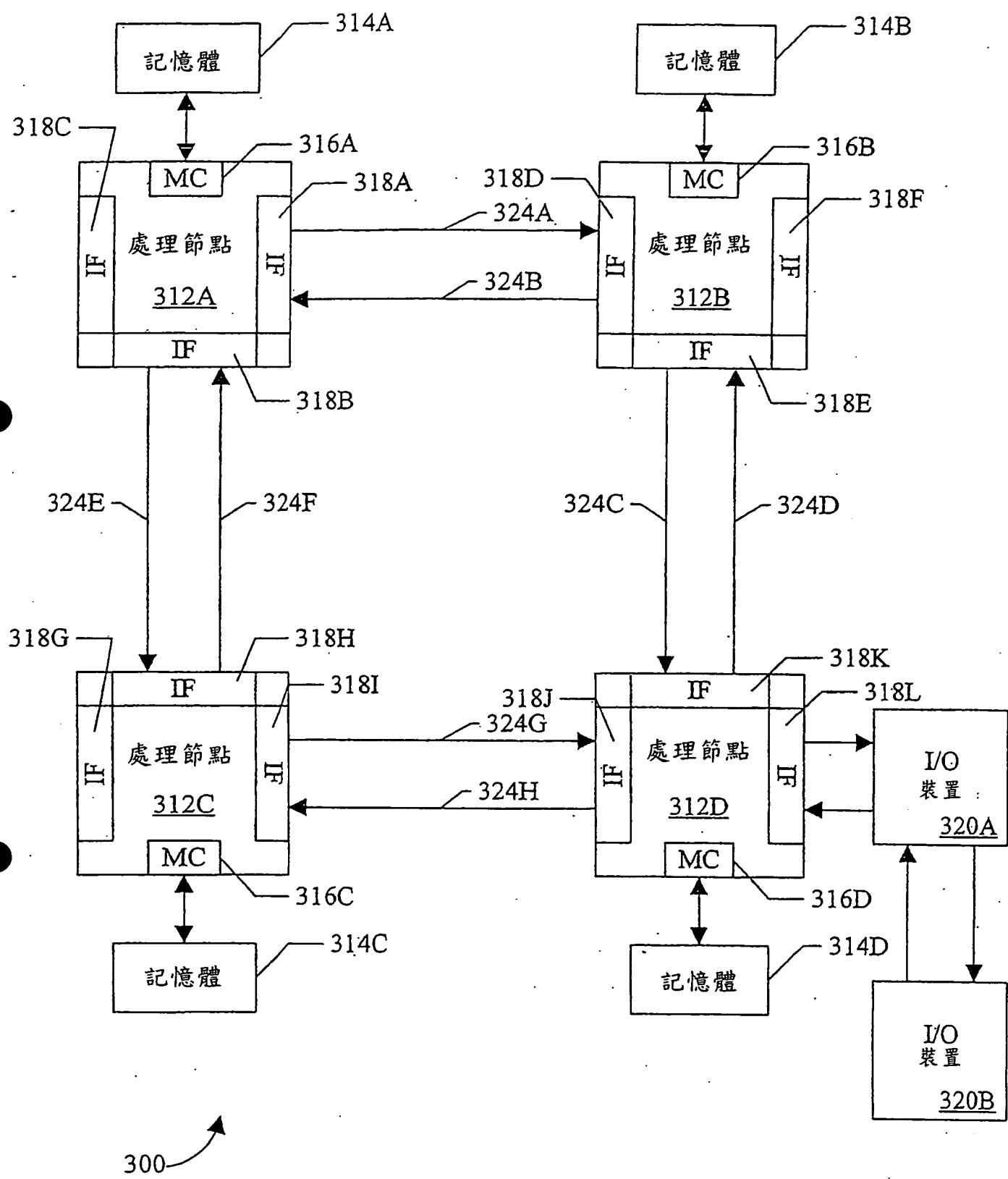
保留記憶體之第一部分用來儲存資料；以及

保留相同記憶體之第二部分用來儲存保護該資料之錯誤更正碼(ECC)；

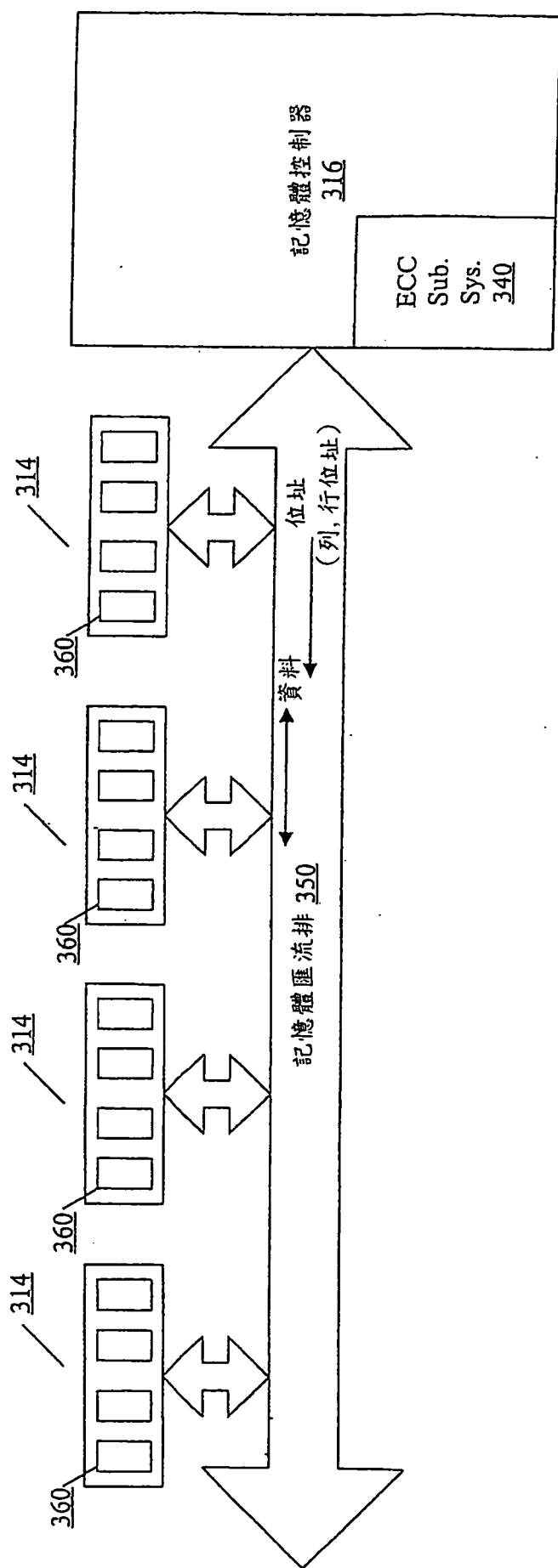
其中，邏輯位址映對至該記憶體之該第一部分中之第一實體位址和該記憶體之該第二部分中之第二實體位址；以及

其中，該第一實體位址位於記憶體頁中，以及其中，該第二實體位址位於相同記憶體頁中，其中，該第一實體位址與該第二實體位址藉由交換該邏輯位址之位元而獲得，使得該第二實體位址鄰接頁邊界，且其中，藉由提供單一系列位址及二個行位址存取給定的資料區塊及其對應的 ECC。

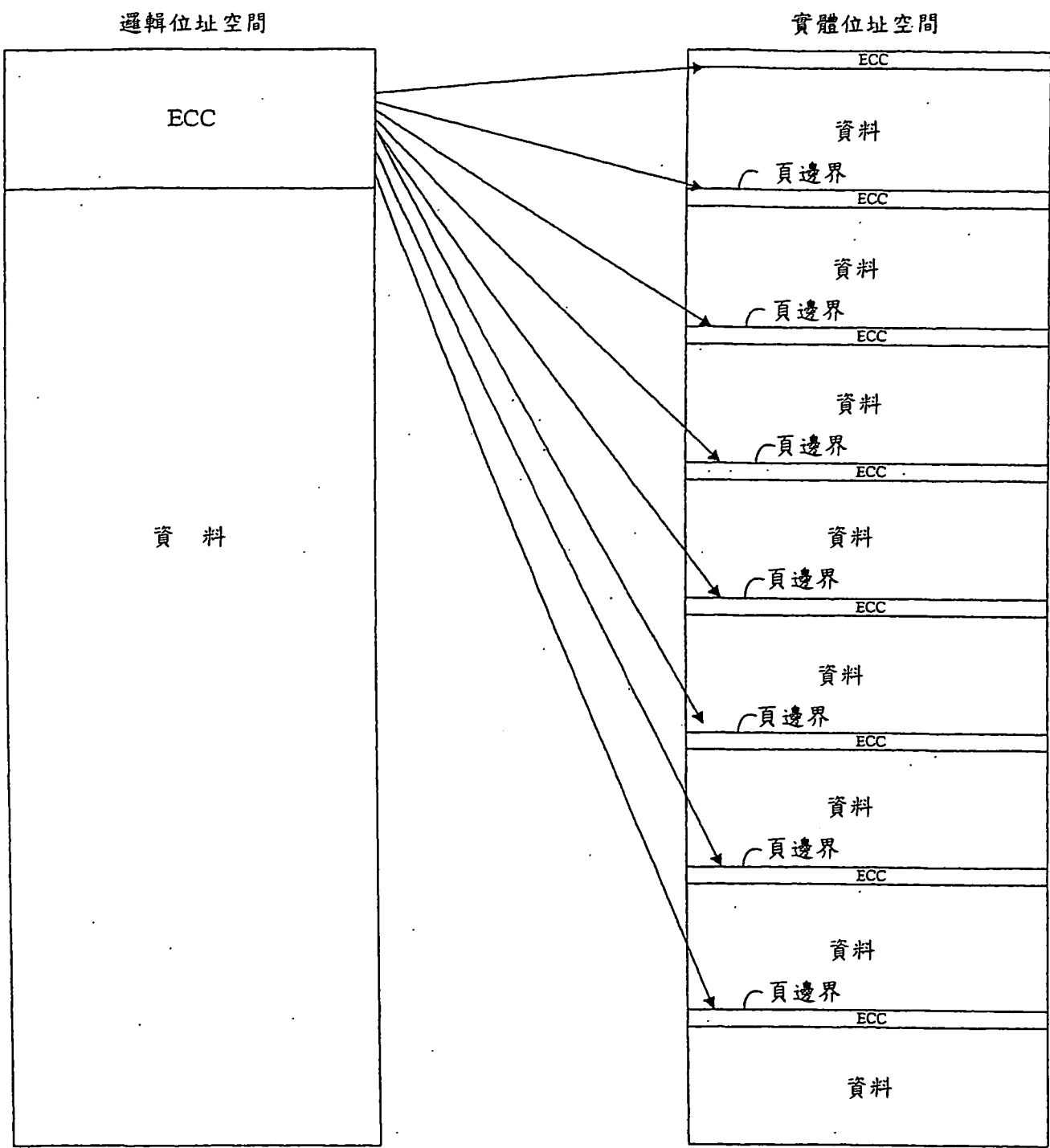
18. 如申請專利範圍第 17 項之方法，其中，該記憶體為包含複數個記憶體裝置之記憶體模組，其中，該資料和該 ECC 為各儲存遍及該複數個記憶體裝置中。



第 1 圖



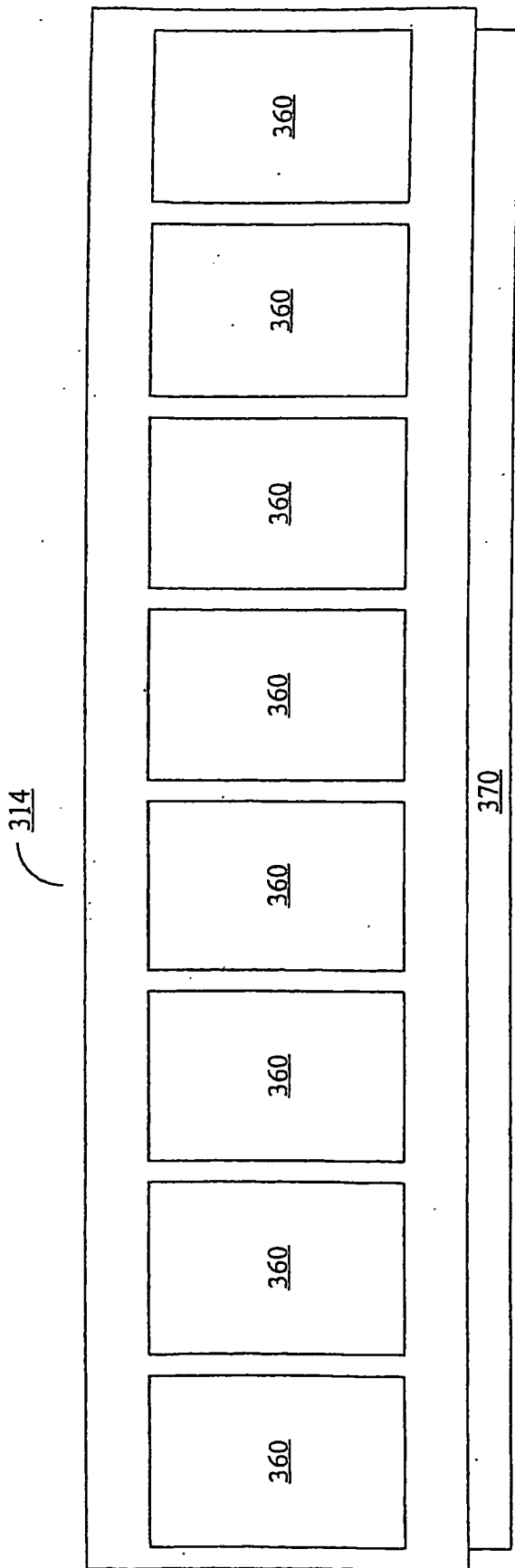
第 2 圖



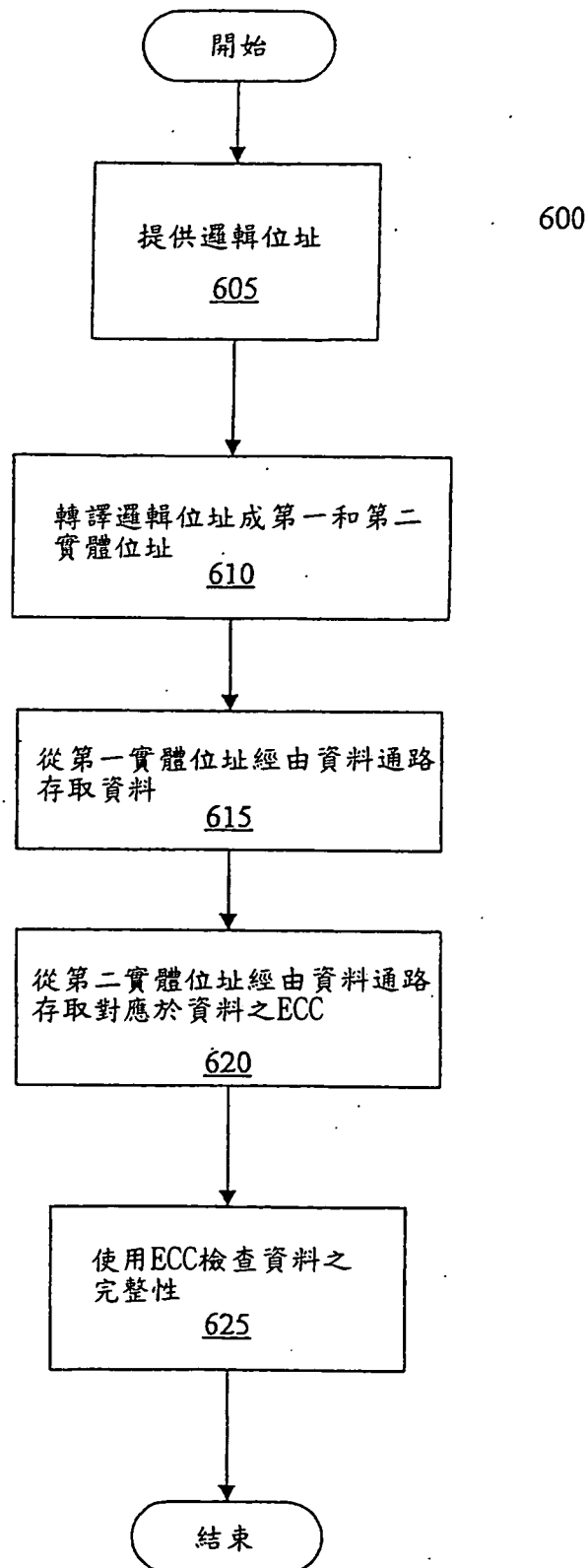
第 3 圖

邏輯位址位元	A8	A7	A6	A5	A4	A3	A2	A1	A0
保留用於ECC之邏輯位址	1	1	1	x	x	x	x	x	x
提供至記憶體之實體(交換)位址	A5	A4	A3	A8	A7	A6	A2	A1	A0
於是：									
對於儲存於範圍中之資料	A5	A4	A3	A8	A7	A6	x	x	x
儲存於位址中之對應ECC	A5	A4	A3	1	1	1	A2	A1	A0

第 4 圖



第 5 圖



第 6 圖