

(11) 特許出願公開番号

特開2014-183452

(P2014-183452A)

(43) 公開日 平成26年9月29日(2014.9.29)

(51) Int.Cl.

F 1

テーマコード (参考)

H03K 17/22 (2006.01)

H03K 17/22

E

5 B 0 5 4

H O 3 K 17/28 (2006.01)

H03K 17/28

E

5 J 055

G06F 1/24 (2006.01)

G O 6 F 1/00

351

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2013-56498 (P2013-56498)

(22) 出願日 平成25年3月19日 (2013. 3. 19)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 308014341

富士通セミコンダクター株式会社

神奈川県横浜市港北区新横浜二丁目10番
23

(74) 代理人 100099759

弁理士 青木 篤

(74) 代理人 100119987

弃理士 伊坪 公一

(74) 代理人 100081330

弁理士 樋口 外治

[最終頁に続く](#)

(54) 【発明の名称】 パワーオンリセット回路、電源回路および電源システム

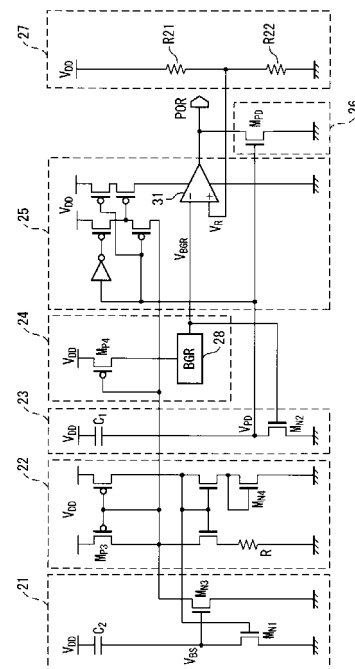
(57) 【要約】

【課題】BGRの動作遅延が発生した場合でも誤動作せず、POR信号の出力遅延もなく、消費電力が小さいパワーオンリセット回路の実現。

【解決手段】電源立ち上がり時の所定の期間、動作信号を動作状態にするスタートアップ回路21と、動作信号を動作状態に維持するバイアス回路22と、動作信号が動作状態になると起動し、所定時間経過後に一定電圧を出力するBGR回路24と、電源電圧の分圧を参照電圧として出力する分圧生成回路27と、電源立ち上がり時にインアクティブに、BGR回路の出力が所定レベルに到達するとアクティブとなる制御信号を生成する起動検知回路23と、制御信号がアクティブとなると起動し、BGR回路の出力と参照電圧を比較してパワーオン信号を出力する比較回路25と、制御信号がインアクティブの間比較回路の出力をLにするスイッチ26と、を有するパワーオンリセット回路。

【選択図】 図5

図5



【特許請求の範囲】

【請求項 1】

電源立ち上がり時の所定期間、動作信号を動作状態にし、前記所定期間終了後は前記動作信号に影響せず、定常電流を流さないスタートアップ回路と、

前記所定期間に、前記動作信号が動作状態になることで動作を開始し、動作開始後、前記動作信号を動作状態に維持するバイパス回路と、

前記動作信号が動作状態になることで起動し、所定時間経過後に一定電圧を出力する B G R 回路と、

電源電圧の分圧を生成し、参照電圧として出力する電源分圧生成回路と、

電源立ち上がり時にインアクティブとなり、前記 B G R 回路の出力する前記一定電圧が所定レベルに到達するとアクティブとなる制御信号を生成する起動検知回路と、

前記制御信号がアクティブとなることで起動し、前記 B G R 回路の出力する前記一定電圧と前記参照電圧を比較してパワーオン信号を出力し、前記参照電圧が前記一定電圧より大きい場合に前記パワーオン信号をオンとする比較回路と、

前記制御信号がインアクティブの間には、オンして前記比較回路の出力をインアクティブな論理値に固定し、前記制御信号がアクティブの間には、オフして前記比較回路の出力に影響を与えないスイッチと、を備えることを特徴とするパワーオンリセット回路。

【請求項 2】

前記 B G R 回路は、出力する前記一定電圧を抵抗分圧する複数の抵抗を備え、

前記起動検知回路は、前記一定電圧を抵抗分圧した分圧が所定レベルに到達するとアクティブとなる前記制御信号を生成することを特徴とする請求項 1 記載のパワーオンリセット回路。

【請求項 3】

前記スタートアップ回路および前記起動検知回路は、電源とグラウンドの間に流れる D C 電流をカットする容量、トランジスタ、ダイオードの、いずれか少なくとも一つを含む請求項 1 または 2 記載のパワーオンリセット回路。

【請求項 4】

外部電源が供給され、外部電源立ち上がり時の所定期間、動作信号を動作状態にし、前記所定期間終了後は前記動作信号に影響せず、定常電流を流さないスタートアップ回路と、

外部電源が供給され、前記所定期間に、前記動作信号が動作状態になることで動作を開始し、動作開始後、前記動作信号を動作状態に維持し、前記動作信号を動作状態の間内部電源を供給する内部電源回路と、

前記内部電源が供給され、前記内部電源が供給されることで起動し、所定時間経過後に一定電圧を出力する B G R 回路と、

外部電源電圧の分圧を生成し、参照電圧として出力する電源分圧生成回路と、

外部電源が供給され、外部電源立ち上がり時にインアクティブとなり、前記 B G R 回路の出力する前記一定電圧が所定レベルに到達するとアクティブとなる制御信号を生成する起動検知回路と、

前記内部電源が供給され、前記制御信号がアクティブとなることで起動し、前記 B G R 回路の出力する前記一定電圧と前記参照電圧を比較してパワーオン信号を出力し、前記参照電圧が前記一定電圧より大きい場合に前記パワーオン信号をオンとする比較回路と、

前記制御信号がインアクティブの間には、オンして前記比較回路の出力をインアクティブな論理値に固定し、前記制御信号がアクティブの間には、オフして前記比較回路の出力に影響を与えないスイッチと、を備えることを特徴とする電源回路。

【請求項 5】

環境発電素子と、前記環境発電素子の出力端子に接続された請求項 4 に記載の電源回路と、を備えることを特徴とするシステム。

【発明の詳細な説明】

【技術分野】

【0001】

開示の技術は、電源電圧が安定供給されているかを検知するためのパワーオンリセット（POR）回路、電源回路および電源システムに関する。

【背景技術】

【0002】

携帯電話などのモバイル電子機器に用いられている半導体集積回路には、バッテリー素子や入力端子などから得られる電源電圧が安定的に供給されているかどうかを監視するためのパワーオンリセット回路（以下、POR回路と称する）が設けられている。

【0003】

POR回路には、電源の立ち上がり時の不安定な期間においても誤動作しないこと、電圧を遅延無く検知すること、常時電圧監視する必要があるため低電力で動作すること、などが望まれる。このような要望を実現するため、各種のPOR回路が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第4866929号公報

【特許文献2】特開2006-262180号公報

【特許文献3】特開2010-160720号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、提案されているいずれのPOR回路は、上記のすべての要望を満たすことはできず、BGRの動作遅延が発生した場合誤動作防止を防げない、POR信号の出力遅延が発生する、消費電力が大きい、という課題のいずれかを有している。

実施形態によれば、上記の課題を解決したPOR回路が実現される。

【課題を解決するための手段】

【0006】

第1の態様のパワーオンリセット回路は、スタートアップ回路と、バイアス回路と、BGR回路と、電源分圧生成回路と、起動検知回路と、比較回路と、スイッチと、を有する。スタートアップ回路は、電源立ち上がり時の所定期間、動作信号を動作状態にする。また、所定期間終了後は動作信号に影響せず、定常電流を流さない。バイアス回路は、所定期間に、動作信号が動作状態になることで動作を開始し、動作開始後、動作信号を動作状態に維持する。BGR回路は、動作信号が動作状態になることで起動し、所定時間経過後に一定電圧を出力する。電源分圧生成回路は、電源電圧の分圧を生成し、参照電圧として出力する。起動検知回路は、電源立ち上がり時にインアクティブとなり、BGR回路の出力する一定電圧が所定レベルに到達するとアクティブとなる制御信号を生成する。比較回路は、制御信号がアクティブとなることで起動し、BGR回路の出力する一定電圧と参照電圧を比較してパワーオン信号を出力し、参照電圧が一定電圧より大きい場合にパワーオン信号をオンにする。スイッチは、制御信号がインアクティブの間には、スイッチをオンして比較回路の出力をインアクティブな論理値に固定し、制御信号がアクティブの間には、スイッチをオフして比較回路の出力に影響を与えない。

【発明の効果】

【0007】

第1の態様によれば、BGRの動作遅延が発生した場合でも誤動作せず、POR信号の出力遅延もなく、消費電力が小さいパワーオンリセット回路が実現される。

【図面の簡単な説明】

【0008】

【図1】図1は、POR回路の基本構成を示す図であり、（A）が回路構成を、（B）が動作タイムチャートである。

【図2】図2は、ある対策を行ったPOR回路の構成を示す図であり、（A）が回路図を

10

20

30

40

50

、(B)がタイムチャートを示す。

【図3】図3は、別の対策を行ったPOR回路の構成を示す図であり、(A)が回路図を、(B)がタイムチャートを示す。

【図4】図4は、さらに別の対策を行ったPOR回路の回路図である。

【図5】図5は、第1実施形態のパワーオンリセット(POR)回路の回路図である。

【図6】図6は、BGR部の一般的な回路例を示す図である。

【図7】図7は、第2実施形態のパワーオンリセット(POR)回路の回路図である。

【図8】図8は、第2実施形態のPOR回路の動作を示すタイムチャートである。

【図9】図9は、第2実施形態のPOR回路のシミュレーション結果を示す図である。

【図10】図10は、第3実施形態のPOR回路の回路図である。

10

【図11】図11は、第4実施形態のPOR回路の回路図である。

【図12】図12は、第4実施形態の起動検知回路の部分の回路図、素子断面図、および動作図である。

【図13】図13は、第5実施形態の電源回路の構成を示すブロック図である。

【図14】図14は、第6実施形態の電源システムの構成を示す図である。

【発明を実施するための形態】

【0009】

まず、一般的なパワーオンリセット(POR)回路について説明する。

図1は、POR回路の基本構成を示す図であり、(A)が回路構成を、(B)が動作タイムチャートである。

20

【0010】

図1の(A)に示すように、POR回路は、バンドギャップリファレンス(BGR:Band Gap Reference)回路10Xと、抵抗R1XおよびR2Xからなる抵抗列と、比較器11Xと、を有する。BGR回路は、広く知られた回路であり、電源電圧VDDが供給され、温度や電源電圧にかかわらず安定した基準電圧 V_{BGR} を出力する。抵抗列は、電源電圧VDDから抵抗分圧により分圧電圧 V_R を生成する。比較器11Xは、 V_{BGR} と V_R を比較し、 V_R が V_{BGR} より大きくなると「H」に変化するPOR信号を出力する。

【0011】

POR回路では、一般的な電源電圧VDDの上昇に伴い分圧電圧 V_R も上昇し、電源電圧VDDがある規定値に達しているかどうかを比較器11Xによって判定し、POR信号として出力する。なお、基準電圧は、特にBGR10Xで発生する必要はなく、抵抗分圧によって生成する基準電圧であってもよい。このように、POR信号は、電源電圧VDDが所定値以上になると「H」に変化するので、リセット解除を指示する信号として使用される。

30

【0012】

POR回路には、以下のような事項が要求される。

(1) 電源の立ち上がり時の不安定な期間においても誤動作しないこと。

(2) 電圧を遅延無く検知すること。

(3) 常時電圧監視する必要があるため低電力で動作すること。

【0013】

図1の(B)に示すように、POR回路では、電源VDDの分圧電圧 V_R が規定の電位 V_{BGR} を越えたことを比較器11Xによって検知する。この場合、電源VDDが規定値に到達したことを、比較器の出力が「H」になったことによって検知する。電源VDDが立ち上がる時、抵抗分圧によって生成された V_R の電位はそれに伴って上昇する。一方、BGR10Xは回路が動作するための電源電圧に到達しなければ立ち上がることができないため、図1の(B)に示すように起動が遅れる。図1の(B)では、この電源立ち上がりの不安定な期間をPで示す。この電源立ち上がりの不安定な期間Pで、比較器11Xが動作してしまった場合には、POR信号は、図1の(B)に示すように一時的に「H」を出力してしまう。POR信号は、自身の回路の動作保証期間を、後段の回路やシステムなどに出力する重要な信号であるため、上記の(1)の電源の立ち上がり時など、不安定な期間においても誤動作せず信号出力することが強く要求される。この場合の理想的な動作は、図1の(B)

40

50

においてQで示す実線のように、電源立ち上がりの不安定な期間Pにおいては「低(L)」を出力することである。

【0014】

上記の問題を解決するため、いくつかの対策が提案されている。

図2は、ある対策を行ったPOR回路の構成を示す図であり、(A)に回路図を、(B)にタイムチャートを示す。

【0015】

図2の回路は、BGR回路10Y内に設けられた第1のスタートアップ回路20Yと、第2のスタートアップ回路40Yと、を有する。電源電圧VDDがトランジスタMN₂₂のしきい値電圧V_{th1}に到達すると第1のスタートアップ回路20YによってBGR10Yを起動させる。一方、電源電圧VDDが、第2のスタートアップ回路40YのトランジスタMP₄のしきい値と抵抗R₄₁およびR₄₂で決まる電圧V_{th2}に到達すると、分圧回路30Yが動作を開始し、比較器50Yへの分圧電位V_Bの供給を開始する。ここで、V_{th1}<V_{th2}に設定することで、最初にBGR10Yを起動させ、後から分圧電位V_Bを供給することで、比較器50Yの誤動作を防止している。

【0016】

しかし、V_{th1}とV_{th2}の期間にBGR10Yを動作させる制約、すなわち図2の(B)においてTbで示した期間内でBGR10Yが起動しなければならないという制約がある。そのため、特にBGR10Yの起動が遅い場合には、誤動作してしまう。また、BGR10Yを起動した後に、分圧回路30Yを起動するため、順に回路を起動させる動作遅延が発生する。さらに、第2のスタートアップ回路20Yでは、P2で示すノードの電位が通常状態では「H」になっている状態で動作するため、MN₂₂のオン抵抗による消費電流が常時流れる。また、第2のスタートアップ回路40Yでは、初期状態を維持するためにプルダウン抵抗R₄₃が用いられており、起動後の定常状態ではP₄₂が「H」になった状態で動作するため、R₄₃による消費電流が常時流れる構成になっている。このため、消費電力が大きい。

【0017】

以上の通り、図2のPOR回路は、(a)BGRの動作遅延が発生した場合、誤動作防止を防げない、(b)POR信号の出力遅延が発生し、(c)消費電力が大きい、という課題がある。

図3は、別の対策を行ったPOR回路の構成を示す図であり、(A)が回路図を、(B)がタイムチャートを示す。

【0018】

図3の回路は、BGR回路1Zが起動したことを検知するスタートアップ回路3Zを設け、その信号を受けて分圧回路11Z内のTr5がオン(ON)し、比較器2aに inputsする電源の分圧電位Vaを供給する。BGR回路1Zの起動後に、比較器2aの出力がPOR信号として出力されるため、BGR回路1Zの起動時間に制約されない。そのため、図3の回路は、上記の課題(a)BGRの動作遅延が発生した場合の誤動作防止は満足できるが、順に回路を起動させるため、(b)POR信号の出力遅延が発生するという課題は残る。また、図3の回路は、スタートアップ回路や初期状態を維持するための多数のプルアップダウン抵抗R16、R17を使用しており、動作時の消費電力が大きいという課題が残る。したがって、図3の回路は、(1)電源立ち上げ時の誤動作は防止できるが、(2)動作遅延は発生し、(3)消費電力が大きい。

【0019】

図4は、さらに別の対策を行ったPOR回路の回路図である。

図4の回路は、制御回路40WによりEN2信号を生成し、BGR回路10Wの出力電位VREFおよび、POR信号(PON)の論理を固定する。また、BGR回路10Wが起動したことを検知回路20Wで検知し、検知信号EN1として比較器302に供給している。しかしながら、BGR回路10Wや検知回路20Wにはバイアス電圧VBN1、VBN2を使用しており、その生成または供給の回路を別途設けることになる。電源立ち上がり時の不安定な時間帯に

において、例えばVBN2電位の立ち上がりが遅い場合、EN1が「L」になるタイミングが遅くなり、比較器302への制御が遅くなることが考えられる。この場合、電源立ち上がり時に、EN1が「H」になる時間が存在することが起こり得るため、比較器302が不安定動作する時間が発生し、この状態でEN2の信号が「H」になると、論理回路304～306によってPOR信号(PON)に不安定状態によって決まる論理出力が発生することになる。すなわち、図4の回路は、POR信号(PON)の論理を意図した規定値に固定することはできない。このように、パワーオンリセット回路は、バイアス回路やBGR回路、検知回路だけでは論理的に固定できるPOR信号を生成することができず、それらを順序立てて動作させるためのスタートアップ回路を含めて厳密に制御する必要がある。なお、図4に示す回路は、制御回路40Wに、プルアップ抵抗407、プルダウン抵抗404を設けており、起動後の定常状態における消費電力が大きい。

10

【0020】

以下に説明する実施形態のPOR回路は、上記の問題を解決する。

図5は、第1実施形態のパワーオンリセット(POR)回路の回路図である。

【0021】

第1実施形態のPOR回路は、スタートアップ回路21と、バイアス回路22と、起動検知回路23と、バンドギャップリファレンス(BGR:Band Gap Reference)回路24と、比較回路25と、スイッチ26と、分圧電圧生成回路27と、を有する。

【0022】

スタートアップ回路21は、電圧 V_{DD} の電源とGNDの間に直列に接続された容量 C_2 およびトランジスタ M_{N1} と、トランジスタ M_{N3} と、を有する。バイアス回路22は、 V_{DD} 電源とGNDの間に接続されたPMOSトランジスタ対と、NMOSトランジスタ対と、一方の列とGNDの間に接続された抵抗 R と、他方の列とGNDの間に接続されたNMOSトランジスタ M_{N4} と、を有する。これらのトランジスタの対はカレントミラー回路を形成する。一方の列のPMOSトランジスタを M_{P3} で示す。起動検知回路23は、 V_{DD} 電源とGNDの間に直列に接続された容量 C_1 およびトランジスタ M_{N2} を有する。BGR回路24は、BGR部28と、バイアス回路22から供給されるバイアス信号を受けるPMOSトランジスタ M_{P4} と、を有する。比較回路25は、直列に接続された2個のPMOSトランジスタの列を2組と、インバータと比較器31と、を有する。スイッチ26は、NMOSトランジスタ M_{PD} を有する。電源分圧生成回路27は、 V_{DD} 電源とGNDの間に直列に接続された2個の抵抗 R_{21} および R_{22} を有する。

20

30

【0023】

BGR部28の出力電位 V_{BGR} が起動検知回路23の M_{N2} および比較回路25の比較器31のマイナス(反転)端子に接続され、起動検知回路23の出力信号 V_{PD} が比較器31の出力に接続されているスイッチ26の M_{PD} の制御信号として接続されている。抵抗分圧電位 V_R は比較器31のプラス(非反転)端子に接続されている。図5の回路の接続関係は、図5から明らかなので、これ以上の詳しい説明は省略する。

【0024】

図6は、BGR部28の一般的な回路例を示す図である。

図6に示すように、BGR部28は、抵抗 R_{31} - R_{33} と、PNPトランジスタ $Tr0$, $Tr1$, $Tr2$, ...と、アンプ32と、を有する。BGR部28は、 M_{P4} のゲートにバイアス電圧を印加することにより、電源供給が制御される。図6で、アンプ32の出力とGNDの間に直列に接続された抵抗 R_a および R_b は、後述する第2実施形態のPOR回路で使用する抵抗列である。

40

【0025】

BGR部28は、PNPトランジスタのベースエミッタ間電圧 V_{BE} の負の温度変化(V_{BE} を温度で微分すると負)特性と V_T (熱電圧)の正の温度変化(V_T を温度で微分すると正)特性を利用して、温度に依存しない一定電圧を生成する回路である。具体的には、抵抗 R_{32} と R_{33} と $Tr0$ を直列に接続した列に対して、抵抗 R_{31} に接続するPNPトランジスタの個数 N を調整することによって、温度に対する変化を打ち消すように設計で適切な値を指定して係数を設定する。後述する第2実施形態のように、電圧 V_{BGR} よりも低い電圧を参照電圧とす

50

る場合には、図 6 に示すように、 V_{BGR} を R_a および R_b により抵抗分圧して、内部電位 $N1$ を用いる。

【0026】

次に、第 1 実施形態の POR 回路の動作を説明する。

スタートアップ回路 21 では、 C_2 と M_{N1} の経路（パス）には電流が流れないため、電源電圧 V_{DD} が上昇すると、 V_{BS} の電位は一緒に上昇する。 V_{DD} の電位、すなわち V_{BS} の電位が M_{N3} のしきい値を超えると、 M_{N3} がオンし、 M_{N3} を経由して M_{P3} に電流が流れる。これにより M_{N3} のドレイン側の信号（動作信号）がGNDレベル、すなわち「低（L）」になり、バイアス回路 22 内のカレントミラーに電流が流れ、最終的には M_{N4} のしきい値と抵抗 R で決まる一定電流が流れる。バイアス回路 22 が起動すると、 M_{N1} のゲート電圧は上昇するが、電流パスが無い場合、 M_{N1} に電流が流れないように V_{BS} の電位は急速にゼロになる。このため、 M_{N3} がオフし、スタートアップ回路 21 はパワーダウンする。この時、バイアス回路 22 はすでに起動しており、動作信号は一定電流 I が流れる電位を維持することができる。

【0027】

動作信号によって一定電流 I が流れるようになると、BGR 回路 24 では、 M_{P4} を介して BGR 部 28 に電流が流れ、BGR 28 が起動する。起動検知回路 23 は、初期状態では V_{BGR} の電位が低（L:Low）であるため、 M_{N2} はオフである。 C_1 および M_{N2} のパスには電流が流れないため、 V_{DD} の上昇とともに電位 V_{PD} は上昇する。 V_{PD} は、比較器 31 の電流供給オンオフ制御および出力論理をLに固定する M_{PD} の制御信号に用いており、Hの時はインアクティブで、Lの時はアクティブである。 V_{DD} が上昇すると、 V_{PD} は高（H:High）、すなわちインアクティブとなり、比較器 31 の電流供給はオフされ、比較器 31 の出力を接地する M_{PD} はオンする。これによりPOR信号はLに固定される。 V_{BGR} は、BGR 部 28 が起動すると徐々に上昇し、その電位が M_{N2} のしきい値を超えると、 M_{N2} がオンし、 V_{PD} の電位はLになる。 V_{PD} がLになると、比較器 31 の電流供給が開始され、出力を接地する M_{PD} はオフされ、比較器 31 の出力信号がPOR信号として反映される。 V_{PD} がLになっても C_1 および M_{N2} に定常的に電流が流れることはない。むしろ、 C_1 は V_{DD} とGND間に挿入されたパスコン（パスコンデンサ）として用いることができる。比較器 31 にはBGR 部 28 の出力電位 V_{BGR} と電源の分圧電位 V_R が常時供給されており、 V_{BGR} が M_{N2} のしきい値電位に到達したタイミングで即時比較動作を開始できる。

【0028】

起動検知回路 23 は、BGR 28 や比較器 31 を起動させるためのスタートアップ回路 21 と同様の構成になっている。すなわち、 $C_1=C_2$ 、 $M_{N1}=M_{N2}$ である。また、スタートアップ回路 21 内の M_{N3} はスイッチ M_{PD} と同じトランジスタサイズになっている。 V_{DD} が上昇して、スタートアップによりBGR 部 28 や比較器 31 を起動させるためのバイアス電圧が上述の動作信号として供給されたとき、BGR 部 28 や比較器 31 が動作状態に移行する。このとき、 $M_{N3}=M_{PD}$ 、かつ $V_{BS}=V_{PD}$ であるため、 M_{N3} と M_{PD} を同時にオンさせることができる。そのため、BGR 部 28 や比較器 31 が動作し始める時に、必ず比較器 31 の出力を接地する M_{PD} をオンさせることができ、POR信号の論理をLに固定できる。

【0029】

以上説明したように、第 1 実施形態の POR 回路は、BGR 部 28 の出力を、BGR 部 28 が起動したことを検知するための起動検知回路 23 に接続し、起動検知回路 23 の信号を比較器 31 の出力電圧を固定させるスイッチの制御信号として用いる。起動時に確実に比較器 31 の出力論理を固定させるためには、スタートアップ回路 21、起動検知回路 23 およびスイッチ 26 は、 $C_1=C_2$ 、 $M_{N1}=M_{N2}$ 、 $M_{N3}=M_{PD}$ となるように各容量の容量値やトランジスタサイズを決定することが望ましい。

【0030】

第 1 実施形態では、順に回路を起動させる仕組みは設けておらず、比較器 31 の 2 つの入力端子にはBGR 部 28 の出力、および電源 V_{DD} の分圧電位がリアルタイムに供給されている。第 1 実施形態の POR 回路は、BGR 部 28 の起動検知の情報を受けると即座に比較動作できる。また、スタートアップ回路 21 および起動検知回路 23 は、プリアップ

、プルダウン抵抗を用いておらず、通常動作時に常時電流が流れない。

【0031】

第1実施形態のPOR回路の動作タイムチャートは、後述する第2実施形態のPOR回路の動作タイムチャートとほぼ同じなので、後で合わせて説明する。

【0032】

図7は、第2実施形態のパワーオンリセット（POR）回路の回路図である。

第2実施形態のPOR回路は、BGR回路24に、BGR部28の出力する V_{BGR} を抵抗分圧する2個の抵抗 R_a および R_b を設けたことが、第1実施形態のPOR回路と異なり、他は同じである。

【0033】

第1実施形態では、起動検知回路23の出力する V_{PD} が、HからL、すなわちインアクティブからアクティブに変化する電圧レベル V_{BGR} は、 M_{N2} のしきい値であった。これに対して、第2実施形態では、抵抗 R_a および R_b の抵抗値の比を適切に決定することによって変更することができる。例えば、 M_{N2} のしきい値が0.6Vであり、 V_{BGR} が1.2Vに到達したことを検知したい場合、 $R_a = R_b$ に設定することで実現できる。また、 V_{BGR} が1.0Vに到達したことを検知したい場合、 $R_a : R_b = 4 : 6$ に設定すればよい。 $V_{BGR} = 1.0V$ になった時にN1の電位が0.6Vになり、 M_{N2} をオンさせることができる。このときに用いる抵抗 R_a および R_b は新たに設けてもよいが、図6で示したようにBGR部28の出力電圧よりも低い参照電圧生成用に設けた抵抗を流用してもよい。

【0034】

図8は、第2実施形態のPOR回路の動作を示すタイムチャートである。

図示のように、電源電圧 V_{DD} は、直線的に増加し、一定値に達する。 V_{DD} が立ち上がる不安定な期間で、比較器31が動作しないように $V_{PD} = H$ の信号（ V_{DD} 立ち上がり時のため図では三角波）によって比較器31の出力を、 M_{PD} をオンさせることによって、たとえ $V_R > V_{BGR}$ となる期間が存在しても、 $POR = L$ となるように制御することができる。

【0035】

なお、第1実施形態のPOR回路の動作タイムチャートも図8と同様である。

以上説明したように、第1および第2実施形態のPOR回路は、以下の(1)～(3)のような特徴と効果を有する。(1)電源立ち上げ時の誤動作を、スタートアップ回路と比較器出力固定のスイッチを同時にオンさせることにより防止できる。(2)BGR回路が立ち上がったことを検知すると、直ちに比較器が動作するため、動作遅延がない。(3)スタートアップ回路および起動検知回路は、プルアップ、プルダウン抵抗を用いておらず、低電力で動作する。

【0036】

図9は、第2実施形態のPOR回路のシミュレーション結果を示す図である。信号 V_{PD} による比較器出力をLに固定する動作により、POR信号（上から3番目の波形）が、図1の(B)に示したQで示す理想波形のように誤動作無く出力されていることがわかる。上から4番目の破線の波形は、 V_{PD} 信号による制御を行わない場合のPOR信号であり、1.5V近く（比較的大きい）の好ましくない一時的な上昇を示すPOR信号を出力している。

【0037】

図10は、第3実施形態のPOR回路の回路図である。

第3実施形態のPOR回路は、スタートアップ回路21および起動検知回路23において、 V_{DD} と容量 C_1 および C_2 の下部電極間に、ダイオード D_1 および D_2 をそれぞれ接続した回路である。

【0038】

第2実施形態のPOR回路では、スタートアップ回路21および起動検知回路23における V_{BS} および V_{PD} の V_{DD} 上昇時の初期電位では不定であった。すなわち、 V_{BS} および V_{PD} に蓄えられている初期電荷によっては、 V_{DD} の上昇に伴い M_{N3} や M_{PD} に過電圧がかかり、素子が破壊される可能性があった。

【0039】

第3実施形態のPOR回路では、ダイオード D_1 および D_2 により、上記の破壊を防止する。例えば、 V_{PD} の初期電圧が V_{DD} よりも高くなっている場合、起動に伴う V_{DD} の上昇により V_{PD} はさらに上昇し、トランジスタを破壊する電圧にまで到達することが起こり得る。しかし、ダイオード D_1 は、 V_{DD} より高い場合に電流を V_{DD} 電源に対して流すことでその状態を回避させ、破壊を防止する。ダイオードのPN接合のしきい値を V_{PN} とすると、 $V_{PD} > V_{DD} + V_{PN}$ となる範囲でダイオードは保護回路として動作する。

【0040】

図11は、第4実施形態のPOR回路の回路図である。

第4実施形態のPOR回路は、第3実施形態のPOR回路において、ダイオード D_1 および D_2 を、PMOSトランジスタ M_{P1} および M_{P2} で実現した回路である。

10

【0041】

図12は、第4実施形態の起動検知回路23の部分の回路図、素子断面図、および動作図である。

図12の(A)に示すように、電源 V_{DD} とGND間に、PMOSトランジスタ M_{P1} とNMOSトランジスタ M_{N2} を直列に接続するように形成し、 M_{P1} をダイオード接続してダイオード D_1 として機能させる。ダイオード D_1 と並列の容量 C_1 を形成する。

【0042】

図12の(A)に示した部分の容量 C_1 を除く部分の素子断面は、図12の(B)のようになる。図12の(B)に示すように、 M_{P1} のドレイン(P領域)とバックゲート(N領域)の間にダイオードが形成され、これがダイオード D_1 として機能する。また、基板(P-sub)とウェル(N領域)の間にダイオードが形成され、これは V_{DD} とGNDの間に接続されるダイオードを形成する。

20

【0043】

図12の(B)に示すように素子構造で形成されるダイオードの接続は、図12の(C)に示す通りである。電位 V_{PD} のノードは、 V_{DD} とGNDの間に直列に接続された2個のダイオードの接続ノードである。 V_{PD} の初期値 $< GND - V_{PN}$ の場合には、GND側のダイオードが導通して V_{PD} をGNDに近い電位にし、 V_{PD} の初期値 $> V_{DD} + V_{PN}$ の場合には、 V_{DD} 側のダイオードが導通して V_{PD} を V_{DD} に近い電位にする。

【0044】

図13は、第5実施形態の電源回路40の構成を示すブロック図である。

30

第5実施形態の電源回路は、LDO(Low Drop Out)回路により外部電源VINを降圧して内部電源を生成し、半導体装置内の各部に供給する。このような電源回路は、LDO回路の構成により、 V_{DD} の立ち上がりが変動する。第5実施形態の電源回路は、そのような場合でも誤動作しないPOR回路であり、第1から第3実施形態のPOR回路の構成を適用して実現される。

【0045】

図13に示すように、第5実施形態の電源回路40は、スタートアップ回路41と、LDO回路42と、起動検知回路43と、BGR回路44と、比較回路45と、スイッチ46と、分圧電圧生成回路47と、を有する。スタートアップ回路41、LDO回路42、起動検知回路43および分圧電圧生成回路47には、外部電源VINが供給される。BGR回路44および比較回路45には、LDO回路42で生成された V_{DD} が供給される。

40

【0046】

スタートアップ回路41、起動検知回路43および分圧電圧生成回路47は、 V_{DD} の代わりにVINに接続されていることを除けば、第1から第3実施形態のスタートアップ回路21、起動検知回路23および分圧電圧生成回路27と同じである。

【0047】

LDO回路42は、出力電圧の分圧電位と参照電位(V_{BGR})を比較する増幅器、および電流源スイッチで構成されている。出力電圧 V_{DD} が規定値より低い時は、電流源スイッチをオンして出力電圧を高め、また、出力電圧 V_{DD} が規定値より高い時は、電流源スイッチをオフして出力電圧を低くする。増幅器を用いて電流源スイッチを制御することにより、

50

出力電圧は規定値（例えば V_{DD} ）に維持することができる。

【0048】

第5実施形態の電源回路では、最初に V_{DD} が立ち上がるようにスタートアップ回路41はLDO回路42に接続されている。また、起動検知回路の電源はVINに接続されており、VINが立ち上がることにより V_{PD} が同時に立ち上がる。内部電位 V_{DD} が立ち上がるまでの不安定な期間は、起動検知回路43によって V_{PD} が「H」レベルになり、比較器45の出力（POR信号）はスイッチ46によって例えば、「L」レベルに固定される。一方、 V_{DD} が立ち上がり、BGR回路44の出力 V_{BGR} が規定値に到達すると、起動検知回路43の出力 V_{PD} が「L」レベルになり、比較器45の出力信号がPOR信号になる。このように、起動検知回路43の出力信号を最初に立ち上がる信号（この場合VIN）と同期させ、比較器45とスイッチ46を制御してPOR信号を固定させる本発明の手法は、信号VINの立ち上がりが変わる場合や、LDOを用いてBGRや比較器に電源 V_{DD} を供給する場合においても有効である。

10

【0049】

図14は、第6実施形態の電源システムの構成を示す図である。

第6実施形態の電源システムは、太陽電池等、発電状況が周囲の環境によって変わる環境発電素子50と、第5実施形態の電源回路40と、を有する。第6実施形態の電源システムは、第5実施形態の電源回路40を使用することによって周囲の環境によって立ち上がりが増加する場合に対しても誤動作しないPOR信号を生成することができる。

【0050】

以上説明したように、第1から第6実施形態によれば、以下のような作用および効果が得られる。

20

比較器の出力をLにする制御を行う制御信号を生成する起動検知回路は、BGR部や比較器を起動させるためのスタートアップ回路と同様の構成になっている。そのため、スタートアップによりBGR部や比較器が起動するタイミングで、必ず比較器の出力をLに固定させることができる。

【0051】

起動検知回路の信号を用いてBGR起動後に比較器の出力をLにするスイッチをオフさせるため、電源の立ち上がり時の不安定期間で誤動作を防止することができる。したがって、たとえBGR部の立ち上がりが遅くなっても、比較器の出力に接続されているスイッチをオフするタイミングも共に遅れるため、POR回路の誤動作は発生しない。

30

【0052】

比較器の入力には常時、BGR部の出力と電源の分圧電位が供給されており、比較器の出力に接続されているスイッチがオフするタイミングで比較実行する状態に移行するため、順に回路を起動させる手法よりも高速に遅延無く動作する。

【0053】

実施形態のPOR回路は、スタートアップ回路や起動検知回路に、初期ノード設定のためのプルアップ、プルダウン抵抗を用いていないため、通常動作時においても低消費電流で動作する。

【0054】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものである。特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

40

【符号の説明】

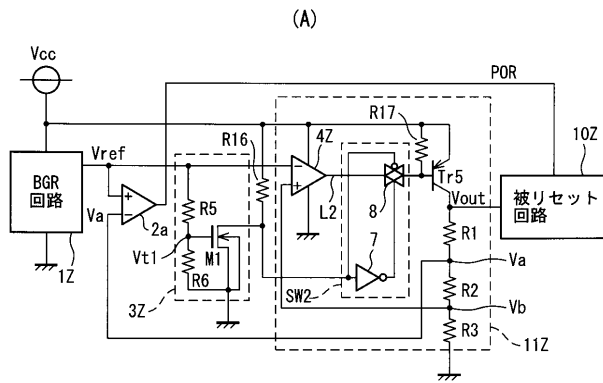
【0055】

- 21 スタートアップ回路
- 22 バイアス回路
- 23 起動検知回路

50

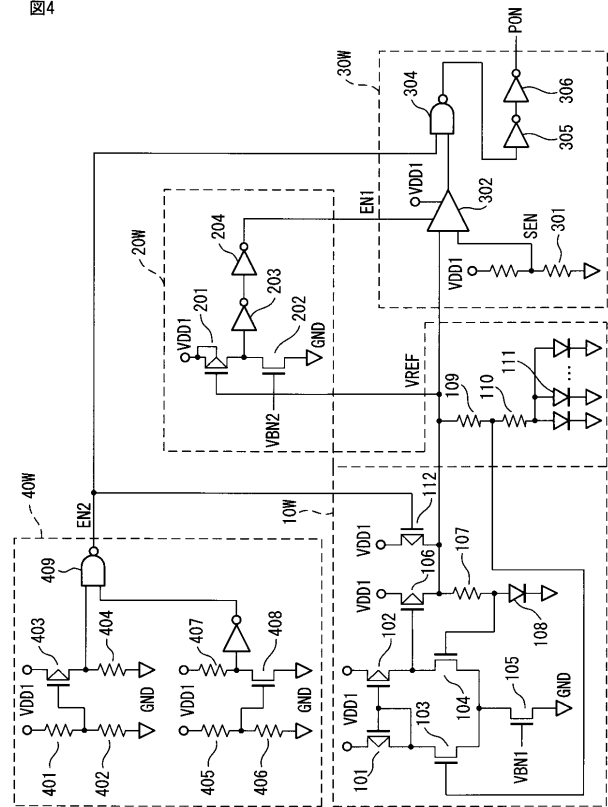
【図 3】

図3



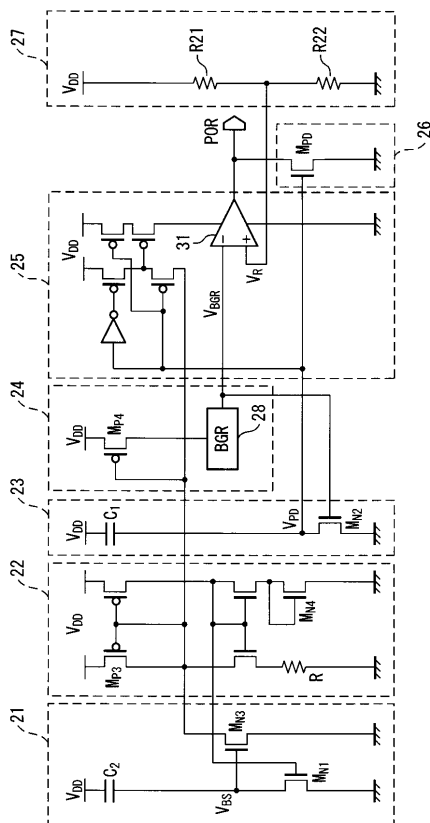
【図 4】

図4



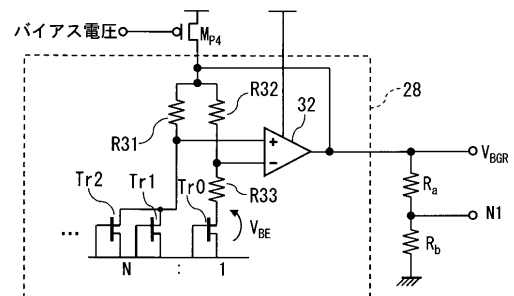
【図 5】

図5



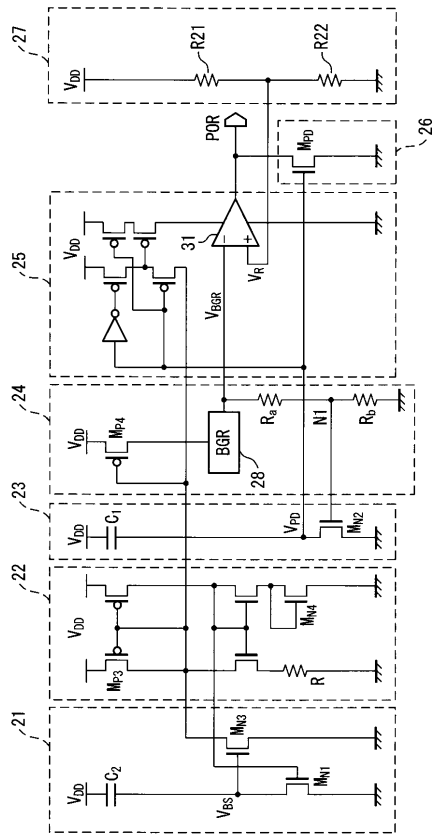
【図 6】

図6



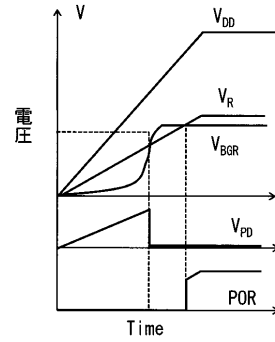
【図 7】

図7



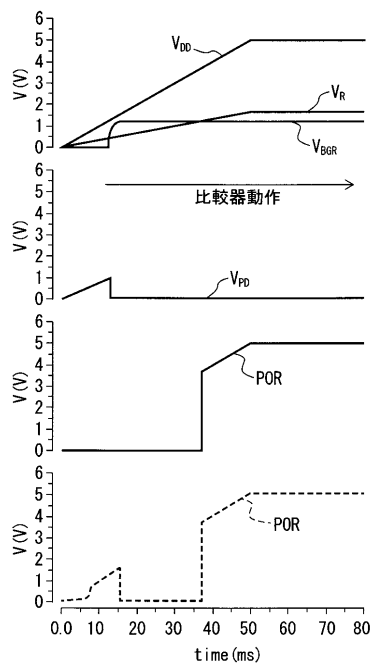
【図 8】

図8



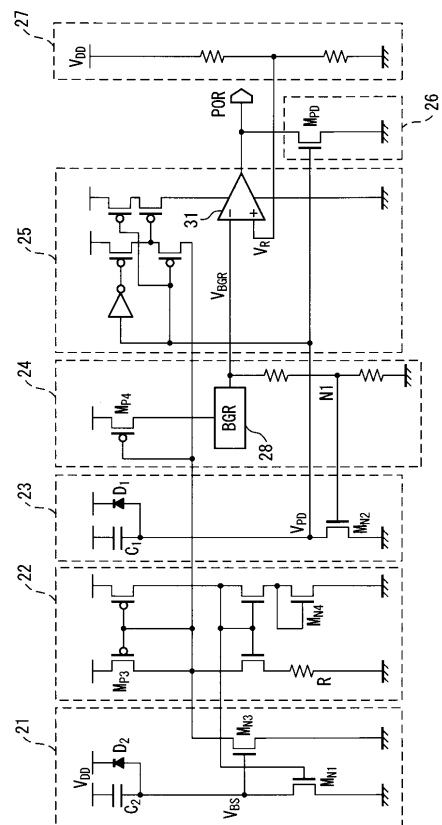
【図 9】

図9

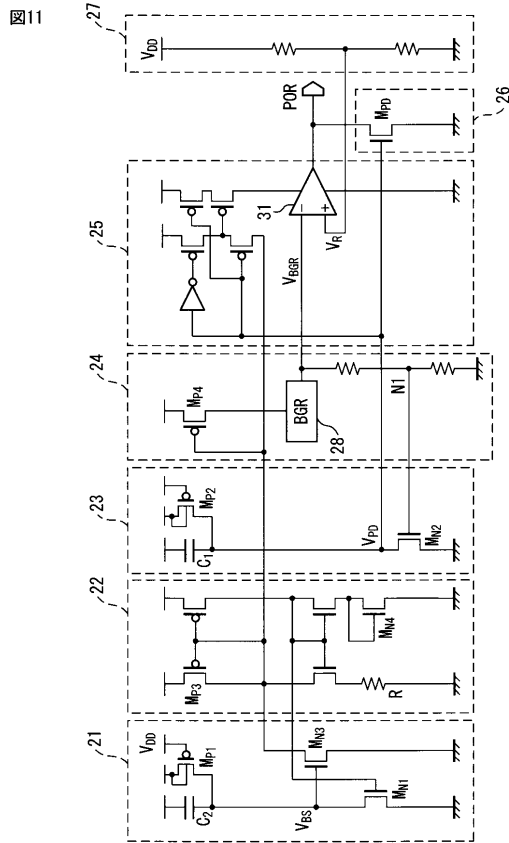


【図 10】

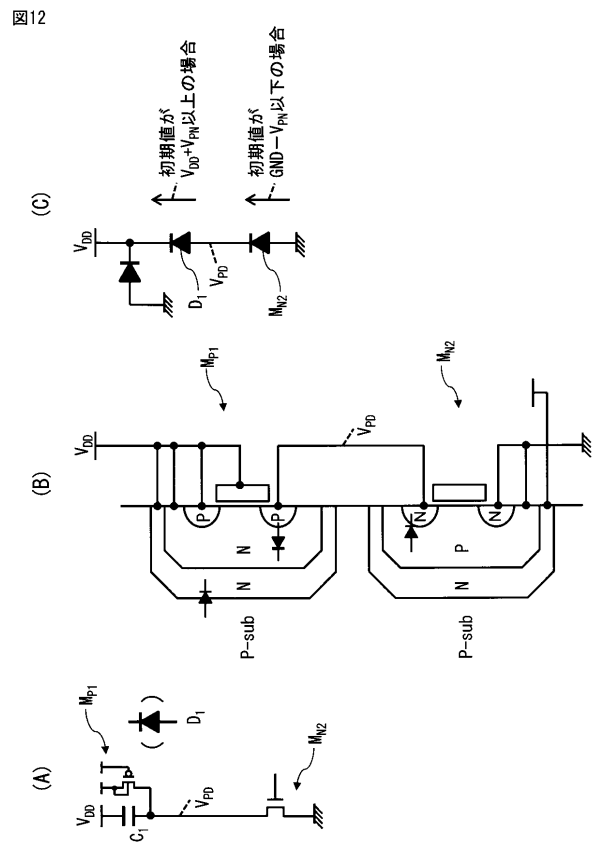
図10



【図 1 1】

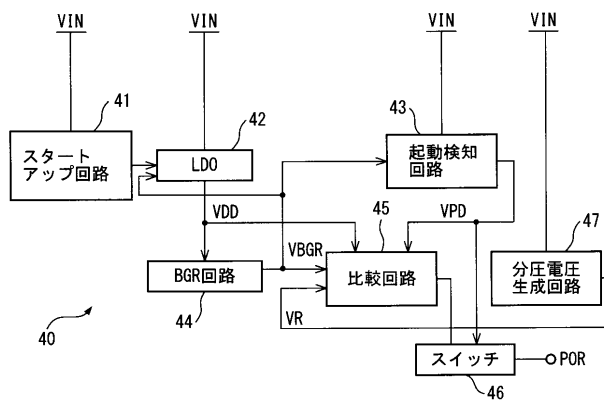


【図 1 2】



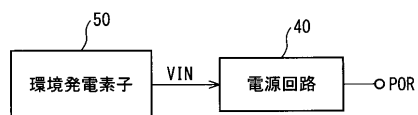
【図 1 3】

図13



【図 1 4】

図14



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 中本 裕之

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 大石 和明

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 小島 友和

神奈川県横浜市港北区新横浜二丁目10番23 富士通マイクロソリューションズ株式会社内

Fターム(参考) 5B054 BB01 BB11 DD01 DD13

5J055 AX12 AX21 BX24 BX41 CX23 EY03 EY10 EY21 EZ01 EZ04

EZ10 GX01 GX02 GX04 GX08