

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年9月20日(2012.9.20)

【公開番号】特開2011-175445(P2011-175445A)

【公開日】平成23年9月8日(2011.9.8)

【年通号数】公開・登録公報2011-036

【出願番号】特願2010-38857(P2010-38857)

【国際特許分類】

G 06 F 12/02 (2006.01)

G 06 F 13/16 (2006.01)

【F I】

G 06 F 12/02 5 7 0 L

G 06 F 12/02 5 7 0 Q

G 06 F 13/16 5 1 0 J

【手続補正書】

【提出日】平成24年8月6日(2012.8.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ処理ユニットを有する半導体装置であって、

前記半導体装置の外部から前記データ処理ユニットのアドレス空間へのアクセスを制御する外部インターフェース回路を更に有し、

前記外部インターフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記半導体装置の外部から入力するための外部端子と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記半導体装置の外部から書き込まれる補完レジスタと、前記半導体装置の外部からモード情報が書き込まれるモードレジスタと、前記アドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路と、を有する半導体装置。

【請求項2】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第1生成形態を含む、請求項1記載の半導体装置。

【請求項3】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第1生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する、請求項2記載の半導体装置。

【請求項4】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第2生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外

部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第3生成形態と、を含む請求項1乃至3の何れか1項記載の半導体装置。

【請求項5】

前記特定リソースはシンクロナスDRAMであり、

前記特定ビット配列の値に対応するリソースはレジスタ群である、請求項4記載の半導体装置。

【請求項6】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第2生成形態及び第3生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、

前記特定ビットは前記アドレス入力端子の1ビットの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項4記載の半導体装置。

【請求項7】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割り当てられた既定値とする第4生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態と、を含む請求項1乃至4の何れか1項記載の半導体装置。

【請求項8】

前記特定リソースはシンクロナスDRAMであり、

前記特定ビット配列の値に対応するリソースはレジスタ群である、請求項7記載の半導体装置。

【請求項9】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第4生成形態及び第5生成形態において前記アドレス入力端子の1ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、

前記特定ビットは前記1ビットのアドレス入力端子からの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項7記載の半導体装置。

【請求項10】

前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第4生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する、請求項9記載の半導体装置。

【請求項11】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項10記載の半導体装置。

【請求項 1 2】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切換える、請求項 1 1 記載の半導体装置。

【請求項 1 3】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記第1生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第1生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報で補完する第6生成形態を含む、請求項 2 記載の半導体装置。

【請求項 1 4】

前記第6生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子である、請求項 1 3 記載の半導体装置。

【請求項 1 5】

前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第6生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項 1 4 記載の半導体装置。

【請求項 1 6】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項 1 5 記載の半導体装置。

【請求項 1 7】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切換える、請求項 1 6 記載の半導体装置。

【請求項 1 8】

第1のデータプロセッサと、

前記第1のデータプロセッサのアドレス空間の一部に配置され前記第1のデータプロセッサの外部に接続された記憶装置と、

前記第1のデータプロセッサの外部に接続された第2のデータプロセッサと、を有するデータ処理システムであって、

前記第1のデータプロセッサは、前記第2のデータプロセッサから前記第1のデータプロセッサのアドレス空間へのアクセスを制御する第1の外部インターフェース回路と、前記記憶装置へのアクセスを制御する第2の外部インターフェース回路とを有し、

前記第1の外部インターフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記第2データプロセッサから入力するための外部端子と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記第2のデータプロセッサによって書き込まれる補完レジスタと、前記第2のデータプロセッサによってモード情報が書き込まれるモードレジスタと、前記第1のデータプロセッサのアドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路と、を有するデータ処理システム。

【請求項 19】

前記第2のデータプロセッサは、前記モードレジスタ及び補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを発行する、請求項18記載のデータ処理システム。

【請求項 20】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第1生成形態を含む、請求項18記載のデータ処理システム。

【請求項 21】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第1生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する、請求項20記載のデータ処理システム。

【請求項 22】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第2生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第3生成形態と、を含む請求項18記載のデータ処理システム。

【請求項 23】

前記特定リソースは前記記憶装置であり、

前記特定ビット配列の値に対応するリソースは前記第1のデータプロセッサに内蔵されたレジスタ群である、請求項22記載のデータ処理システム。

【請求項 24】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第2生成形態及び第3生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、

前記特定ビットは前記アドレス入力端子の1ビットの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項22記載のデータ処理システム。

【請求項 25】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第4生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態と、を含む請求項18記載のデータ処理システム。

【請求項 26】

前記特定リソースは前記記憶装置であり、

前記特定ビット配列の値に対応するリソースは前記第1のデータプロセッサに内蔵されるレジスタ群である、請求項25記載のデータ処理システム。

【請求項 27】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレク

ス端子とアドレス入力端子であり、

前記第4生成形態及び第5生成形態において前記アドレス入力端子の1ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、

前記特定ビットは前記1ビットのアドレス入力端子からの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項25記載のデータ処理システム。

【請求項28】

前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第4生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項27記載のデータ処理システム。

【請求項29】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項28記載のデータ処理システム。

【請求項30】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切換える、請求項29記載のデータ処理システム。

【請求項31】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記第1生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第1生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報を補完する第6生成形態を含む、請求項20記載のデータ処理システム。

【請求項32】

前記第6生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子である、請求項31記載のデータ処理システム。

【請求項33】

前記補完レジスタの値をインクリメントするインクリメンタと、前記第6生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項32記載のデータ処理システム。

【請求項34】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項33記載のデータ処理システム。

【請求項35】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切換

える、請求項3～4記載のデータ処理システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

[4] <モード2：ADR10bit, MPX15bit>

項1乃至3の何れかの半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビット(A25)が第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第2生成形態(図6、図7)と、前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列(AD13～AD11)の値に対応するリソースのアドレスに割り当てられている既定値とする第3生成形態(図6、図8)と、を含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

[7] <第3モード：Reg10bit, ADR1bit, MPX>

項1乃至6の何れかの半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビット(A16)が第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第4生成形態(図9、図10)と、前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列(AD13～AD11)の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態(図9、図8)と、を含む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

[11] <インクリメントモード>

項10の半導体装置において、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】**[16] <インクリメントモード>**

項15の半導体装置において前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

【手続補正6】**【補正対象書類名】明細書****【補正対象項目名】0051****【補正方法】変更****【補正の内容】****【0051】****[22] <モード2:ADR10bit, MPX15bit>**

項18乃至21の何れかのデータ処理システムにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第2生成形態と、前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第3生成形態と、を含む。

【手続補正7】**【補正対象書類名】明細書****【補正対象項目名】0055****【補正方法】変更****【補正の内容】****【0055】****[25] <第3モード:Reg10bit, ADR1bit, MPX>**

項18乃至24の何れかのデータ処理システムにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第4生成形態と、前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態と、を含む。

【手続補正8】**【補正対象書類名】明細書****【補正対象項目名】0061****【補正方法】変更****【補正の内容】****【0061】****[29] <インクリメントモード>**

項28のデータ処理システムにおいて、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

[34]<インクリメントモード>

項33のデータ処理システムにおいて、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。