



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

257853

(11) (B1)

(51) Int. Cl.⁴

G 01 D 9/12

(22) Přihlášeno 21 05 85

(21) PV 3645-85

(40) Zveřejněno 12 11 87

(45) Vydáno 15 02 89

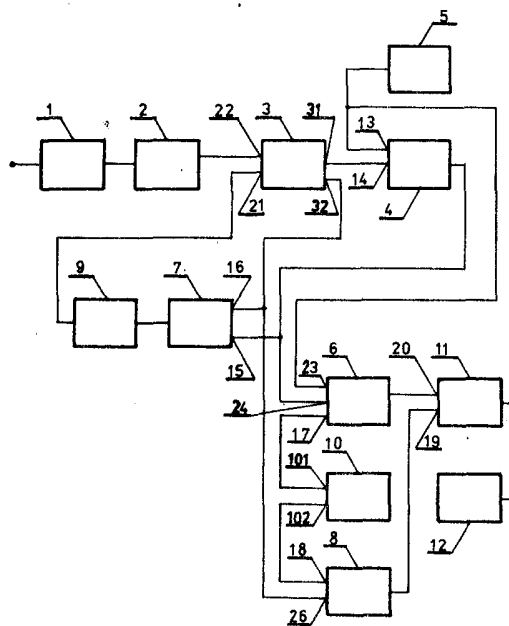
(75)

Autor vynálezu

KRAVCIV MILOŠ ing. CSc., ČESKÁ LÍPA, NOVÁK JIŘÍ ing., PRAHA

(54) Elektrické zapojení pro úpravu analogového signálu na diskretní binární kombinaci

Zapojení je určeno k úpravě analogového signálu na zapisovačích časových nebo souřadnicových průběhů napětí, jež jsou řízeny číslicově, a to zejména s použitím mikroprocesoru. Zapojení je v podstatě řešeno jako převodníkový blok analogového číslicového signálu s diskretní binární kombinací na výstupu. Vstup je tvořen vstupním signálovým děličem, na jehož výstupu je signál upraven na příslušnou velikost analogovým napěťovým zesilovačem, který je připojen na proudový analogový vstup bloku komparace. Na tento blok pak navazuje obvodová vazební sestava vratného binárního čítače s číslicově analogovým převodníkem a ovládací obvod s přepínači směru i rychlosti posuvu a logickým převodníkem. Na výstup logického převodníku se připojuje pak vlastní zapisovač.



Vynález se týká elektrického zapojení pro úpravu analogového signálu na diskretní binární kombinaci, ovládací zapisovací zařízení.

V současné době používané zapisovače časových nebo souřadnicových průběhů napětí ovládané elektronickými číslicovými zařízeními, převážně řízenými mikroprocesory, neumožňují současný záznam také analogového signálu. Jsou konstruovány speciálně jako inteligentní terminály s interaktivním vstupem a výstupem informace. Ve vazbě na jejich vlastní algoritmus činnosti a na požadovanou rychlost zpracování informací jsou vybaveny mikroprocesory s vyrovnávací pamětí a určeny výhradně jako periferní zařízení počítačů. Takže pro záznam analogového signálu musí být použito přístrojové sestavy včetně číslicového počítače a nelze těchto zapisovačů využívat samostatně a nezávisle na číslicovém počítači jen pro záznam analogových signálů. Tím lze tyto zapisovače provozovat jen jako jednoúčelové, což přináší, zejména na pracovištích vybavených analogovými měřicími přístroji, zvýšené investiční náklady na další doplňující elektronická zařízení.

Výše uvedené nevýhody odstraňuje zapojení pro převod analogového signálu na diskretní binární kombinaci podle vynálezu, jehož výstup vstupního signálového děliče je připojen na vstup analogového napěťového zesilovače. Výstup analogového napěťového zesilovače je připojen na proudový analogový vstup bloku komparace. První výstup bloku komparace je připojen na první ovládací vstup hradla, na jehož druhý ovládací vstup je připojen výstup časového generátoru.

Výstup časového generátoru je připojen rovněž na ovládací vstup přepínače rychlosti posuvu, na jehož druhý vstup je připojen výstup hradla, jenž současně je připojen jako spouštěcí vstup vratného binárního čítače, na jehož směrový vstup čítání pulsů je připojen druhý výstup bloku komparace, jenž je současně připojen také na druhý vstup přepínače směru posuvu. Výstup vratného binárního čítače je připojen na vstup číslicově analogového převodníku, jehož výstup je připojen na proudový kompenzační vstup bloku komparace.

Na první ovládací vstup přepínače rychlosti posuvu je připojen první výstup ovládací rychlosti posuvu ovládacího obvodu, druhý výstup ovládací směru posuvu ovládacího obvodu je připojen na ovládací vstup přepínače směru posuvu. Výstup přepínače rychlosti posuvu je připojen na pulsní vstup rychlosti posuvu logického převodníku, na jehož pulsní vstup směru posuvu je připojen výstup přepínače směru posuvu. Výstup logického převodníku je připojen na vstup zapisovače.

Zapojení podle vynálezu se vhodně uplatní všude tam, kde je účelné zaznamenávat vedle číslicových signálů také analogové při použití zapisovačů řízených číslicově, a to převážně s mikroprocesorovým vybavením.

Na připojeném výkresu je znázorněn příklad praktického provedení zapojení podle vynálezu.

Zapojení podle vynálezu je sestaveno tak, že výstup vstupního signálového děliče 1 je připojen na vstup analogového napěťového zesilovače 2, výstup analogového napěťového zesilovače 2 je připojen na proudový analogový vstup 22 bloku 3 komparace, první výstup 31 bloku 3 komparace je připojen na první ovládací vstup 14 hradla 4, na jehož druhý ovládací vstup 13 je připojen výstup časového generátoru 5, výstup časového generátoru 5 je připojen rovněž na druhý ovládací vstup 23 přepínače 6 rychlosti posuvu, na jehož druhý vstup 24 je připojen výstup hradla 4, jenž současně je připojen na spouštěcí vstup 15 vratného binárního čítače 7, na jehož směrový vstup 16 čítání pulsů je připojen druhý výstup 32 bloku 3 komparace, jenž je současně připojen také na druhý vstup 26 přepínače 8 směru posuvu, výstup vratného binárního čítače 7 je připojen na vstup číslicově analogového převodníku 9, jehož výstup je připojen na proudový kompenzační vstup 21 bloku 3 komparace, na první ovládací vstup 17 přepínače 6 rychlosti posuvu je připojen výstup 101 ovládací rychlosti posuvu ovládacího obvodu 10, výstup 102 ovládací směru posuvu ovládacího obvodu 10 je připojen na ovládací vstup 18

přepínače 8 směru posuvu, výstup přepínače 6 rychlosti posuvu je připojen na pulsní vstup 20 rychlosti posuvu logického převodníku 11, na jehož pulsní vstup 19 směru posuvu je připojen výstup přepínače směru posuvu 8, výstup logického převodníku 11 je připojen na vstup zapisovače 12.

Praktické provedení zapojení podle vynálezu a jeho činnost je charakterizována tím, že měřený analogový signál je přiveden na vstup vstupního signálového děliče 1. Ze vstupního signálového děliče 1 je signál upraven na příslušnou velikost analogovým napěťovým zesilovačem 2 a přiveden do proudového analogového vstupu 22 v bloku 3 komparace, jenž je tvořen v podstatě rozdílovým převodníkem proudu na napětí, analogovými komparátory s hysterezí a bez hystereze, a logickým komparátorem Exclusive - OR. Přičemž uvedené analogové komparátory porovnávají výstupní signál rozdílového převodníku proudu na napětí vzhledem k velikosti napětí, odpovídající hodnotě jednoho kroku zapisovače 12, a také srovnávají, zda je tento výstupní signál kladný či záporný vzhledem k nule.

V bloku 3 komparace je rovněž vyhodnocena napěťová komparační odchylka daná rozdílem proudu z výstupu analogového napěťového zesilovače 2 a proudu z výstupu číslicově analogového převodníku 9. Přičemž pak výstup z bloku 3 komparace je přiveden na první ovládací vstup 14 hradla 4. Druhý ovládací vstup 13 hradla 4 je ovládán hodinovým signálem z časového generátoru 5, jenž je v podstatě tvořen vlastním generátorem hodinových pulsů a děličem hodinových pulsů. Výstup hradla 4 je připojen jednak na spouštěcí vstup 15 vratného binárního čítače 7 a jednak na druhý vstup 24 přepínače 6 rychlosti posuvu.

Na ovládací vstup 23 přepínače 6 rychlosti posuvu je rovněž přiveden výstup časového generátoru 5. Výstupní binární signál z vratného binárního čítače 7 ovládá pak číslicově analogový převodník 9, jehož výstupní proudový signál ovládá přes proudový kompenzační vstup 21 v bloku 3 komparace jeho vlastní rozdílový převodník proudu na napětí. V podstatě tedy propojení bloku 3 komparace, hradla 4, časového generátoru 5, přepínače 6 rychlosti posuvu, vratného binárního čítače 7, přepínače 8 směru posuvu a číslicově analogového převodníku 9 umožňuje v každém sledovacím cyklu převodu signál-číslo změnu výstupní binární kombinace o jedničku, na rozdíl od známých kompenzačních převodníků s přírůstky odstupňované velikosti, například WSH 570 A nebo WSH 570 B, které toto neumožňují.

Z analogového komparátoru bez hystereze v bloku 3 logické komparace je veden signál jednak na směrový vstup 16 čítání pulsů, jímž je ovládáno pulsní čítání nahoru a dolů vratného binárního čítače 7, a jednak na druhý vstup 26 přepínače 8 směru posuvu.

Ovládání směru posuvu a rychlosti posuvu písátka zapisovače 12 je zajištěno z ovládacího obvodu 10 přes první ovládací vstup 17 přepínače 6 rychlosti posuvu a přes ovládací vstup 18 přepínače 8 směru posuvu. Logický převodník 11, jenž svým výstupním signálem ovládá zapisovač 12, je v podstatě tvořen binárním vratným čítačem a převodníkem signálu CMOS na TTL logiku. Činnost logického převodníku 11 je řízena přepínačem 8 směru posuvu a přepínačem 6 rychlosti posuvu, jenž jsou připojeny jednak na pulsní vstup 19 směru posuvu a pulsní vstup 20 rychlosti posuvu logického převodníku 11.

P R E D M Ě T V Y N Á L E Z U

Elektrické zapojení pro úpravu analogového signálu na diskretní binární kombinaci, vyznačující se tím, že vstupní svorka je připojena na vstup vstupního signálového děliče (1), výstup vstupního signálového děliče (1) je připojen na vstup analogového napěťového zesilovače (2), výstup analogového napěťového zesilovače (2) je připojen na proudový analogový vstup (22) bloku (3) komparace, první výstup bloku (3) komparace je připojen na první ovládací vstup (14) hradla (4), na jehož druhý ovládací vstup (13) je připojen výstup časového generátoru (5), výstup časového generátoru (5) je připojen rovněž na ovládací vstup (23) přepínače (6)

rychlosti posuvu, na jehož druhý vstup (24) je připojen výstup hradla (4), jenž současně je připojen na spouštěcí vstup (15) vratného binárního čítače (7), na jehož směrový vstup (16) čítání pulsů je připojen druhý výstup (32) bloku (3) komparace, jenž je současně připojen také na druhý vstup (26) přepínače (8) směru posuvu, výstup vratného binárního čítače (7) je připojen na vstup číslicově analogového převodníku (9), jehož výstup je připojen na proudový kompenzační vstup (21) bloku (3) komparace, na první ovládací vstup (17) přepínače (6) rychlosti posuvu je připojen první výstup (101) ovládání rychlosti posuvu ovládacího obvodu (10), druhý výstup (102) ovládání směru posuvu ovládacího obvodu (10) je připojen na ovládací vstup (18) přepínače (8) směru posuvu, výstup přepínače rychlosti posuvu (6) je připojen na pulsní vstup (20) rychlosti posuvu logického převodníku (11), na jehož pulsní vstup (19) směru posuvu je připojen výstup přepínače (8) směru posuvu, výstup logického převodníku (11) je připojen na vstup zapisovače (12).

1 výkres

